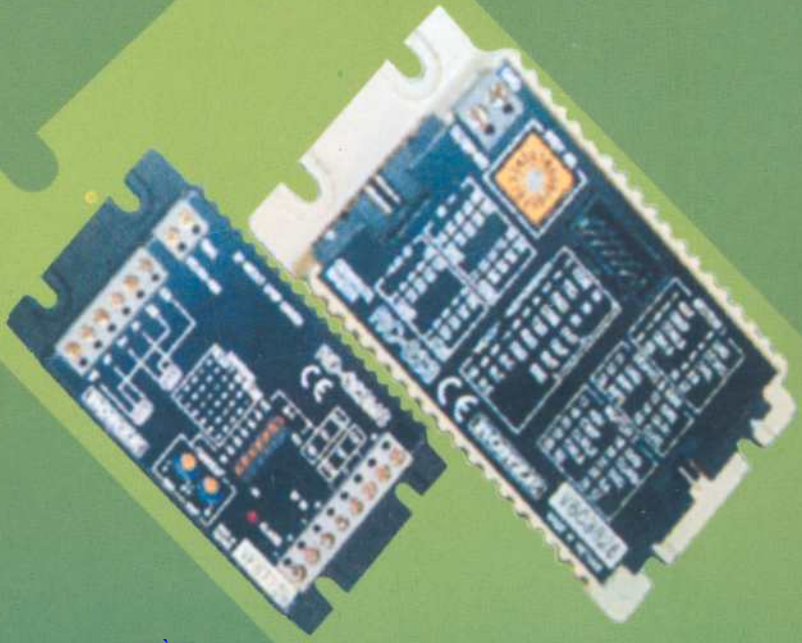
VỤ GIÁO DỤC CHUYÊN NGHIỆP

GIÁO TRÌNH
KĨ THUẬT XUNG - SỐ

SÁCH DÙNG CHO CÁC TRƯỜNG ĐÀO TẠO HỆ TRUNG HỌC CHUYÊN NGHIỆP



Sưu tầm bởi: www.daihoc.com.vn

NHÀ XUẤT BẢN GIÁO DỤC

TS. LƯƠNG NGỌC HẢI

GIÁO TRÌNH
KĨ THUẬT XUNG - SỐ

(Sách dùng cho các trường đào tạo hệ Trung học chuyên nghiệp)

(Tái bản lần thứ nhất)

NHÀ XUẤT BẢN GIÁO DỤC
Sưu tầm bởi: www.daihoc.com.vn

Lời giới thiệu

Năm 2002, Vụ Giáo dục Chuyên nghiệp – Bộ Giáo dục và Đào tạo đã phối hợp với Nhà xuất bản Giáo dục xuất bản 21 giáo trình phục vụ cho đào tạo hệ THCN. Các giáo trình trên đã được nhiều trường sử dụng và hoan nghênh. Để tiếp tục bổ sung nguồn giáo trình đang còn thiếu, Vụ Giáo dục Chuyên nghiệp phối hợp cùng Nhà xuất bản Giáo dục tiếp tục biên soạn một số giáo trình, sách tham khảo phục vụ cho đào tạo ở các ngành : Điện – Điện tử, Tin học, Khai thác cơ khí. Những giáo trình này trước khi biên soạn, Vụ Giáo dục Chuyên nghiệp đã gửi đề cương về trên 20 trường và tổ chức hội thảo, lấy ý kiến đóng góp về nội dung đề cương các giáo trình nói trên. Trên cơ sở nghiên cứu ý kiến đóng góp của các trường, nhóm tác giả đã điều chỉnh nội dung các giáo trình cho phù hợp với yêu cầu thực tiễn hơn.

Với kinh nghiệm giảng dạy, kiến thức tích luỹ qua nhiều năm, các tác giả đã cố gắng để những nội dung được trình bày là những kiến thức cơ bản nhất nhưng vẫn cập nhật được với những tiến bộ của khoa học kỹ thuật, với thực tế sản xuất. Nội dung của giáo trình còn tạo sự liên thông từ Dạy nghề lên THCN.

Các giáo trình được biên soạn theo hướng mở, kiến thức rộng và cố gắng chỉ ra tính ứng dụng của nội dung được trình bày. Trên cơ sở đó tạo điều kiện để các trường sử dụng một cách phù hợp với điều kiện cơ sở vật chất phục vụ thực hành, thực tập và đặc điểm của các ngành, chuyên ngành đào tạo.

Để việc đổi mới phương pháp dạy và học theo chỉ đạo của Bộ Giáo dục và Đào tạo nhằm nâng cao chất lượng dạy và học, các trường cần trang bị đủ sách cho thư viện và tạo điều kiện để giáo viên và học sinh có đủ sách theo ngành đào tạo. Những giáo trình này cũng là tài liệu tham khảo tốt cho học sinh đã tốt nghiệp cần đào tạo lại, nhân viên kỹ thuật đang trực tiếp sản xuất.

Các giáo trình đã xuất bản không thể tránh khỏi những sai sót. Rất mong các thầy, cô giáo, bạn đọc góp ý để lần xuất bản sau được tốt hơn. Mọi góp ý xin gửi về : Công ty Cổ phần sách Đại học – Dạy nghề 25 Hàn Thuyên – Hà Nội.

VỤ GIÁO DỤC CHUYÊN NGHIỆP - NXB GIÁO DỤC

Sưu tầm bởi: www.daihoc.com.vn

Mở đầu

Giáo trình KĨ THUẬT XUNG - SỐ được biên soạn với mục đích phục vụ việc học tập và giảng dạy ở các trường Trung học chuyên nghiệp và Cao đẳng kĩ thuật. Cuốn sách này đề cập chủ yếu là nội dung xung - số thực hành, tuy nhiên nó vẫn bảo đảm một kiến thức cơ bản và đủ rộng của kĩ thuật xung - số, nhưng phần nguyên lí thành lập và cấu trúc bên trong của các mạch xung số chức năng hầu như bị loại bỏ hoàn toàn. Với mỗi mạch chức năng, tác giả chỉ giúp bạn đọc trả lời ba câu hỏi : Nó là gì, sơ đồ khối ra sao ? Vài vi mạch của nó và cách ghép nối mở rộng như thế nào ? Nó hay được dùng làm gì ?

Với cách đặt vấn đề như trên, cuốn sách không quá 250 trang này không thể là tài liệu tham khảo mở rộng kiến thức về kĩ thuật xung - số cho bạn đọc. Vậy nó giúp bạn đọc điều gì ?

• Với bạn đọc là học sinh THCN hay Cao đẳng, cuốn sách sẽ trang bị cho bạn đọc một kiến thức tinh giản, thực dụng và không thể ít hơn về lĩnh vực kĩ thuật xung - số.

• Với bạn đọc là giảng viên môn học, cuốn sách thực chất chỉ là những bài giảng của tác giả đã dạy cho sinh viên Cao đẳng các ngành Điện, trường Đại học Bách khoa Hà Nội trong nhiều năm. Tác giả chỉnh lí và tinh giản lại, để mong có thể đóng góp với đồng nghiệp khi soạn bài giảng môn học.

Nội dung của giáo trình được biên soạn bao gồm : 10 chương, 7 phụ lục và một số bài thực hành chọn lọc với thời lượng 45 - 60 tiết. Trong quá trình sử dụng, tuỳ theo yêu cầu cụ thể có thể điều chỉnh số tiết trong mỗi chương.

Các bạn đọc chưa có một chút kiến thức gì về logic thì sau khi đọc chương 1, hãy đọc các phụ lục 1 ÷ 3 để có đầy đủ kiến thức cơ bản.

Giới thiệu cuốn sách này, tác giả chỉ muốn có đóng góp nhỏ vào cách học và dạy môn học cho học sinh THCN và Cao đẳng. Rất mong nhận được nhiều ý kiến đóng góp phê bình của bạn đọc. Mọi góp ý xin được gửi về : Công ty cổ phần sách Đại học – Dạy nghề, 25 Hàn Thuyên – Hà Nội.

TÁC GIẢ

Sưu tầm bởi: www.daihoc.com.vn

Chương 1

KHÁI NIỆM CƠ BẢN VỀ KĨ THUẬT XUNG - SỐ

1-1. CÁC THÔNG SỐ ĐẶC TRƯNG CỦA TÍN HIỆU XUNG

Các tín hiệu xung được dùng rộng rãi trong những lĩnh vực khác nhau của kĩ thuật số nói riêng và của kĩ thuật điện tử nói chung ; ví dụ trong truyền thông hữu tuyến và vô tuyến, trong rađa, trong đo lường điều khiển số...

Các mạch tạo xung cho ra hai loại tín hiệu điện : Các ***xung*** điện áp/dòng hoặc những ***bước nhảy*** của điện áp hay dòng. Đặc điểm của loại tín hiệu này là người ta chỉ quan tâm tới hai giá trị hoàn toàn phân biệt nhau của chúng, gọi là hai ***mức*** : Mức cao H và mức thấp L.

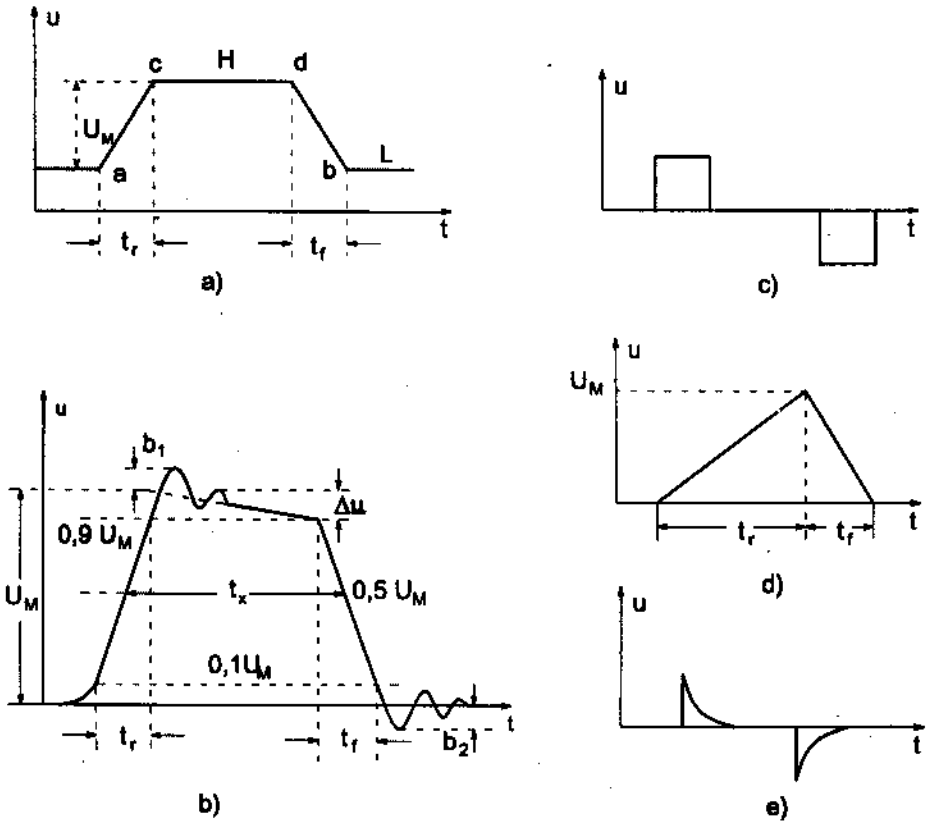
1-1-1. Xung

Xung là tín hiệu tạo nên do sự thay đổi mức của điện áp hay dòng trong một thời khoảng rất nhỏ : Từ mức thấp L ban đầu chuyển sang nằm ở mức cao H trong một thời gian ngắn, hoặc ngược lại.

• Hình 1-1a là một xung hình thang lí tưởng. Đoạn ab gọi là ***đáy*** xung, đoạn cd là ***đỉnh*** xung, đoạn ac chuyển từ mức thấp L lên mức cao H gọi là ***sườn lên*** của xung, đoạn db chuyển tiếp từ H sang L gọi là ***sườn xuống*** của xung. Khoảng cách giữa đỉnh và đáy gọi là ***biên độ*** xung U_M (U_M = H - L). Một xung thực tế ở cửa ra mạch tạo xung có dạng tổng quát như ở hình 1-1b. Ta thấy, do quá trình quá độ nên đỉnh xung không "trơn" và không nằm ở một điện áp cố định ; mức cao H nằm trong miền điện áp giữa biên độ U_M và $0,9U_M$. Sai lệch Δu gọi là ***độ sụt áp đỉnh***. Khoảng thời gian để xung tăng từ $0,1U_M$ đến $0,9U_M$ gọi là ***thời gian lên*** t_r (rise time) ; khoảng thời gian xung giảm từ $0,9\ U_M$ xuống $0,1U_M$ gọi là ***thời gian xuống*** t_f (fall time) của xung. Khoảng thời gian giữa hai thời điểm tương ứng với giá trị $0,5\ U_M$ gọi là ***độ rộng xung*** t_x. Ngoài ra còn có các thông số phụ như "bướu" đỉnh b_1 và "bướu" sau khi kết thúc xung b_2. Nếu

Sưu tầm bởi: www.daihoc.com.vn

thời gian lên t_r và thời gian xuống t_f rất nhỏ so với độ rộng xung t_x, ta có ***xung vuông góc***. Hình 1-1c vẽ các xung vuông góc lí tưởng cực tính dương và cực tính âm.



HÌNH 1-1. Các dạng xung

• Ngoài xung vuông góc rất phổ biến trong kĩ thuật số, người ta còn sử dụng ***xung răng cưa*** (ramp). Hình 1-1d vẽ dạng tổng quát một xung răng cưa. Nó gồm hai sườn dốc, đặc trưng bởi thời gian lên dốc t_r (rising slope) và thời gian xuống dốc t_f (falling slope). Đối với xung răng cưa, ngoài *biên độ* U_M, người ta còn quan tâm tới ***tỉ số độ dốc*** (Slope ratio)

$$SR = t_r : t_f.$$

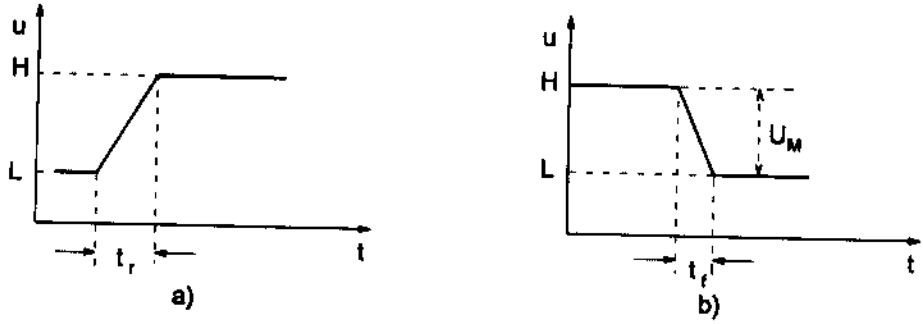
Ví dụ : t_r = 15ms, t_f = 2ms, ta có xung răng cưa với tỉ số độ dốc 15 : 2. Nếu $t_r = t_f$ thì xung răng cưa gọi là ***xung tam giác***.

• Cuối cùng là ***xung đanh*** (đinh) có đỉnh rất nhọn (hình 1-1e). Xung này thường dùng để kích khởi hoạt động của các mạch điện tử.

Sưu tầm bởi: www.daihoc.com.vn

1-1-2. Bước nhảy

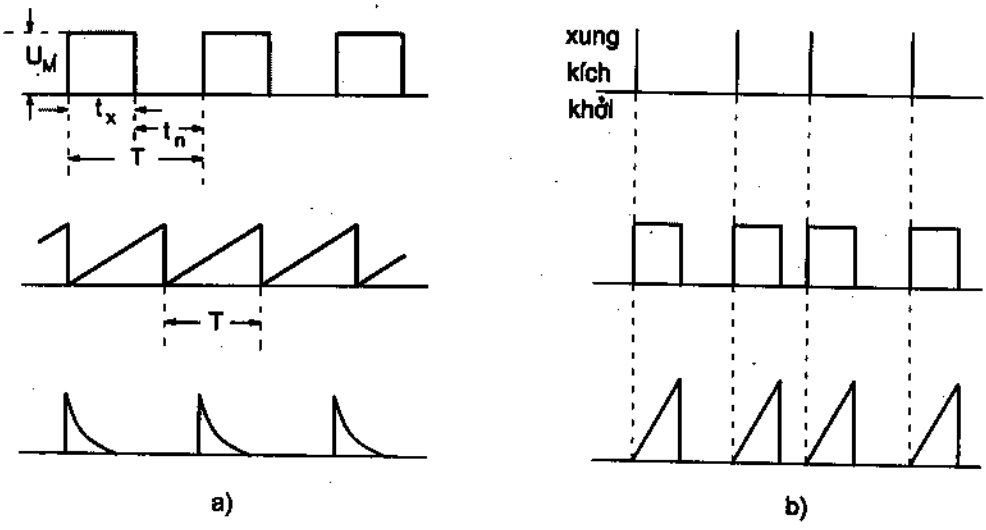
Bước nhảy là sự chuyển rất nhanh của điện áp hoặc dòng giữa hai mức H và L. Nếu nhảy từ mức thấp L lên mức cao H thì gọi là ***bước nhảy dương*** (hình 1-2a) ; nếu ngược lại nhảy từ H xuống L thì gọi là ***bước nhảy âm*** (hình 1-2b). Bước nhảy, đôi khi còn gọi là tín hiệu thế, được đặc trưng bằng biên độ nhảy U_M và độ dài sườn dốc t_f (hoặc t_r). Bước nhảy là tín hiệu ra ở nhiều mạch điện tử, ví dụ mạch so sánh tương tự (xem mục 2-1) hoặc các Flip-Flop (xem mục 3-1).



Hình 1-2. Các bước nhảy

1-2. DÃY XUNG

Kĩ thuật xung không chỉ tạo ra những mạch phát xung đơn mà còn có các mạch cho ra một dãy xung liên tiếp (Hình 1-3).



Hình 1-3. Các dãy xung

Sưu tầm bởi: www.daihoc.com.vn

1-2-1. Dãy xung có thể là tuần hoàn với chu kì T, nghĩa là cứ sau mỗi khoảng thời gian T lại có một xung lặp lại hoàn toàn giống với xung trước nó. Hình 1-3a vẽ ba dạng dãy xung tuần hoàn thường gặp sau :

• ***Dãy xung vuông góc*** là dạng dãy xung thường gặp nhất trong kĩ thuật điện tử. Các thông số đặc trưng cho dãy xung gồm : biên độ U_M, độ rộng xung t_x, thời gian nghỉ t_n, chu kì $T = t_x + t_n$, tần số $f = 1/T$. Ngoài ra còn hai thông số phụ đặc trưng khác là *hệ số lấp đầy* $\gamma = t_x/T$ và *độ hổng* (rỗng) $Q = 1/\gamma = T/t_x$.

Nếu $Q = 2$, ($t_x = t_n$), thì dãy xung gọi là ***dãy xung vuông góc đối xứng***.

• ***Dãy xung răng cưa thuần tuý*** ($t_f = 0$), chu kì T. Mạch phát dãy xung này thường dùng trong thiết bị dao động kí điện tử, với vai trò bộ tạo sóng quét ngang.

• Cuối cùng là *dãy* ***xung đanh tuần hoàn***. Nó thường dùng để kích khởi những hoạt động có tính chu kì, ví dụ điều khiển sự đóng/mở lặp lại tuần hoàn của các khoá transistor.

Các mạch phát dãy xung tuần hoàn thường là những mạch hoạt động không chịu sự điều khiển bởi các xung kích khởi (kích thích) bên ngoài và gọi là các *mạch dạng chạy tự do* (free running form).

1-2-2. Dãy xung có thể là không tuần hoàn (hình 1-3b). Mạch phát các xung này là những mạch hoạt động theo sự điều khiển của các xung kích khởi ở bên ngoài, và gọi là các ***mạch dạng kích khởi*** (triggered form). Ứng với mỗi xung kích thích bên ngoài, mạch cho ra một xung có biên độ và độ rộng xung không thay đổi, nghĩa là dạng xung đưa ra hoàn toàn lặp lại giống nhau sau mỗi xung kích thích.

1-3. CÁC PHẦN TỬ TUYẾN TÍNH R-C TRONG MẠCH TẠO XUNG

Các mạch tạo xung hay lợi dụng quá trình quá độ trên các phần tử tuyến tính R-C để điều khiển độ rộng xung và hệ số lấp đầy của dãy xung tuần hoàn. Phần tử tuyến tính R, C được hiểu là phần tử có điện trở hoặc điện dung không thay đổi theo giá trị điện áp hoặc giá trị dòng điện trên phần tử. Ta hãy xét vài quá trình quá độ trong mạch R-C.

1-3-1. Quá trình quá độ ở mạch R-C khi có bước nhảy điện áp

Xét mạch R-C ở hình 1-4a. Giả sử tại thời điểm $t = 0$, điện áp u có bước nhảy dương từ 0V đến U_M. Vậy ở $t \geq 0$ ta có :

$$u_R + u_C = U_M$$

Sưu tầm bởi: www.daihoc.com.vn

Với $u_R = iR$ và $i = Cdu_c/dt$ thì phương trình cân bằng điện áp trên trở thành :

$$RC\frac{du_c}{dt} + u_c = U_M$$

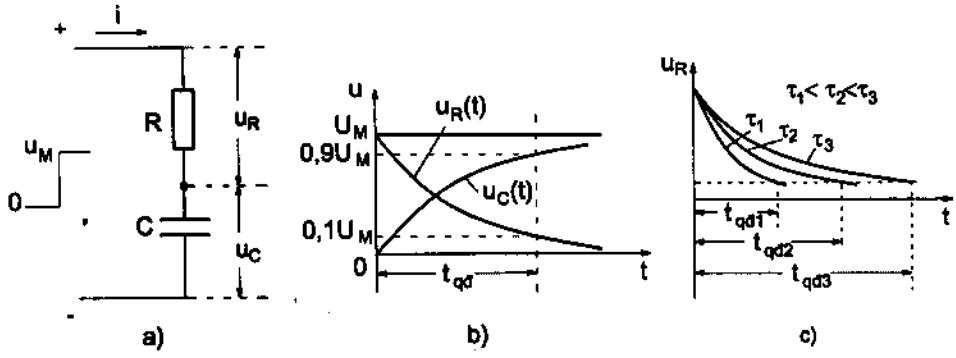
Giải phương trình vi phân bậc 1 ở trên ta được :

$$u_c(t) = U_M(1 - e^{-t/RC}) \qquad (1\text{-}1)$$

Tích RC có thứ nguyên thời gian là giây (s), nếu R tính bằng Ω và C tính bằng F (Fara), và gọi là ***hằng số thời gian*** τ của mạch R-C ($\tau = R.C$). Từ (1-1) và phương trình cân bằng điện áp ở trên ta rút ra :

$$u_R(t) = U_M e^{-t/\tau} \qquad (1\text{-}2)$$

$$i(t) = \frac{U_M}{R} e^{-t/\tau} \qquad (1\text{-}3)$$



Hình 1-4. Quá trình quá độ mạch R-C khi có bước nhảy dương

Ta thấy điện áp trên điện dung tăng theo luật hàm mũ và ở $t = \infty$, thì $u_c = U_M$. Ngược lại điện áp trên điện trở và dòng giảm theo luật hàm mũ, khi $t = \infty$ thì $i = 0$, $u_R = 0$, mạch đạt trạng thái dừng (tĩnh).

Về lí thuyết thì quá trình quá độ xẩy ra trong thời gian vô cùng lớn. Thực tế khi u_c đạt $0,9\ U_M$ hoặc khi $u_R = 0,1U_M$ là coi như kết thúc quá trình quá độ (hình 1-4b). Thời gian quá độ là :

$$t_{qd} = 2,3\tau = 2,3R.C \qquad (1\text{-}4)$$

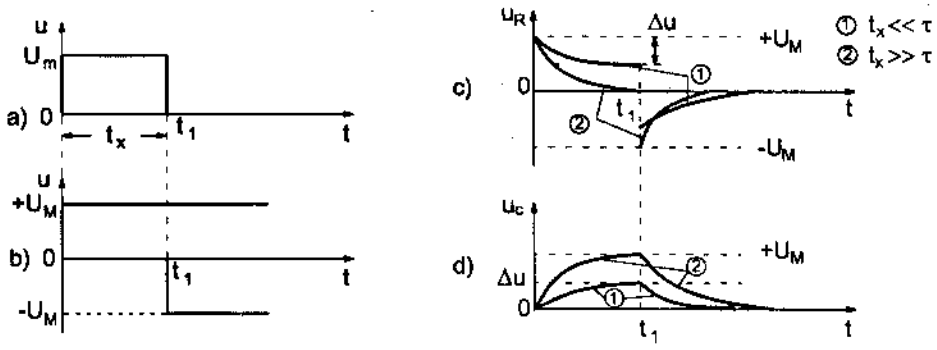
Ở $t = 3\tau$ có thể coi $u_c \approx U_M$ và $i \approx 0$, $u_R \approx 0$. Hằng số thời gian $\tau = RC$ của mạch càng lớn thì thời gian quá độ càng dài (hình 1-4c).

1-3-2. Quá trình quá độ mạch R-C khi kích thích là một xung vuông góc

Nếu đặt lên mạch R-C ở hình 1-4a một xung vuông góc (hình 1-5a), quá trình quá độ xẩy ra trong mạch xem như là sự xếp chồng của hai quá trình, ứng với hai bước nhảy : Bước nhảy dương ở $t = 0$ và bước nhảy âm tại $t = t_1$ (hình 1-5b).

Sưu tầm bởi: www.daihoc.com.vn

Ta có kết luận cuối cùng sau : Sự thay đổi điện áp trên các phần tử R, C trong quá trình quá độ, khi kích thích là một xung vuông góc với độ rộng xung t_X, chịu ảnh hưởng bởi tỉ số $\tau : t_X$.



Hình 1-5. Quá trình quá độ mạch R-C với kích thích là một xung vuông góc

• Nếu $\tau \leq t_X/3$ thì sự thay đổi điện áp trên các phần tử là lớn. Điện áp trên tụ $u_c(t)$ tăng từ 0 đến U_M, sau đó giảm về 0 (đường 2, hình 1-5d). Ngược lại, điện áp trên điện trở $u_R(t)$ giảm từ U_M về 0, sau đó tại thời điểm t_1 đổi cực tính và tăng từ $-U_M$ tới 0 (đường 2, hình 1-5c).

• Nếu τ □ t_x thì sự thay đổi điện áp trên các phần tử là chậm. Điện áp $u_c(t)$ tăng từ 0 chỉ tới Δu là lại giảm dần về 0 (đường 1, hình 1-5d). Điện áp $u_R(t)$ cũng chỉ giảm một lượng Δu so với U_M là đã đổi cực tính sang – (U_M – Δu) và tăng dần về 0 (đường 1, hình 1-5c).

1-3-3. Ứng dụng mạch R-C trong các mạch tạo xung

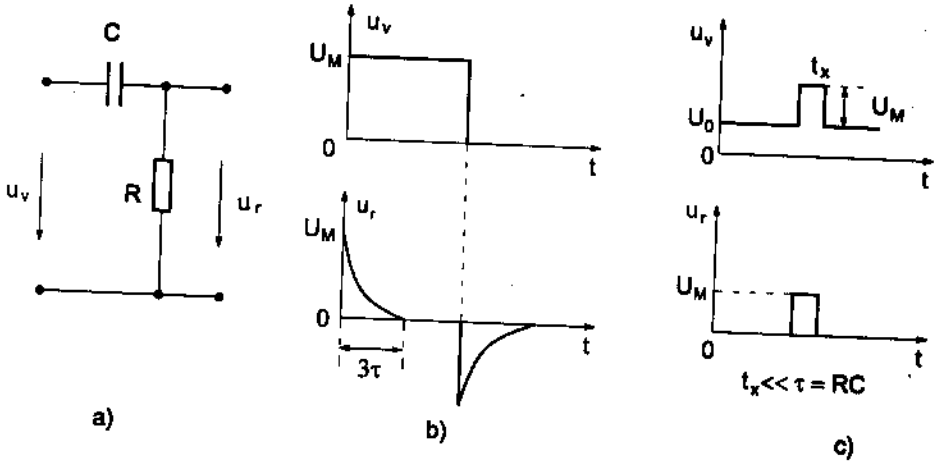
Các mạch tạo xung hay dùng mạch R-C nhằm những mục đích sau :

• Điều chỉnh độ rộng của xung đơn vuông góc hoặc điều chỉnh tần số và độ rỗng của một dãy xung vuông góc tuần hoàn. Mạch R-C cũng còn sử dụng để tạo các xung răng cưa. Những ứng dụng này sẽ đề cập đến trong các chương sau.

• Một ứng dụng quan trọng khác của mạch R-C là để tạo các xung đanh (đinh). Hình 1-6a là mạch tạo xung đinh. Điện áp ra u_r chính là điện áp trên điện trở R. Từ mục 1-3-1 và 1-3-2 ta thấy : Khi đặt vào mạch hình 1-6a một bước nhảy dương hoặc âm thì điện áp ra u_r sẽ là một xung đanh dương hay âm, tính theo (1-2). Biên độ xung đanh bằng biên độ bước nhảy, đáy xung là 3τ, ($\tau = R.C$). Do đó, nếu điện áp vào u_v là một xung vuông góc có độ rộng xung lớn

Sưu tầm bởi: www.daihoc.com.vn

hơn ba lần hằng số thời gian τ của mạch, thì ở cửa ra sẽ cho hai xung đanh dương và âm, ứng với sườn lên và xuống của xung vào u_v (hình 1-6b).



Hình 1-6. Ứng dụng R-C làm mạch tạo xung dinh và mạch ngăn cách

• Từ hình 1-5c ta thấy, khi $\tau \gg t_x$ đến mức độ sụt áp Δu là không đáng kể, điện áp trên điện trở u_R hầu như lặp lại xung đặt ở cửa vào của mạch hình 1-4a, ($u_R \approx u$). Lợi dụng hiện tượng này, ta có thể sử dụng mạch hình 1-6a làm ***mạch ngăn cách*** ; nghĩa là nó cho các xung, có độ rộng t_x rất nhỏ so với hằng số thời gian τ của mạch đi qua, nhưng ngăn lại thành phần điện áp một chiều U_0 có ở cửa vào (hình 1-6c).

1-4. KHOÁ TRANSISTOR

Khoá transistor là một trong những phần tử cơ bản của kĩ thuật xung - số. Transistor dùng làm khoá có thể là transistor lưỡng cực BJT hoặc transistor trường MOS. Khi sử dụng transistor như một khoá đóng/cắt, tuỳ theo tín hiệu điều khiển ở đầu vào, transistor có thể làm việc ở một trong hai chế độ :

• Chế độ dẫn bão hoà, dòng qua transistor đạt giá trị lớn nhất cho phép, ta nói ***transistor mở*** (hoặc *dẫn*).

• Chế độ khoá, dòng qua transistor coi bằng 0, ta nói ***transistor khoá.***

1-4-1. Khoá transistor BJT

Hình 1-7a là sơ đồ thông dụng của khoá transistor lưỡng cực, với điện áp điều khiển ở đầu vào u_v. Sơ đồ dùng transistor Si loại n-p-n có dòng cực góp ở chế độ khoá rất nhỏ :

$$i_c = I_{co} \approx 0,$$

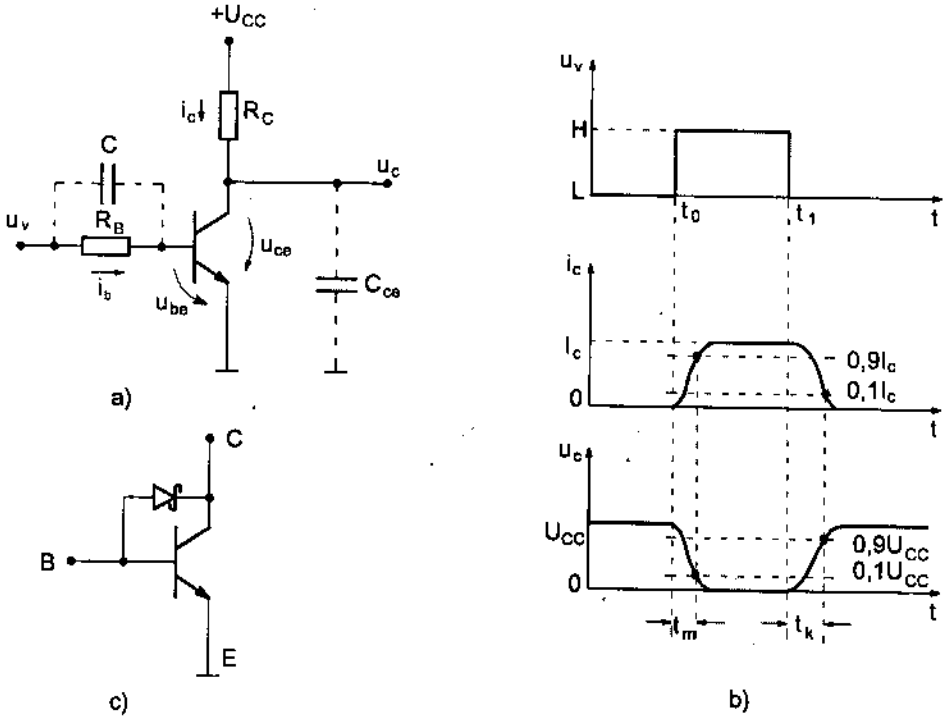
Sưu tầm bởi: www.daihoc.com.vn

trong đó I_{co} là dòng ngược của miền tiếp giáp gốc-phát ; Điện áp khoá :

$$u_{be} = U_K \approx 0,6 \div 0,7V$$

là đủ lớn.

Tại thời điểm t_o, khi u_v ở mức cao H sao cho điện áp u_{be} lớn hơn điện áp khoá U_K thì transistor chuyển từ chế độ khoá với $i_c \approx 0$ sang chế độ dẫn bão hoà (hình 1-7b).



Hình 1-7. Mô tả sự làm việc của khoá transistor BJT.

Ở chế độ bão hoà, hai miền tiếp giáp của transistor đều được thiên áp thuận và điện áp trên các cực :

$$u_{be} \approx 0,7\ V, \quad u_{be} \approx 0,5\ V, \quad u_{ce} \approx 0,1\ V$$

Dòng cực góp i_c đạt giá trị giới hạn :

$$i_c = I_c = \frac{U_{cc} - u_{ce}}{R_c} \approx \frac{U_{cc}}{R_c} \qquad (1\text{-}5)$$

Dòng cực gốc i_b cũng đạt tới giá trị ứng với điểm giới hạn của bão hoà :

$$i_b = I_B = \frac{I_c}{B} \approx \frac{U_{cc}}{B.R_c} \qquad (1\text{-}6)$$

Sưu tầm bởi: www.daihoc.com.vn

trong đó B là hệ số khuếch đại dòng tĩnh của transistor. Để bảo đảm transistor làm việc ở chế độ bão hoà sâu, khi tính toán ta chọn dòng cực gốc i_b ở chế độ bão hoà lớn hơn giá trị I_B tính theo (1-6) :

$$i_b = K_{bh} I_B = K_{bh} \frac{U_{cc}}{B.R_c} \qquad (1\text{-}7)$$

trong đó K_{bh} là hệ số bão hoà, thường chọn $K_{bh} = 2 \div 3$. Từ đây ta tính được mức cao H của điện áp điều khiển u_v, cần thiết để duy trì transistor ở chế độ bão hoà :

$$u_v = u_{be} + i_b R_B = 0{,}7V + K_{bh} I_B R_B = H \qquad (1\text{-}8)$$

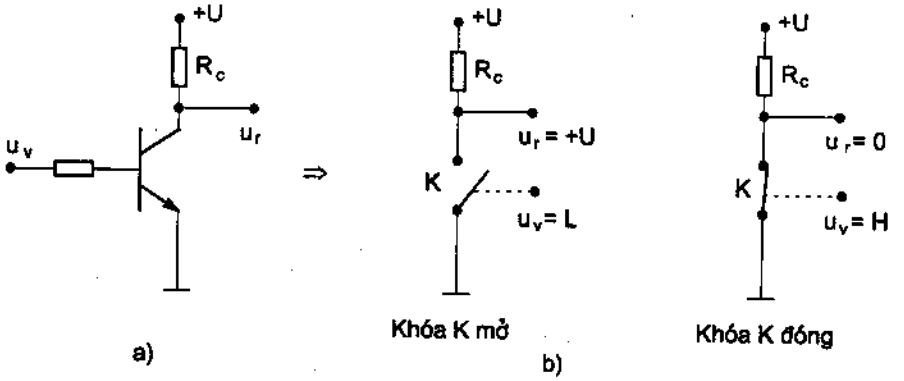
Điện áp ra chính là điện áp cực góp u_c. Khi dẫn bão hoà thì

$$u_c = u_{ce} = 0{,}1V \approx 0$$

Từ hình 1-7b ta thấy, cần có một thời gian quá độ t_m để transistor chuyển từ trạng thái khoá sang trạng thái mở (dẫn bão hoà). Tại thời điểm t_1, khi u_v ở mức thấp L sao cho $u_{be} < U_K \approx 0{,}6$, transistor sẽ chuyển sang trạng thái khoá với :

$$i_c = I_{co} \approx 0 \text{ và } u_c = U_{cc} - i_c R_c \approx +U_{cc}$$

Để chuyển từ trạng thái mở sang trạng thái khoá cũng cần thời gian quá độ t_k. Thời gian này là cần thiết để triệt tiêu các hạt mang điện trong miền tiếp giáp p-n của transistor và để tụ kí sinh C_{ce} được nạp đầy. Thời gian khoá t_k lớn hơn thời gian mở t_m và chúng thường ở trong khoảng từ vài chục ns (1ns = 10^{-9}s) đến dưới 100ns.



Hình 1-8. Mô hình hoạt động của khoá transistor

Tóm lại, ta có thể mô hình hoá sự hoạt động của khoá BJT ở hình 1-8a như hoạt động của khoá cơ khí ở hình 1-8b. Nó có tác dụng như một khoá chuyển mạch phụ tải. Khi điện áp điều khiển u_v ở mức thấp L, khoá K mở (tương ứng

Sưu tầm bởi: www.daihoc.com.vn

với trạng thái khoá của transistor) và điện áp ra u_r đặt lên tải bằng +U. Khi u_v ở mức cao H, khoá K đóng (tương ứng với trạng thái dẫn bão hoà của transistor), đặt lên tải là điện áp $u_r = 0$.

1-4-2. Tăng tốc độ chuyển trạng thái của khoá transistor BJT. Có hai cách hay dùng để tăng tốc độ chuyển trạng thái của khoá BJT.

• Nối song song với điện trở cực gốc R_B một điện dung C (hình 1-7a). Khi điện áp điều khiển u_v nhảy từ mức thấp L lên mức cao H, lúc đầu tụ coi như làm ngắn mạch điện trở R_B, dòng qua tụ (cũng chính là dòng dực gốc i_b) tăng đột biến. Sau đó dòng qua tụ giảm về 0 và dòng bão hoà cực gốc bị hạn chế bởi R_B. Vậy nhờ có tụ C mà dòng cực gốc và dòng cực góp tăng đột biến rất nhanh, nghĩa là giảm được thời gian quá độ t_m khi transistor chuyển từ trạng thái khoá sang mở. Khi điện áp điều khiển u_v nhảy từ mức cao H xuống mức thấp L, tụ C sẽ phóng điện qua nguồn tín hiệu điều kiển và qua cực gốc transistor theo chiều ngược với chiều dòng cực gốc bão hoà. Vì vậy dòng phóng này có tác dụng triệt tiêu nhanh dòng cực gốc cũng như dòng cực góp, nghĩa là làm giảm thời gian quá độ t_k khi transistor chuyển từ dẫn bão hoà sang khoá.

• Một nguyên nhân quan trọng hạn chế tốc độ chuyển trạng thái của khoá transistor BJT là thời gian lưu giữ điện tích ở miền tiếp giáp gốc - góp lớn, khi transistor chuyển từ bão hoà sang khoá. Để loại trừ sự bão hoà, ta đặt một diod Schottky song song với tiếp giáp gốc - góp (hình 1-7c) nhằm giữ cho cực góp ở điện thế hơi thấp hơn cực gốc. Diod Schottky thực chất là một tiếp giáp mặt giữa kim loại và chất bán dẫn loại n. Đặc điểm của loại diod này là độ dẫn điện theo chiều thuận cao hơn loại diod Si thông thường và hầu như không có thời gian trễ khi nó chuyển từ dẫn sang khoá. Vì vậy, khi transistor làm việc ở trạng thái mở, toàn bộ dòng cực gốc hầu như chạy qua diod Schottky. Tiếp giáp gốc - góp của transistor chỉ dẫn dòng rất nhỏ nên tránh được bão hoà và thời gian quá độ t_k giảm khi transistor chuyển từ dẫn bào hoà sang khoá.

1-5. KHUẾCH THUẬT TOÁN LÀM VIỆC Ở CHẾ ĐỘ KHOÁ

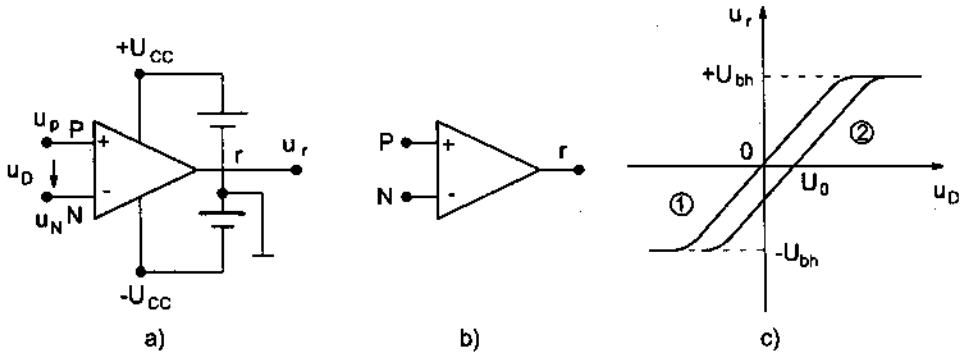
Trong kĩ thuật xung, người ta hay dùng khuếch thuật toán làm việc ở chế độ khoá để tạo xung hoặc các bước nhảy điện áp.

1-5-1. Khái niệm về khuếch thuật toán

Khuếch thuật toán là một vi mạch để khuếch đại điện áp vi sai. Nó có hai đầu vào dương và âm, kí hiệu P, N, và một đầu ra r. Điện áp trên các đầu vào và ra u_P, u_N, u_r là so với "mát". Ngoài ra khuếch thuật toán còn có hai đầu để nối

Sưu tầm bởi: www.daihoc.com.vn

với nguồn cung cấp đối xứng $\pm U_{cc}$ (hình 1-9a). Điện áp nguồn cung cấp nằm trong khoảng $\pm 5V \div \pm 18V$. Nguồn cung cấp cho khuếch thuật toán cũng có thể là nguồn đơn $+U_{cc}$. Trong các sơ đồ điện, khuếch thuật toán được biểu diễn đơn giản như ở hình 1-9b và ta ngầm hiểu cần phải có nguồn cung cấp một chiều cho nó.



Hình 1-9. *Kí hiệu khuếch thuật toán và đặc tính truyền đạt của nó*

Đặc điểm của khuếch thuật toán là có hệ số khuếch đại vi sai A_D rất lớn (thường $A_D \approx 10^5 \div 10^6$) và điện trở vào vi sai rất lớn (thường từ $10M\Omega \div 100M\Omega$ với loại dùng transistor BJT và từ $10^{12}\Omega \div 10^{13}\Omega$ với loại dùng transistor thường), điện trở ra nhỏ (cỡ khoảng $100\Omega \div 1k\Omega$). Dòng chảy vào các đầu vào vi sai P, N rất nhỏ, có thể coi bằng 0. Các khuếch thuật toán dùng trong xử lí tín hiệu có dòng cho phép cực đại ở đầu ra khoảng $5mA \div 10mA$. Các khuếch thuật toán có công suất dòng ra cỡ vài A (có loại khuếch thuật toán công suất với công suất ra lớn hơn 50W).

Hình 1-9c vẽ đặc tính truyền đạt $u_r(u_D)$ của khuếch thuật toán. Điện áp $u_D = u_P - u_N$ gọi là điện áp vi sai. Trên hình vẽ, đường 1 là đặc tính truyền đạt lí tưởng (khi $u_D = 0$ thì $u_r = 0$), đường 2 là đặc tính truyền đạt thực tế của khuếch thuật toán (khi $u_D = 0$ nhưng $u_r \neq 0$). Ta thấy đặc tính có hai vùng làm việc :

Vùng tuyến tính ứng với $|u_D|$ rất nhỏ và :

$$u_r = A_D u_D$$

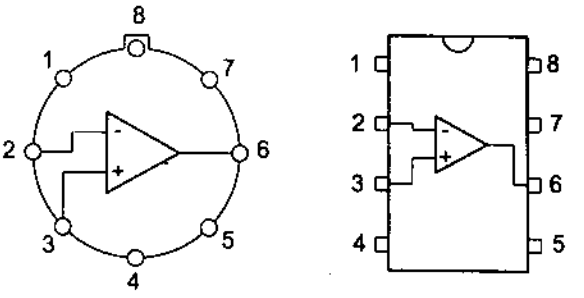
Vùng bão hoà ứng với $|u_D|$ khoảng từ vài chục μV trở lên ($1\mu V = 10^{-6}V$), điện áp ra u_r ở vùng bão hoà là không đổi :

$$u_r = \pm U_{bh} \; ; \; |U_{bh}| = U_{cc} - (2 \div 3)V$$

Ví dụ $\pm U_{cc} = \pm 15V$ thì $\pm U_{bh} \approx \pm 13V$.

Sưu tầm bởi: www.daihoc.com.vn

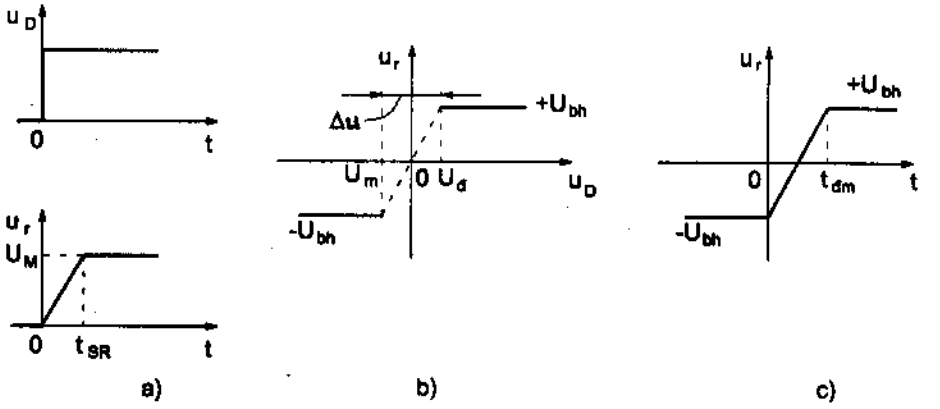
Hình 1-10 giới thiệu sơ đồ chân của "chip" vi mạch khuếch thuật toán μA 741. Nó có hai kiểu đóng vỏ : Đóng vỏ hình tròn (kiểu TO5) và đóng vỏ với hai hàng chân song song (kiểu DIPS). Các chân 1,5 là chân nối "mát", chân 4 nối với nguồn $-U_{cc}$, chân 7 nối với nguồn $+U_{cc}$, chân 8 là chân bỏ trống. Chíp μA 741 là khuếch thuật toán rẻ tiền, làm bằng transistor BJT. "Chíp" LM324 có 14 chân, trong "chip" chứa tới 4 khuếch thuật toán.



Hình 1-10. Sơ đồ chân của μA741

1-5-2. Khuếch thuật toán làm việc ở chế độ khoá

Trong kĩ thuật xung người ta thường sử dụng khuếch thuật toán làm việc ở vùng bão hoà của đặc tính truyền đạt. Lúc đó, điện áp ra u_r chỉ có thể nằm ở hai mức : Mức thấp $L = -U_{bh}$ hoặc mức cao $H = +U_{bh}$. Ta nói khuếch thuật toán làm việc ở chế độ khoá và có vai trò như một khoá đóng / cắt cơ khí. Khi $u_r = -U_{bh} = L$, ta nói ***khoá mở*** ; khi $u_r = +U_{bh} = H$, ta nói ***khoá đóng***.



Hình 1-11. Phân tích chế độ khoá của khuếch thuật toán

• Hình 1-11b là đặc tính truyền đạt lí tưởng khi khuếch thuật toán làm việc ở chế độ khoá. Điện áp vi sai u_D là điện áp điều khiển đóng / mở khoá. Lúc u_D

Sưu tầm bởi: www.daihoc.com.vn

đang rất âm, khoá khuếch thuật toán ở trạng thái mở với $u_r = -U_{bh} = L$. Khi U_D tăng tới giá trị U_d, ($U_d > 0$), thì khoá hoàn toàn chuyển sang trạng thái đóng với $u_r \triangleq +U_{bh} = H$. Vì vậy U_d gọi là ***ngưỡng đóng*** của khoá khuếch thuật toán. Cũng biện luận tương tự, với u_D rất dương, khoá ở trạng thái đóng. Khi u_D giảm tới U_m thì khoá hoàn toàn chuyển sang trạng thái mở nên U_m gọi là ***ngưỡng mở***. Vùng Δu trong đặc tính truyền đạt gọi là ***độ nhậy*** của khoá. Đây là vùng khoá khuếch thuật toán bắt đầu và kết thúc việc chuyển trạng thái đóng / mở. Một khoá lí tưởng có $\Delta u = 0$. Muốn giảm Δu ta phải chọn khuếch thuật toán có hệ số khuếch đại vi sai A_D càng lớn càng tốt.

• Sự chuyển qua lại giữa hai trạng thái đóng / mở của khoá khuếch thuật toán không phải xảy ra tức thời mà cần có thời gian quá độ t_{dm}, gọi là thời gian đóng / mở (hình 1-11c). Một thông số quan trọng quyết định t_{dm} là ***tốc độ xoay*** (Slew rate) của khuếch thuật toán. Hình 1-11a mô tả phản ứng của điện áp ra u_r khi có bước nhảy của u_D. Gần đúng coi trong thời gian quá độ, quan hệ $u_r(t)$ là tuyến tính và bỏ qua thời gian chết (chỉ cỡ 100ns trở lại), nghĩa là coi u_r bắt đầu tăng ngay tại thời điểm có bước nhảy của u_D. Tốc độ xoay SR của khuếch thuật toán định nghĩa như sau :

$$SR = \frac{U_M}{t_{SR}} \ [V/\mu s] \qquad (1\text{-}9)$$

Ta thấy, để giảm thời gian đóng / mở t_{dm} của khoá khuếch thuật toán, ta phải chọn khuếch thuật toán có tốc độ xoay SR lớn. Vi mạch μA 741 có SR = 0,5 V/μs, nhưng loại LM318 có SR = 70 V/μs.

1-6. MẠCH LOGIC - MỨC LOGIC

1-6-1. Bài toán logic

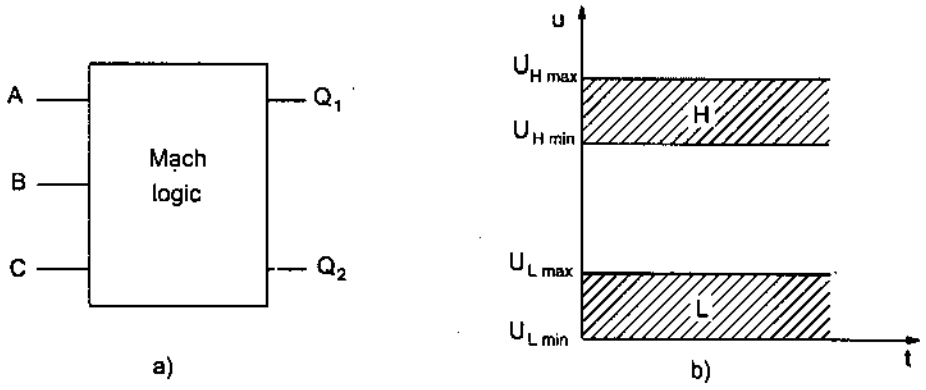
Trong kĩ thuật và đời sống, ta thường gặp các bài toán mà những dữ kiện cho trước cũng như trả lời (đáp ứng) của bài toán đều chỉ có thể nằm ở một trong hai trạng thái đối kháng nhau : đúng - sai, tốt - xấu, đắt - rẻ... Những bài toán như vậy gọi là ***bài toán logic***. Để giải các bài toán trên cần phải sử dụng tới ***đại số Boole***. Các biến độc lập hay phụ thuộc trong đại số Boole gọi chung là ***biến logic*** : Chúng chỉ có hai giá trị đặc trưng cho hai trạng thái đối kháng nhau của một hiện tượng, kí hiệu bằng hai chữ số 0 và 1. Hai giá trị 0, 1 của biến logic cũng như các phép tính trong đại số Boole ***đều có tính chất hình thức, không mang ý nghĩa định lượng.***

1-6-2. Mạch logic

Mạch logic gồm các linh kiện, chủ yếu là các phần tử đóng / cắt với hai trạng thái ổn định, ghép nối với nhau, ***nhằm thực hiện những quan hệ (hàm) logic cho trước.***

Sưu tầm bởi: www.daihoc.com.vn

Trước năm 1960, các mạch logic điều khiển công nghiệp thường do các rơle cơ – điện tạo nên. Ngày nay, các mạch logic chủ yếu được tạo thành từ các transistor với vai trò như các khoá đóng / cắt, gọi là các mạch logic điện tử.



Hình 1-12. Sơ đồ khối mạch logic - Mức logic

Hình 1-12a là sơ đồ khối mạch logic. Các biến vào và ra đều là những biến logic. Các biến vào A, B, C là độc lập ; các biến ra Q_1, Q_2 là phụ thuộc. Nếu giá trị các biến ra tại một thời điểm chỉ phụ thuộc giá trị các biến vào ở thời điểm đó, thì mạch gọi là ***mạch logic tổ hợp*** : $Q_1 = Q_1(A, B, C)$, $Q_2 = Q_2(A, B, C)$. Nếu các biến ra phụ thuộc cả trạng thái bên trong S_t của mạch ở thời điểm xét thì mạch gọi là ***mạch logic dãy*** : $Q_1 = Q_1(A, B, C, S_t)$, $Q_2 = Q_2(A, B, C, S_t)$.

1-6-3. Mức logic

Trong các mạch logic điện, điện áp mang thông tin về hai giá trị của biến logic. Do đó nó chỉ có thể nằm ở hai miền giá trị hoàn toàn phân biệt nhau, gọi là hai ***mức logic***, gồm mức cao H và mức thấp L (hình 1-12b). Ta thấy :

$$U_{Hmin} \leq \text{mức cao H} \leq U_{Hmax}$$

$$U_{Lmin} \leq \text{mức thấp L} \leq U_{Lmax}$$

Để có được độ ổn định nhiễu yêu cầu, giới hạn dưới của mức cao và giới hạn trên của mức thấp ở cửa vào và cửa ra của mạch logic được quy định khác nhau. Ví dụ các mạch logic họ TTL, đầu ra có mức cao nằm trong miền 2,4V ÷ 5V, mức thấp ở trong miền 0 ÷ 0,4V ; đầu vào có mức cao trong miền 2V ÷ 5V và mức thấp nằm trong miền 0 ÷ 0,8V.

Nếu trong mạch logic ta quy ước mức cao H đặc trưng cho giá trị 1 của biến logic và mức thấp L đặc trưng cho giá trị 0 của biến, thì mạch gọi là mạch ***logic***

Sưu tầm bởi: www.daihoc.com.vn

dương. Nếu quy ước ngược lại (H → 0, L → 1) thì mạch gọi là ***logic âm***. Hiện nay đa số dùng quy ước logic dương. Trong cuốn sách này cũng dùng quy ước đó.

Rõ ràng tín hiệu truyền trong mạch logic điện phải là các bước nhảy điện áp giữa hai mức L và H, hoặc là một dãy xung vuông góc có biên độ bằng hiệu của hai mức logic.

1-7. CÁC PHẦN TỬ LOGIC THÔNG DỤNG

1-7-1. Ba phần tử logic cơ bản

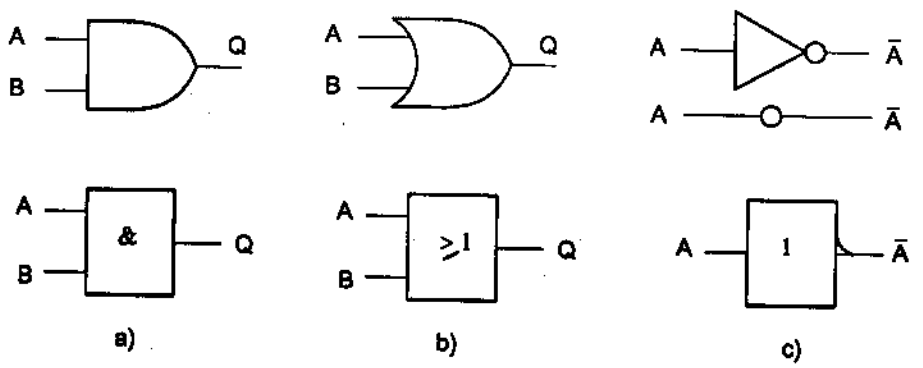
Ba phần tử logic cơ bản là các mạch logic đơn giản nhất để thực hiện ba phép tính cơ sở trên các biến logic : Phép ***tính hội*** (còn gọi là ***phép nhân*** logic), phép ***tính tuyển*** (còn gọi là phép ***tính cộng*** logic) và phép tính phủ định trên một biến logic.

• ***Phần tử VÀ (AND)*** là mạch thực hiện phép tính nhân logic giữa các biến A, B, C,.... ở cửa vào. Biến ra

$$Q = A \wedge B \wedge C... = A.B.C...$$

chỉ có giá trị 1 khi tất cả các biến vào đều bằng 1 ; Q sẽ bằng 0 khi có ít nhất một biến vào bằng 0.

Hình 1-13a là các kí hiệu thường dùng của phần tử VÀ trong các sơ đồ logic (vẽ trong trường hợp có hai đầu vào).



Hình 1-13. Kí hiệu của các phần tử logic VÀ, HOẶC, ĐẢO

Bảng ***chân lí*** mô tả quan hệ giữa biến ra và các biến vào của phần tử VÀ ở hình 1-13a cho trong bảng 1-1. Tương ứng với nó là bảng 1-2, thể hiện các mức logic trên các đầu vào và ra của phần tử.

Sưu tầm bởi: www.daihoc.com.vn

Bảng 1-1

A	B	Q = A.B
0	0	0
0	1	0
1	0	0
1	1	1

⇒

Bảng 1-2

A	B	Q = A.B
L	L	L
L	H	L
H	L	L
H	H	H

• ***Phần tử HOẶC (OR)*** là mạch thực hiện phép cộng logic giữa các biến A, B, C... ở cửa vào. Biến ra

$$Q = A \vee B \vee C \vee ... = A + B + C + ...$$

chỉ có giá trị 0 khi tất cả các biến vào bằng 0 ; Q sẽ bằng 1 khi có ít nhất một biến vào bằng 1.

Hình 1.13b là hai kí hiệu thường dùng của phần tử HOẶC trong các sơ đồ logic (vẽ cho trường hợp có hai đầu vào). Các bảng 1-3, 1-4 dưới đây tương ứng là bảng chân lí và bảng thể hiện các mức logic ở cửa vào / ra của phần tử.

Bảng 1-3

A	B	Q = A + B
0	0	0
0	1	1
1	0	1
1	1	1

⇒

Bảng 1-4

A	B	Q = A + B
L	L	L
L	H	H
H	L	H
H	H	H

• ***Phần tử ĐẢO (No)*** là mạch thực hiện phép tính phủ định trên biến logic A ở đầu vào. Biến ra

$$Q = \overline{A}$$

có giá trị luôn ngược với giá trị của A (bảng 1-5, 1-6)

Bảng 1-5

A	$Q = \overline{A}$
0	1
1	0

⇒

Bảng 1-6

A	$Q = \overline{A}$
L	H
H	L

Sưu tầm bởi: www.daihoc.com.vn

Hình 1-13c là các kí hiệu thường dùng của phần tử ĐẢO trong các sơ đồ logic.

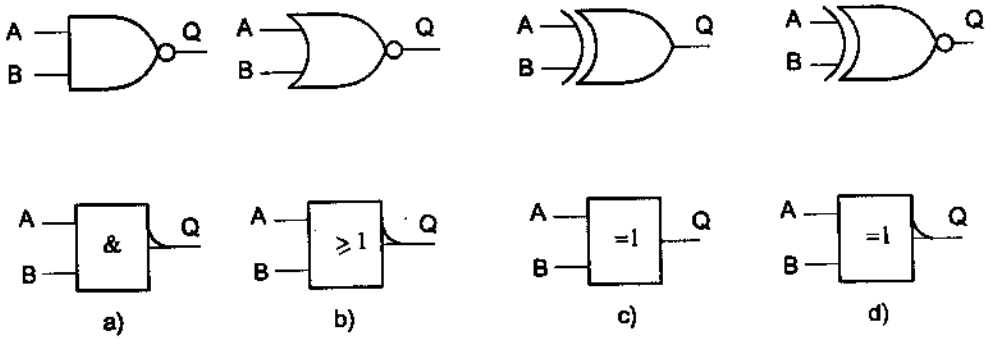
1-7-2. Các phần tử logic vạn năng. Có hai phần tử logic vạn năng

• Phần tử VÀ - ĐẢO (No AND → NAND) là mạch thực hiện hai phép tính logic liên tiếp nhau : phép nhân logic trên các biến A, B, C..., kế đến là phép tính phủ định. Biến ra

$$Q = \overline{A.B.C...}$$

chỉ bằng 0 khi tất cả các biến vào A, B, C,... đều bằng 1. Q sẽ có giá trị 1 khi ít nhất có một biến vào bằng 0.

Hình 1-14a là hai kí hiệu của phần tử VÀ - ĐẢO trong các sơ đồ logic. Ta thấy phần tử NAND tương đương với mạch gồm phần tử VÀ nối tầng với phần tử ĐẢO (hình 1-15a)



Hình 1-14. Kí hiệu các phần tử NAND, NOR, XOR, $\overline{XOR}$

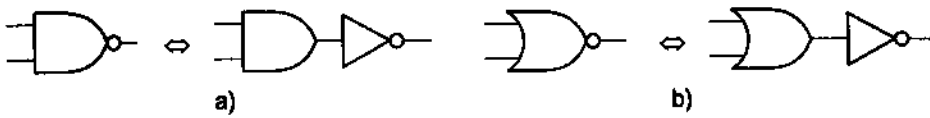
• Phần tử HOẶC - ĐẢO (No OR → NOR) là mạch thực hiện hai phép tính logic liên tiếp nhau : Phép cộng logic trên các biến vào A, B, C ..., kế tiếp là phép phủ định. Biến ra

$$Q = \overline{A + B + C...}$$

sẽ có giá trị 1 khi tất cả các biến vào A, B, C... đều bằng 0 ; Q sẽ có trị 0 khi ít nhất có một biến vào bằng 1.

Hình 1-14b là hai kí hiệu thông dụng của phần tử HOẶC - ĐẢO trong các sơ đồ logic. Nó tương đương với mạch gồm phần tử HOẶC nối tầng với phần tử ĐẢO (hình 1-15b).

Sưu tầm bởi: www.daihoc.com.vn



Hình 1-15. Mạch tương đương của các phần tử NAND, NOR

• Hai phần tử NAND, NOR gọi là các phần tử logic vạn năng vì ta có thể dùng chúng thay cho vai trò của ba phần tử logic cơ bản. Thật vậy, từ phụ lục 1 ta có :

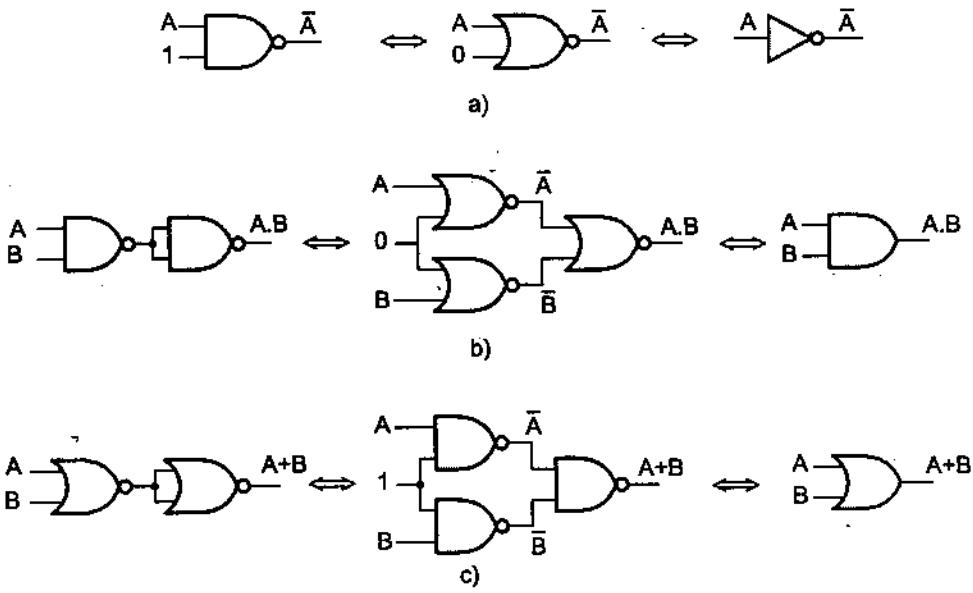
$$\overline{A.1} = \overline{A} \quad ; \quad \overline{A + 0} = \overline{A}$$

Do đó các đầu vào của phần tử NAND, NOR đặt như hình 1-16a sẽ tương đương với phần tử ĐẢO. Ta lại có :

$$A.B = \overline{\overline{A.B}} = \overline{\overline{A} + \overline{B}}$$

nên các phần tử NAND hoặc NOR nối như hình 1-16b sẽ tương đương với phần tử VÀ.

Cuối cùng, vì $A + B = \overline{\overline{A + B}} = \overline{\overline{A}.\overline{B}}$, nên các phần tử NAND, NOR nối như hình 1-16c sẽ tương đương với phần tử HOẶC.



Hình 1-16. Nối NAND, NOR để được các phần tử logic cơ bản.

Sưu tầm bởi: www.daihoc.com.vn

1-7-3. Phần tử tương đương và không tương đương

• **Phần tử không tương đương** hay còn gọi là phần tử XOR hai đầu vào (viết tắt từ chữ EXCLUSIVE OR) là mạch logic có hai đầu vào và một đầu ra Q, dùng để thực hiện phép tính HOẶC - LOẠI TRỪ trên hai biến logic A và B :

$$Q = A \oplus B = \overline{A}.B + \overline{B}.A$$

Hình 1-14c là hai kí hiệu của phần tử không tương đương trong các sơ đồ logic.

Bảng 1-7 là bảng chân lí của phần tử không tương đương.

Ta thấy khi $A \neq B$ thì $Q = 1$, nghĩa là phần tử sẽ báo hiệu chỉ sự không tương đương của hai biến logic ở cửa vào.

Bảng 1-7

A	B	Q = A ⊕ B
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 1-8

A	B	$Q = \overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1

• **Phần tử tương đương** hay còn gọi là phần tử $\overline{XOR}$ hai đầu vào, là mạch thực hiện hai phép tính liên tiếp :

Phép tính HOẶC - LOẠI TRỪ trên hai biến logic A, B, tiếp theo là phép tính phủ định. Biến ra

$$Q = \overline{A \oplus B} = A.B + \overline{A}.\overline{B}$$

sẽ bằng 1 khi A và B tương đương nhau (xem bảng chân lí 1-8).

Hình 1-14d là hai kí hiệu của phần tử tương đương trong các sơ đồ logic.

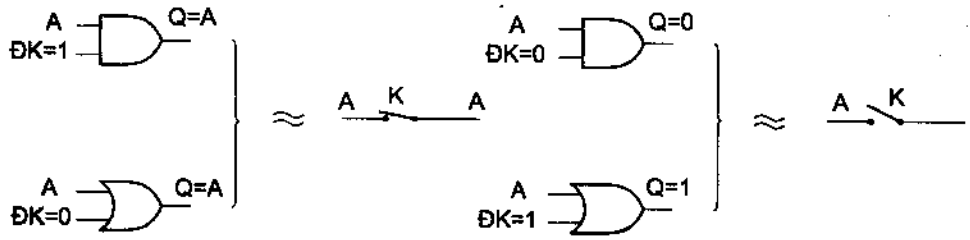
1-8. ỨNG DỤNG CỦA CÁC PHẦN TỬ LOGIC THÔNG DỤNG

Một ứng dụng quan trọng nhất của các phần tử logic thông dụng kể trên là dùng để xây dựng những mạch thực hiện các quan hệ logic phức tạp. Nhiệm vụ này gọi là ***tổng hợp mạch***. Tuy nhiên, ngày nay có rất nhiều mạch logic chức năng đã được chế tạo sẵn thành các "chíp" vi mạch số (xem mục 1-9), và việc tổng hợp mạch từ các phần tử logic thông dụng hầu như không còn cần thiết đối với một kĩ thuật viên. Để thực hiện một nhiệm vụ logic cụ thể, thường người ta đem ghép nối các mạch logic chức năng với nhau. Những phần tử logic thông dụng ở trên chỉ được dùng đơn lẻ làm giao diện liên hệ giữa các khối logic chức năng nếu cần. Do đó, việc tổng hợp mạch từ các phần tử logic cơ bản chỉ đề cập ở phụ lục 4 để bạn đọc tham khảo khi cần. Dưới đây là vài ứng dụng đơn lẻ phổ biến :

Sưu tầm bởi: www.daihoc.com.vn

1. Cổng logic.

Người ta còn hay dùng các phần tử VÀ, HOẶC làm cửa ngõ cho thông tin đi qua, gọi là ***cổng logic***. Khi được dùng như một cổng, tín hiệu đặt ở một đầu vào của cổng sẽ dùng làm tín hiệu điều khiển đóng / mở cổng ; tín hiệu ở đầu vào còn lại là tín hiệu thông tin cần truyền qua.



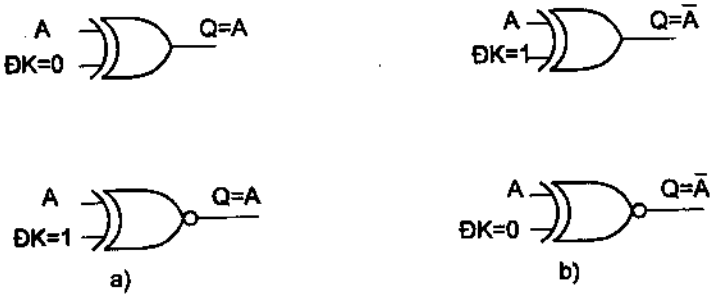
Cổng mở, thông tin A đi qua — Cổng đóng, thông tin A bị chặn

Hình 1-17. Điều khiển đóng / mở cổng logic

Gọi ĐK là tín hiệu đóng / mở cổng, A là thông tin logic cần đi qua, ta có điều kiện để đóng / mở như mô tả hình 1-17. Trên hình vẽ, việc mô phỏng cổng logic như một khoá cơ khí K chỉ là hình thức, để diễn đạt chức năng của cổng. Ở khoá cơ khí, thông tin có thể truyền theo hai chiều ; nhưng ở cổng logic, ***thông tin chỉ có thể đi theo một chiều***, từ đầu vào tới đầu ra.

2. Phần tử đảo có điều khiển (hoặc có điều kiện)

Nhiều khi người ta hay dùng phần tử không tương đương (hoặc tương đương) như một phần tử ***ĐẢO có điều khiển***. Thật vậy, từ bảng chân lí của phần tử không tương đương (bảng 1-7) ta thấy : Nếu biến B làm biến điều khiển thì khi B = 0 → Q = A, thông tin A đi qua ; khi B = 1 → Q = $\overline{A}$, phần tử không tương đương đóng vai trò của phần tử ĐẢO. Đối với phần tử tương đương (bảng 1-8) thì kết luận rút ra là ngược lại.



Hình 1-18. Phần tử ĐẢO có điều khiển

Hình 1-18 mô tả hoạt động của các phần tử tương đương và không tương đương như một phần tử ĐẢO có điều khiển. Chúng chỉ trở thành phần tử ĐẢO khi tín hiệu điều khiển ĐK = 1 (hoặc ĐK = 0 đối với phần tử tương đương

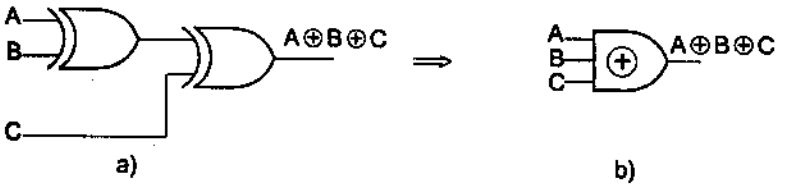
Sưu tầm bởi: www.daihoc.com.vn

hình 1-18b).Với tín hiệu điều khiển ngược lại thì các phần tử này trở thành một cửa ngõ mở, cho thông tin A đi qua (hình 1-18a).

3. Phần tử HOẶC - LOẠI TRỪ nhiều đầu vào

Người ta còn hay dùng các phần tử không tương đương để thành lập mạch XOR thực hiện phép tính HOẶC - LOẠI TRỪ trên nhiều biến logic A, B, C... Biến ra : $Q = A \oplus B \oplus C \oplus ... = [(A \oplus B) \oplus C] \oplus ...$

Dựa trên tính kết hợp của phép tính HOẶC - LOẠI TRỪ, nên mạch XOR ba đầu vào (Kí hiệu ở hình 1-19b) sẽ gồm hai phần tử không tương đương nối tầng với nhau (hình 1-19a).



Hình 1-19.Thành lập mạch XOR ba đầu vào

Quy tắc tính giá trị biến Q ở đầu ra mạch XOR nhiều đầu vào như sau : Q sẽ bằng 0 khi số biến vào mang giá trị 1 là một số chẵn ; khi số biến vào có giá trị 1 là một số lẻ thì Q = 1. Ví dụ : Dựa vào quy tắc trên, ta có thể lập bảng chân lí của hàm XOR với ba biến độc lập A, B, C (bảng 1-9).

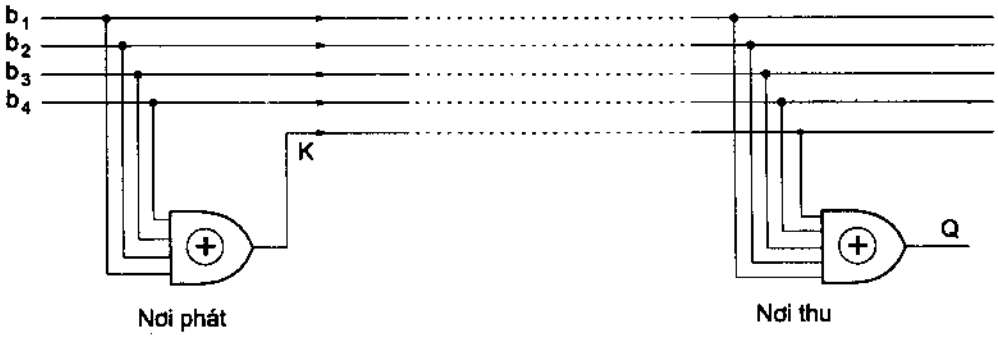
Bảng 1-9

A	B	C	Q = A ⊕ B ⊕ C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Một ứng dụng của mạch XOR nhiều đầu vào là làm mạch tạo và kiểm tra ***tính chẵn*** của kênh truyền tin song song. Khi truyền song song thông tin n bit (xem phụ lục 2) ta cần kiểm tra xem thông tin nhận được có đúng không. Một phương pháp kiểm tra đơn giản nhất là thêm vào kênh truyền một bit, gọi là ***bit kiểm tra*** K. Bít kiểm tra phải có giá trị 0 hoặc 1 thế nào để số bít mang giá trị 1 (kể cả bít kiểm tra) trong kênh truyền là một số chẵn. Như vậy ở nơi phát tin phải có một mạch để tạo bit kiểm tra sao cho bảo đảm tính chẵn của kênh truyền. Ở nơi thu cũng cần đặt mạch kiểm tra tính chẵn của thông tin nhận được.

Sưu tầm bởi: www.daihoc.com.vn

Từ tính chất của hàm XOR nhiều biến là : Khi số biến độc lập mang giá trị 1 là một số chẵn thì hàm có giá trị 0 ; nếu số biến mang giá trị 1 là một số lẻ thì hàm có giá trị 1 logic. Do đó, để tạo bit kiểm tra K bảo đảm tính chẵn của kênh truyền, ta chỉ đặt ở nơi phát một mạch XOR nhiều đầu vào. Để kiểm tra tính chẵn ở nơi thu, ta cũng đặt ở đó một mạch XOR. Hình 1-20 là ví dụ một kênh truyền tin 4 bit b_1, b_2, b_3, b_4, với các mạch XOR đặt ở nơi phát và nơi thu để phát và kiểm tra tính chẵn của kênh truyền. Khi các bit đến nơi thu không bảo đảm tính chẵn, đầu ra Q nhảy lên 1 logic để báo lỗi.



Hình 1-20. *Kênh truyền tin với mạch phát và kiểm tra tính chẵn của kênh.*

1-9. TỔNG QUAN VỀ CÁC VI MẠCH LOGIC

1-9-1. "Chip" vi mạch số

Hiện nay các mạch logic điện tử đều được sản xuất dưới dạng mạch tích hợp, hay còn gọi là vi mạch (viết tắt là IC). Đa số các vi mạch logic (vi mạch số) đều dựa trên phương pháp chế tạo của vi mạch bán dẫn khối rắn. Từ một đơn tinh thể bán dẫn tinh khiết Si, người ta đưa vào trong nó các tạp chất để tạo thành các tiếp giáp p-n. Chính những tiếp giáp này sẽ được dùng làm diod, transistor... và chúng được ghép nối với nhau, tạo thành một mạch điện tử có chức năng nhất định.

Khác với mạch điện tử rời rạc, trong vi mạch điện tử ta không còn phân biệt được các linh kiện khác nhau của mạch. Toàn bộ khối Si nhỏ bé được đóng rắn trong vỏ và ta chỉ còn thấy các chân ra của IC. Có ba cách đóng vỏ : Kiểu T05, kiểu DIPS (hình 1-10) và kiểu FLAT PACK. Kiểu đóng vỏ thông dụng nhất trong công nghiệp là kiểu hai hàng chân song song (DIPS). Nó có kích cỡ lớn hơn các kiểu đóng vỏ khác nhưng lại dễ lắp ráp. Các IC kiểu DISP có số chân thay đổi từ 8 ÷ 48. Vật liệu rẻ và thông dụng nhất của đóng vỏ kiểu DISP là chất dẻo, với dải nhiệt độ làm việc cho phép từ 0 ÷ 70°C.

Một mạch tích hợp sau khi đóng vỏ như ở hình 1-10 gọi là một "chip" vi mạch hay "chip" bán dẫn (một số người còn gọi là con bọ bán dẫn). Trong một

Sưu tầm bởi: www.daihoc.com.vn

"chip" có thể gồm nhiều mạch logic cùng loại. Ví dụ "chip" 7400 gồm 4 phần tử NAND hai đầu vào, "chip" 74HC002 gồm hai phần tử NOR bốn đầu vào...

1-9-2. Sự phát triển của vi mạch số

Chỉ trong vài thập kỉ, kể từ năm 1960, vi mạch số đã trải qua nhiều giai đoạn phát triển. Xu thế phát triển chung là nhằm tăng mức độ tích hợp của "chip", tăng tốc độ hoạt động của mạch, giảm công suất tiêu thụ từ nguồn cung cấp và làm giảm giá thành sản xuất.

• Bắt đầu từ năm 1960 là giai đoạn của các vi mạch với ***mức độ tích hợp nhỏ (SSI)***. Mỗi chip gồm khoảng hàng chục các phần tử tích cực để tạo thành vài phần tử logic thông dụng (AND, OR, NAND, NOR,...)

• Từ 1966 là giai đoạn sản xuất các vi mạch với ***mức độ tích hợp trung bình (MSI)***. Mỗi "chip" gồm vài chục đến 100 phần tử logic vạn năng, để tạo thành các mạch logic chức năng như bộ đếm, thanh ghi dịch, mạch giải mã địa chỉ... sẽ trình bày trong các chương sau.

• Từ 1969 là giai đoạn bắt đầu sản xuất các "chip" bán dẫn có ***mức độ tích hợp lớn (LSI)***, gồm hàng nghìn đến hàng vạn phần tử tích cực, ví dụ các bộ nhớ PROM dung lượng lớn, bộ vi xử lí 8 bít, khối tính toán số học và logic (ALU) có kèm các thanh ghi.

• Từ 1975 trở đi là giai đoạn của các "chip" bán dẫn với ***mức độ tích hợp rất lớn (VLSI) và siêu lớn (ULSI)***. Trên một diện tích bán dẫn nền khoảng $40mm^2$ đã tạo nên hàng trăm nghìn transistor với công suất tiêu thụ của toàn "chip" là dưới 500mW. Đây là giai đoạn của các "chip" vi xử lí, vi điều khiển 16, 32 bit... Khoảng từ 1990 người ta bắt đầu nói đến các ***mạch tích hợp ứng dụng đặc thù*** (ASIC), gọi gọn là vi mạch đặc thù. Đó là các "chip" bán dẫn tích hợp các hệ thống ngày càng phức tạp, với mức độ tích hợp trên 500000 phần tử logic. Mức độ tích hợp tăng kéo theo yêu cầu phải làm giảm công suất tiêu thụ. Đã xuất hiện việc thay thế điện áp cung cấp truyền thống 5V bằng 3,3V, rồi 2V.

Có thể tóm tắt lại là, từ năm 1970 đến 1994, mức độ tích hợp của các "chip" bán dẫn hàng năm tăng khoảng 1,5 ÷ 2 lần. Giá thành sản xuất ngày càng giảm. Ví dụ giá thành 1 bit nhớ của bộ nhớ bán dẫn năm 1991 so với năm 1978 giảm hơn 100 lần.

Việc tăng mức độ tích hợp các IC số do nhiều yếu tố quyết định, nhưng trước hết là do việc chuyển từ công nghệ lưỡng cực, dùng transistor BJT sang công nghệ đơn cực, dùng transitor MOS.

1-10. MẠCH LOGIC HỌ TTL VÀ CMOS

1-10-1. Khái niệm về mạch logic TTL và CMOS

Tuỳ theo phần tử tích cực nào được dùng làm thành phần cơ bản tạo thành vi mạch, ta có các họ vi mạch logic khác nhau. Hai họ vi mạch thông dụng hiện nay của các "chip" SSI và MSI là họ TTL và CMOS.

Sưu tầm bởi: www.daihoc.com.vn

• ***Họ TTL*** (transistor - transistor logic) là các mạch logic mà cửa vào và cửa ra đều dùng transitor lưỡng cực BJT. Nguồn cung cấp là 5V, công suất tiêu thụ điển hình là 10mW/phần tử, tốc độ chuyển mạch điển hình là 10ns.

• ***Họ CMOS*** sử dụng đồng thời các transitor MOS kênh n và kênh p. Nguồn cung cấp +3 ÷ 18V, công suất tiêu thụ rất nhỏ, cỡ 10nW/phần tử ($1nW = 10^{-9}W$), tốc độ chuyển mạch nhìn chung chậm hơn mạch họ TTL.

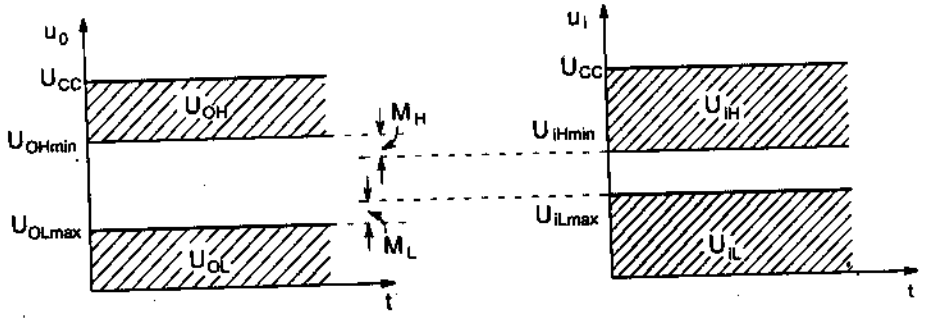
1-10-2. Các thông số của vi mạch logic. Khi sử dụng một mạch logic, cần thiết phải biết các thông số đặc trưng sau :

• ***Điện áp cung cấp*** U_{cc} mạch yêu cầu với độ xê dịch cho phép.

• ***Công suất mạch tiêu thụ*** từ nguồn cung cấp $P_{cc} = U_{cc}I_{cc}$, trong đó I_{cc} là dòng tiêu thụ từ nguồn cung cấp.

• ***Mức logic***, gồm : Các mức logic cao và thấp ở đầu ra mạch U_{oH}, U_{oL} ; các mức logic cao và thấp ở đầu vào mạch U_{iH}, U_{iL}.

Thường người ta quy định giá trị cực tiểu của mức cao ở đầu ra lớn hơn ở đầu vào ($U_{oHmin} > U_{iHmin}$) và giá trị cực đại của mức thấp ở đầu ra nhỏ hơn ở đầu vào ($U_{oLmax} < U_{iLmax}$). Làm như vậy nhằm bảo đảm mạch có độ ổn định nhiễu thích đáng (hình 1-21)



Hình 1-21. Các mức logic ở đầu ra và đầu vào mạch logic.

• ***Độ ổn định nhiễu*** M là giá trị điện áp nhiễu tối đa cho phép xếp chồng lên mức logic ở đầu vào mà không gây sự tác động sai của mạch. Khi sử dụng, các phần tử logic thường được nối tầng với nhau : tín hiệu ra ở tầng trước là tín hiệu vào của tầng sau. Do đó nếu các phần tử thuộc cùng một họ, với quy định

Sưu tầm bởi: www.daihoc.com.vn

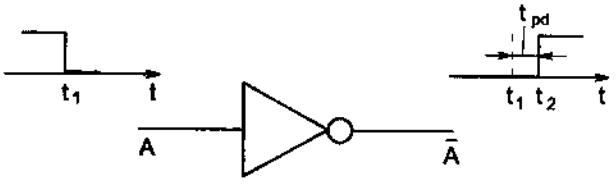
những giới hạn khác nhau của các mức logic ở đầu ra và đầu vào như trên hình 1-21, thì độ ổn định nhiễu là :

$$M = \min \{M_H, M_L\}$$

trong đó $M_H = U_{oHmin} - U_{iLmin}$; $M_L = U_{iLmax} - U_{oLmax}$.

Độ ổn định nhiễu của các vi mạch số rất cao, khoảng 10 ÷ 40% điện áp nguồn cung cấp.

• ***Các dòng vào và ra ứng với hai mức logic*** : I_{iH}, I_{iL}, I_{oL}, I_{oH} Trường hợp dùng các mạch cùng một họ nối tầng với nhau, có thể thay thế các thông số dòng vào/ra bằng khái niệm về ***hệ số tải đầu ra*** (Fan - out). Nó là thông số chỉ số đầu vào nhiều nhất có thể nối với mỗi đầu ra của mạch cùng họ mà không làm điện áp đầu ra chạy khỏi vùng quy định của hai mức logic. Hệ số tải đầu ra của mạch TTL thường là 10 (của mạch họ CMOS là trên 50).



Hình 1-22. Mô tả trễ truyền đạt của phần tử ĐẢO

• Trễ truyền đạt t_{pd}, hay còn gọi là tốc độ chuyển mạch, đặc trưng cho sự chậm trễ của việc thay đổi trạng thái của tín hiệu ở đầu ra theo sự thay đổi trạng thái tín hiệu ở các đầu vào. Hình 1-22 mô tả trễ truyền đạt của phần tử ĐẢO.

1-10-3. Mạch logic họ TTL

a) Kí hiệu và các thông số của họ TTL

Họ TTL có hai nhóm cơ bản là nhóm 74 dùng trong thương mại, còn nhóm 54 dùng trong quân sự. Điểm khác nhau chính giữa hai nhóm này là giới hạn nhiệt độ làm việc : Đối với nhóm 74 là 0 ÷ 70°C, với nhóm 54 là -55 ÷ +125°C. Trong mỗi nhóm lại có nhiều chủng loại đặc biệt, nhằm tăng tốc độ chuyển mạch và giảm công suất tiêu thụ từ nguồn cung cấp IC.

Quy tắc kí hiệu các họ IC TTL như sau :

74/54 xxxxxxxxxxxxxx

vài chữ cái vài con số

Sưu tầm bởi: www.daihoc.com.vn

Trong kí hiệu trên, vài chữ cái để chỉ các chủng loại như : N - thông thường (Normal), H - tốc độ chuyển mạch cao (High speed), L - tiêu thụ công suất thấp (Low power), S - mạch có dùng diod Schottky nối giữa cực gốc và góp nên t_{pd} giảm khoảng 3 lần, LS - tiêu thụ công suất thấp và có diod Schottky (Low power Schottky), AS - tốc độ chuyển mạch nhanh hơn loại có diod Schottky (Advanced Schottky), ALS - công suất tiêu thụ thấp và tốc độ chuyển mạch nhanh hơn loại LS (Advanced Low power Schottky). Vài con số nằm ở cuối cùng chỉ chức năng của IC, ví dụ mạch NAND, NOR, mạch đếm, giải mã...

Bảng 1-10 cho các thông số của IC họ TTL. Trong bảng chiều dương quy ước của dòng đầu ra và dòng đầu vào tương ứng là đi ra khỏi mạch và đi vào mạch.

Bảng 1-10

Các thông số của IC họ TTL

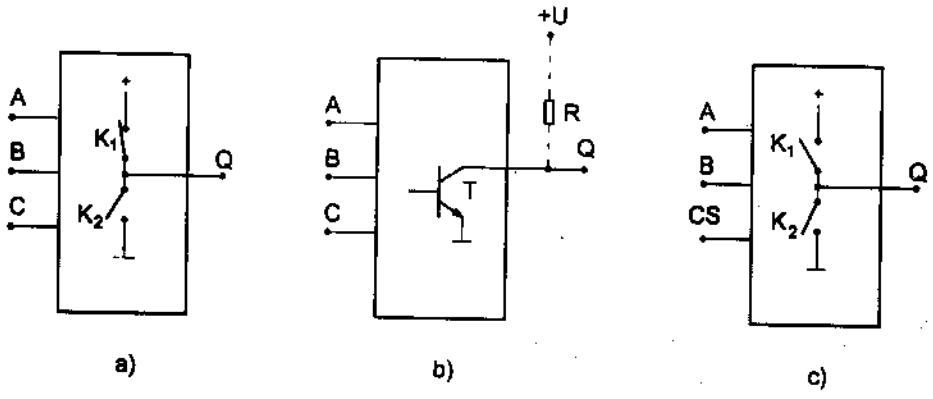
Chủng loại / Các thông số	N	H	L	S	LS	AS	ALS
Điện áp cung cấp (V)	5 ± 2,5%	5 ± 2,5%	5 ± 2,5%	5 ± 2,5%	5±2,5%	5±2,5%	5±2,5%
Mức logic đầu ra U_{OH}(V) U_{OL}(V)	 ≥ 2,4 ≤ 0,4	 ≥ 2,4 ≤ 0,4	 ≥ 2,4 ≤ 0,4	 ≥ 2,7 ≤ 0,5	 ≥ 2,7 ≤ 0,5	 ≥ 3 ≤ 0,5	 ≥ 3 ≤ 0,5
Mức logic đầu vào U_{IH}(V) U_{IL}(V)	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8	 ≥ 2 ≤ 0,8
Độ ổn định nhiễu (V)	0,4	0,4	0,4	0,3	0,3	0,3	0,3
Dòng đầu ra I_{OH}(mA) I_{OL}(mA)	 0,4 -16	 0,5 -20	 0,2 -2	 1 -20	 0,4 -4	 2 -20	 0,4 -8
Dòng đầu vào I_{IH}(mA) I_{IL}(mA)	 0,04 -1,6	 0,05 -2	 0,01 -0,18	 0,05 -2	 0,02 -0,4	 0,2 -2	 0,02 -0,2
Công suất tiêu thụ (mW/phần tử)	10	23	1	23	2	20	1
Trễ truyền đạt t_{pd} (ns)	10	6	33	3	10	1,5	4

Sưu tầm bởi: www.daihoc.com.vn

b) Các mạch ra của phần tử logic họ TTL. Các phần tử logic họ TTL có thể có một trong ba mạch ra sau :

• ***Mạch ra totem - pole*** (còn gọi là mạch ra cột chạm)

Hình 1-23a là mô hình phần tử logic với mạch ra totem - pole, gồm hai khoá K_1, K_2 đóng vào các mức logic cao và thấp. Chúng là các khoá transistor ***và làm việc luôn ngược nhau*** : cái này đóng thì cái kia mở. Các tín hiệu logic ở cửa vào điều khiển sự đóng / mở của hai khoá. Ví dụ nếu mô hình hình 1-23a là phần tử VÀ thì K_2 đóng, K_1 mở khi có ít nhất một biến vào bằng 0. Khi A = B = C = 1 thì K_1 đóng K_2 mở.



Hình 1-23. Mô phỏng các mạch ra của phần tử logic họ TTL

• ***Mạch ra cực góp hở*** (để ngỏ). Phần tử logic cực góp hở có mạch ra là một transistor BJT, cực góp của nó để hở. Khi sử dụng phải nối đầu ra Q (chính là cực góp) với điện áp +U thích hợp thông qua điện trở R (1 ÷ 5kΩ) gọi là điện trở treo cao (hình 1-23b).

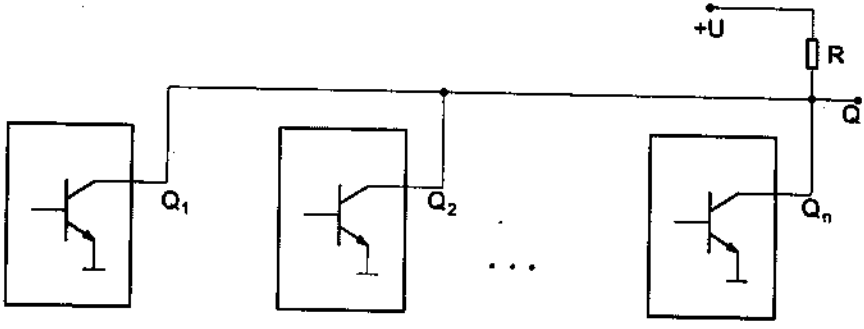
Phần tử mạch ra cực góp hở có các ưu điểm sau :

– Nó cho phép ta thay đổi mức logic cao H ở đầu ra bằng cách treo lên điện áp +U thích hợp. Hơn nữa khi cần điều khiển tải công suất (đèn báo hiệu, rơle điện từ...), ta có thể nối trực tiếp đầu ra với tải và đặt vào điện áp tải yêu cầu (trong phạm vi cho phép, thường là ≤ 15V hoặc < 30V).

– Các phần tử cực góp hở có khả năng thực hiện hàm ***VÀ nối dây*** (wired AND) ; nghĩa là :

Để làm phép nhân logic giữa những biến ra của các phần tử cực góp hở, ta chỉ cần nối chung tất cả các đầu ra với nhau và treo lên mức logic cao +U (hình 1-24).

Sưu tầm bởi: www.daihoc.com.vn



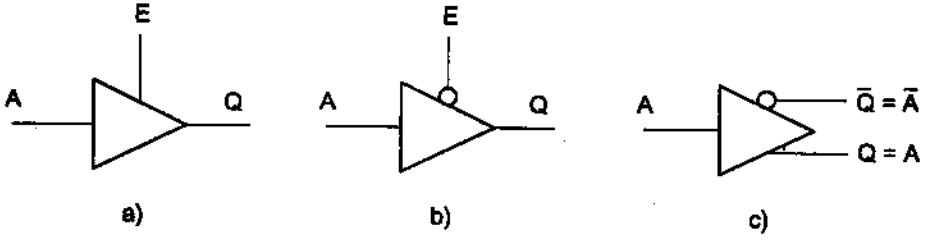
Hình 1-24. Thực hiện hàm VÀ nối dây của các phần tử cực góp hở.

Từ hình 1-24 ta thấy : Nếu một trong các transistor đầu ra dẫn bão hoà, nghĩa là chỉ cần một đầu ra $Q_i = 0$ logic (i = 1, 2,...,n) thì Q = 0 logic ; chỉ khi tất cả các transistor đều khoá ($Q_1 = Q_2 = ...Q_n = 1$ logic) thì Q = +U = 1 logic. Vậy $Q = Q_1 . Q_2...Q_n$

• ***Mạch ra ba trạng thái***. Ở phần tử logic với mạch ra ba trạng thái, đầu ra Q có thể nằm ở ba trạng thái sau :

Hai trạng thái, ứng với mức logic 1 hoặc 0 khi phần tử làm việc. Ngoài ra còn có thể có trạng thái thứ ba, gọi là trạng thái ***tổng trở cao*** (hoặc ***trạng thái treo***), lúc đó đầu ra Q coi như tách rời khỏi phần tử.

Hình 1-23c mô phỏng phần tử logic với mạch ra 3 trạng thái là hai khoá K_1, K_2. Khi phần tử hoạt động, hai khoá làm việc ngược nhau, một cái đóng thì cái kia mở theo sự điều khiển của tín hiệu vào A, B. Tuỳ theo vị trí của hai khoá mà Q sẽ bằng 0 hay 1 logic. Tuy vậy, mạch còn có thể có trạng thái thứ ba (tổng trở cao) ứng với khi K_1, K_2 đều mở, đầu ra Q coi như tách ra khỏi mạch. Tín hiệu ở đầu CS, gọi là đầu chọn "chíp", dùng để điều khiển mạch ở trạng thái thứ ba này : Khi CS = 1 (hoặc 0) thì hai khoá đều mở, độc lập với các tín hiệu vào A, B.

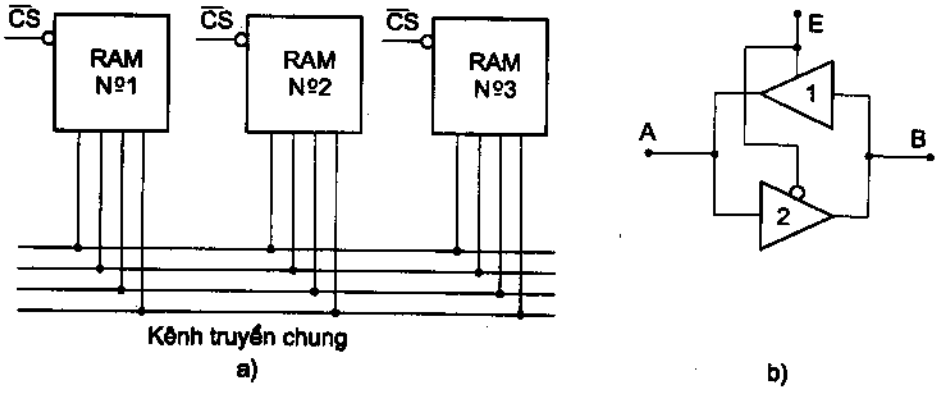


Hình 1-25. Kí hiệu các phần tử đệm ba trạng thái và phần tử đệm hai đầu ra.

Sưu tầm bởi: www.daihoc.com.vn

Người ta còn hay sản xuất các IC đệm (buffer) ba trạng thái. Nó thực chất chỉ là một khuếch đại logic ba trạng thái, kí hiệu như ở hình 1-25a, b. Khi E = 1 (hoặc E = 0 đối với hình 1-25b) thì Q = A ; khi E = 0 (hoặc E = 1 đối với hình 1-25b), phần tử đệm sẽ ở trạng thái tổng trở cao, đầu ra Q tách khỏi đầu vào A. Vậy vai trò phần tử đệm tựa như một khoá cơ khí đóng cắt. Cũng cần phân biệt kí hiệu phần tử đệm 3 trạng thái với phần tử đệm có hai đầu ra đảo và không đảo ở hình 1-25c.

Ưu điểm nổi bật của các IC logic với mạch ra ba trạng thái là ta có thể nối các đầu ra của IC lên cùng một kênh truyền chung. Điều này làm đơn giản rất nhiều cho việc tạo lập kênh truyền số liệu trong một hệ thống logic. Hình 1-26a là ví dụ về nối ba "chip" nhớ RAM mạch ra ba trạng thái lên cùng một kênh truyền chung 4 bit. Về hình thức thì các đầu ra của mỗi bộ nhớ đều được nối cứng (nối vật lí) với kênh truyền chung. Nhưng bằng cách chọn đặt lên các đầu chọn chip $\overline{CS}$ của IC những mức logic thích hợp, ta luôn bảo đảm tại một thời điểm chỉ có một IC nào đó trong ba IC được nối với đường truyền chung, các IC khác đều ở trạng thái treo, tách khỏi đường truyền. Vậy, đầu điều khiển trạng thái treo $\overline{CS}$ của các IC ba trạng thái có ***khả năng điều khiển đường BUS*** (kênh truyền).



Hình 1-26. *Nối các IC ba trạng thái với kênh truyền chung và cổng truyền hai chiều ba trạng thái.*

Hình 1-26b chỉ ra một cách nối các phần tử đệm ba trạng thái để tạo thành cổng truyền logic theo hai chiều. Khi E = 1, phần tử đệm số 1 thông, phần tử đệm số 2 treo, tín hiệu truyền từ B sang A ; khi E = 0, phần tử 2 thông, phần tử 1 treo, tín hiệu đi từ A sang B.

Sưu tầm bởi: www.daihoc.com.vn

1-10-4. Mạch logic họ CMOS

a) Các thông số của IC họ CMOS

Nhìn chung nhiều thông số của mạch họ CMOS tốt hơn của mạch họ TTL. Do đó các mạch SSI, MSI họ CMOS hiện nay rất thông dụng.

• Điện áp nguồn cung cấp +3 ÷ +15V

• Ở chế độ tĩnh (khi tín hiệu ở các đầu vào và ra giữ ổn định ở một mức logic), mạch hầu như không tiêu thụ công suất từ nguồn cung cấp ($P_{cc} \approx 0,01$ μW/phần tử). Nhưng ở chế độ động (khi tín hiệu ở các đầu vào và ra liên tục chuyển qua lại giữa hai mức logic), công suất mạch tiêu thụ từ nguồn cung cấp tăng tỉ lệ với tần số làm việc của mạch.

• Độ ổn định nhiễu cao. Với nguồn cung cấp +5V, độ ổn định nhiễu của mạch họ CMOS khoảng 1,5V.

• Dòng vào mạch CMOS rất nhỏ, chỉ cỡ μA trở xuống ($I_{iHmax} \approx 1\mu A$, $I_{iLmax} = -1\mu A$). Ở mạch họ CMOS cũng không có sự chênh lệch lớn giữa dòng ra ở mức logic cao (I_{oH}) và dòng ra ở mức logic thấp I_{oL}. Thường $I_{OH} \approx 0,2 \div 0,5mA$, $I_{oL} \approx -0,2 \div -0,5mA$.

• Mức logic :

Mức cao ở đầu ra $U_{oH} \approx U_{CC}$ (điện áp nguồn cung cấp) ; mức thấp ở đầu ra $U_{oL} \approx 0V$.

Mức cao ở đầu vào $U_{iH} \geq U_{CC} - U_K$; mức thấp ở đầu vào $U_{iL} \leq U_K$, trong đó : $U_K \approx 1,5 \div 2V$ là điện áp khoá của transistor MOS.

Ví dụ với nguồn cung cấp $U_{CC} = +5V$ và $U_K = 1,5V$ thì $U_{OH} \approx 5V$, $U_{OL} \approx 0V$, $U_{iHmin} \approx 3,5V$, $U_{iLmax} \approx +1,5V$.

• Nhược điểm chung của họ CMOS loại thông thường là trễ truyền đạt lớn ($t_{pd} \approx 50 \div 100ns$).

b) Các mạch ra của họ CMOS

Hiện nay các IC logic họ CMOS với mức độ tích hợp nhỏ và trung bình (SSI, MSI) có ba loại mạch ra : ***Mạch ra thông thường, mạch ra có mạch đệm, mạch ra ba trạng thái.***

Mạch ra ba trạng thái đã trình bày ở trên. Khác nhau cơ bản giữa mạch ra có mạch đệm và mạch ra thông thường là dòng ra ở mạch ra có mạch đệm lớn, cỡ khoảng vài mA.

c) Phân loại các IC họ CMOS

Có thể chia các IC họ CMOS thành hai loại :

• Các mạch CMOS tốc độ chậm họ 4000 và 74C. Các họ này có độ ổn định nhiễu rất cao, trễ truyền đạt lớn (30 ÷ 100ns), dòng ra nhỏ (khoảng 0,2 ÷ 0,5mA).

Sưu tầm bởi: www.daihoc.com.vn

• Các mạch CMOS tốc độ nhanh họ 74HCT, 74AHCT, 74HCTL, 74HC. Điện áp cung cấp thường là +5V. Họ 74HC có trễ truyền đạt $t_{pd} \approx 8 \div 9$ns, điện áp cung cấp 2 ÷ 6V, dòng ra cỡ 4mA. Họ này không hoàn toàn tương thích với họ TTL vì có mức logic ở đầu vào khác với IC họ TTL.

Các họ 74HCT, 74AHCT, 74HCTL là những họ dùng rất tương thích với IC họ TTL. Ví dụ họ 74HCT có $U_{iLmax} = 0,8V$; $U_{iHmin} = 2V$; $I_{oL} = = -4mA$; $I_{oH} = 4mA$; $t_{pd} = 10ns$.

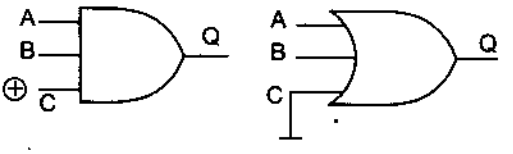
Phụ lục 6 giới thiệu một số IC SSI họ CMOS.

1-11. NHỮNG CHÚ Ý KHI SỬ DỤNG CÁC IC LOGIC

Khi sử dụng các IC số ta cần chú ý những điểm sau :

1. ***Không để tự do các đầu vào không dùng tới***

Khi xây dựng các mạch logic, nhiều khi ta phải dùng các phần tử có số đầu vào nhiều hơn yêu cầu, nghĩa là có một số chân không dùng tới. Nếu để hở các chân này ở ngoài trời, do nhiễu chúng có thể tự động nhảy lên mức cao hoặc ở vùng không xác định giữa hai mức logic. Kết quả có thể dẫn tới sự tác động nhầm của phần tử. Do đó nhất thiết phải nối các đầu tự do với một mức logic thích hợp sao cho không làm thay đổi hoạt động của phần tử. Hình 1-27 là cách nối đầu tự do C của phần tử HOẶC và phần tử VÀ.



Hình 1-27. Nối đầu tự do của phần tử VÀ và phần tử HOẶC

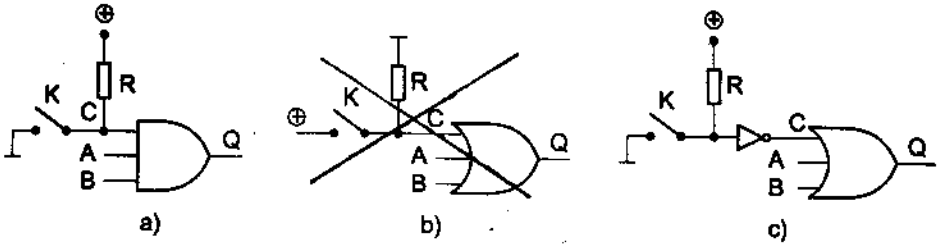
Có thể nối đầu tự do C với một trong các đầu vào điều khiển A hay B. Tuy nhiên không nối như thế vì :

• Làm nặng thêm tải của nguồn tín hiệu điều khiển.

• Làm tăng điện dung đầu vào, do đó làm tăng trễ truyền đạt t_{pd}, nhất là đối với các IC họ CMOS.

2. ***Khi có đầu vào sẵn sàng có thể phải đặt vào mức thấp L thông qua*** khoá K (ví dụ đầu C ở hình 1-28a), thì bình thường nó phải treo lên mức cao H thông qua điện trở treo cao R khoảng 4,7kΩ (đối với phần tử họ TTL), hoặc khoảng 4,7 ÷ 20kΩ (đối với phần tử họ CMOS).

Sưu tầm bởi: www.daihoc.com.vn



Hình 1-28. Nối các đầu vào chờ đợi đặt ở mức L hoặc mức H

Nếu có đầu vào sẵn sàng chờ đặt ở mức logic cao H thông qua khoá K (ví dụ đầu C ở hình 1-28b). Lúc đó ta không nối đầu C với mức thấp ("mát") thông qua điện trở R như ở hình 1-28b, vì điện áp rơi $I_{IL}R$ trên điện trở có thể sẽ không bảo đảm đầu C ở mức thấp (nhất là đối với phần tử họ TTL), trường hợp này, hợp lí nhất nên mắc theo hình 1-28c.

3. Nếu trong "chip" vi mạch họ TTL còn thừa ra phần tử logic không được sử dụng, ta nên treo các đầu vào của chúng lên mức cao H sẽ giảm được công suất tiêu thụ.

4. Khi dùng các IC họ CMOS ta còn cần lưu ý các điểm sau :

• Cần phòng ngừa sự đánh thủng của lớp oxyt ngăn cách cực cổng và kênh dẫn của transistor MOS (điện áp đánh thủng cỡ 100V). Sự đánh thủng này có thể xảy ra do điện tích tĩnh tích tụ trên cực cổng. Vì vậy khi bảo quản cần phải đặt các "chip" CMOS trên các giá đỡ dẫn điện do nhà chế tạo cung cấp khi bán.

• Khi cho các mạch CMOS làm việc, ta phải đặt nguồn cung cấp trước, sau đó mới đặt tín hiệu điều khiển lên các đầu vào. Khi cho mạch ngừng làm việc thì ngược lại : Phải ngắt tín hiệu đặt trên các đầu vào trước khi ngắt nguồn cung cấp. Các thao tác này cũng nhằm phòng ngừa sự tích tụ điện tích có thể xảy ra trên cực cổng của CMOS.

• Chú ý không làm ngắn mạch đầu ra các phần tử CMOS vì tải điện dung lớn ở đầu ra có thể gây dòng ngắn mạch lớn, làm hỏng phần tử.

• Không nên nối song song các đầu vào hoặc các đầu ra của các phần tử, nếu chúng không cùng nằm trong một "chip".

5. Các phần tử logic làm việc ở chế độ động luôn gây sự biến động lớn về dòng tiêu thụ từ nguồn cung cấp. Để giảm hiện tượng này, ta thường dùng biện pháp "phân tách nguồn cung cấp" : Nghĩa là trên đường cung cấp cho một vỉ mạch (card) gồm nhiều "chip", ở gần mỗi nhóm từ 4 ÷ 5 chip ta đặt một tụ cỡ 1 ÷ 10nF. Đồng thời đặt một tụ lọc nguồn khoảng vài chục µF cho toàn vỉ mạch.

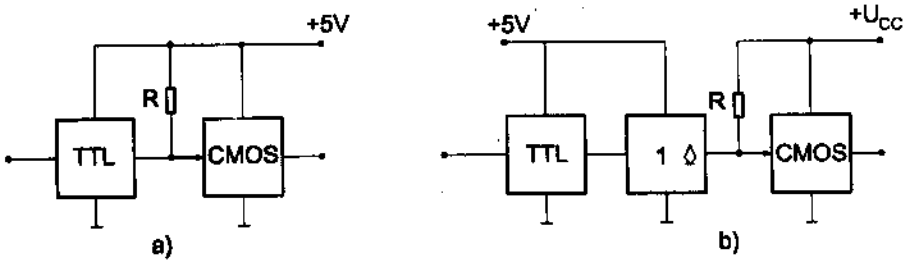
Sưu tầm bởi: www.daihoc.com.vn

1-12. GIAO DIỆN GIỮA CÁC PHẦN TỬ HỌ TTL VÀ CMOS

Nhiều khi trong một hệ thống logic, ta phải phối hợp dùng cả các phần tử TTL và CMOS để lợi dụng ưu điểm của từng loại. Lúc đó, thường ta không thể nối trực tiếp chúng với nhau mà phải thông qua một ***giao diện*** để hoà hợp mức logic hoặc dòng ở đầu ra và đầu vào của hai họ.

1-12-1. Trường hợp phần tử TTL điều khiển các phần tử CMOS

• ***Khi nguồn cung cấp cho IC CMOS là*** +5V, mức cao tối thiểu ở đầu vào phần tử CMOS là U_{iHmin} = 3,5V, trong khi mức cao tối thiểu ở đầu ra các phần tử TTL là U_{oHmin} = 2,4V. Vì vậy phải dùng một điện trở R ≈ 1 ÷ 10kΩ nối giữa đầu ra phần tử TTL và nguồn +5V (hình 1-29a). Điện trở R nhằm nâng cao U_{oHmin} của phần tử TTL cho phù hợp với yêu cầu của các phần tử CMOS. Phần tử điều khiển TTL có thể là phần tử mạch ra cực góp hở, cũng có thể là phần tử mạch ra totem - pole.



Hình 1-29. Giao diện giữa phần tử điều khiển TTL và các phần tử CMOS

• ***Khi nguồn cung cấp cho IC CMOS khác +5V***, giao diện sẽ là phần tử đệm TTL cực góp hở với điện trở treo cao R nối với nguồn cung cấp $+U_{cc}$ của phần tử CMOS (hình 1-29b).

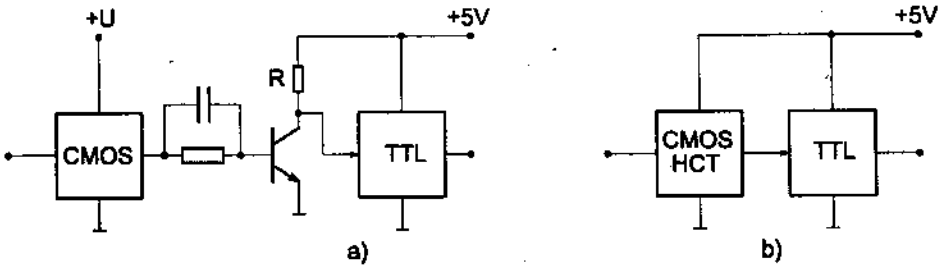
1-12-2. Trường hợp phần tử CMOS điều khiển các phần tử TTL

• ***Khi dùng phần tử CMOS không tương thích để điều khiển các phần tử TTL***. Nếu phần tử điều khiển CMOS có nguồn cung cấp là +5V thì đầu ra phần tử CMOS không đủ sức tiếp nhận dòng vào lớn, tương ứng với mức logic thấp (I_{iL}) của các phần tử TTL. Thật vậy, nếu dùng phần tử điều khiển CMOS họ 4000 có dòng ra khoảng 0,4mA, nó không thể nhận dòng vào $|I_{iL}|$ ≈ 1,6mA của phần tử TTL loại thông thường. Để giải quyết mâu thuẫn này có thể dùng các cách sau :

– Nối song song nhiều phần tử CMOS.

Sưu tầm bởi: www.daihoc.com.vn

– Dùng phần tử CMOS có mạch ra đệm ; hoặc dùng phần tử CMOS thông thường nối tầng với phần tử đệm CMOS (ví dụ IC 4010). Mạch ra của phần tử đệm có thể nhận 3mA ở điện áp 0,4V.



Hình 1-30. Giao diện giữa phần tử điều khiển CMOS và các phần tử TTL.

Nếu điện áp cung cấp cho phần tử điều khiển CMOS không tương thích với điện áp nguồn của phần tử họ TTL, thì ta phải dùng transistor BJT nối hoà hợp hai phần tử CMOS và TTL (hình 1-30a). Chú ý rằng giao diện transistor trong hình vẽ có vai trò như phần tử ĐẢO phụ thêm.

• ***Nếu dùng chủng loại CMOS HCT*** (ví dụ 74HCT, 74HCTL) thì nó hoàn toàn tương thích với họ TTL về mức logic. Dòng ra của phần tử CMOS 74HCT cũng lớn ($|I_{oH}| = |I_{oL}| \approx 4mA$). Do đó có thể nối trực tiếp phần tử điều khiển CMOS với các phần tử TTL với hệ số Fan - out thích hợp (hình 1-30b).

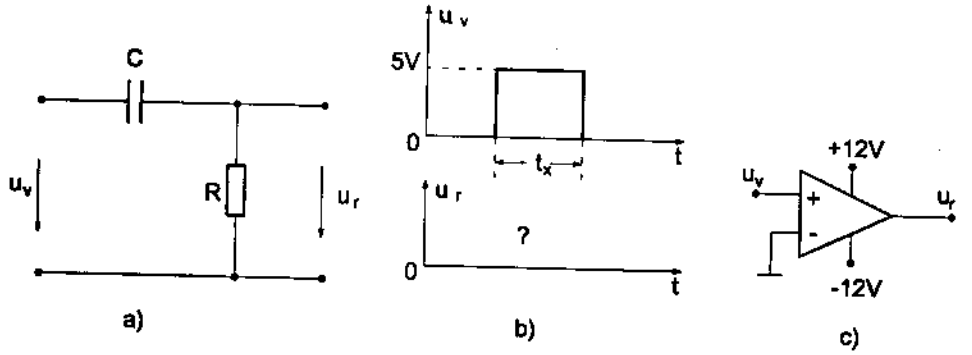
CÂU HỎI VÀ BÀI TẬP CHƯƠNG 1

1-1. Xung là gì ? Bước nhảy là gì ? Các thông số chính đặc trưng cho một xung hình thang và xung răng cưa là gì ? Thế nào là xung vuông góc ? Các thông số đặc trưng cho một bước nhảy là gì ?

1-2. Các thông số đặc trưng cho một dãy xung vuông góc tuần hoàn ? Thế nào là dãy xung vuông góc đối xứng ? Thế nào là các mạch phát xung dạng chạy tự do, thế nào là các mạch phát xung dạng kích khởi ?

1-3. Nêu công thức (không cần chứng minh) tính điện áp trên các phần tử mạch R-C khi có bước nhảy điện áp đặt vào ; trước khi có bước nhảy, điện áp trên các phần tử đều bằng 0. Thời gian quá độ xảy ra trong mạch bằng bao nhiêu ?

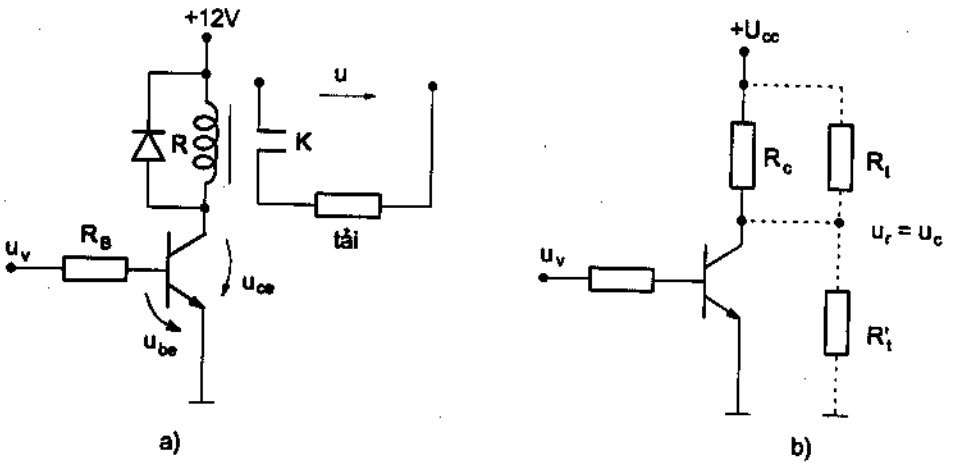
Sưu tầm bởi: www.daihoc.com.vn



Hình 1-31. Bài tập 1-4 và 1-7.

1-4. Cho mạch hình 1-31a. Biết R = 10kΩ, C = 0,47 μF. Đặt vào mạch một xung vuông góc có độ rộng t_x (hình 1-31b). Hãy vẽ dạng điện áp ra $u_r(t)$ khi t_x = 50ms và khi t_x = 0,3ms.

1-5. Hình 1-32a là sơ đồ khoá transistor điều khiển đóng / mở khoá K của rơle cơ điện. Cuộn dây rơle mắc ở phía cực góp và có điện trở R = 100Ω. Điện áp các cực transistor ở chế độ bão hoà là $u_{be} \approx 0,7V$, $u_{ce} \approx 0V$. Điện áp điều khiển transistor u_v có hai mức : mức thấp L = 0V, mức cao H = 6V. Hệ số khuếch đại dòng cực tiểu của transistor B_{min} = 100. Giải thích hoạt động của sơ đồ và tính điện trở R_B, chọn hệ số bão hoà K_{bh} = 2.



Hình 1-32. Bài tập 1-5 và 1-6

Sưu tầm bởi: www.daihoc.com.vn

1-6. Hình 1-32b là sơ đồ khoá transistor với tải là điện trở R_t (hoặc R_t'). Giải thích ảnh hưởng của điện trở tải tới sự làm việc của khoá trong hai trường hợp :

- Tải R_t mắc song song với R_c ;
- Tải R_t' nối "mát".

1-7. Một khuếch thuật toán làm việc ở chế độ khoá với nguồn cung cấp $\pm U_{CC} = \pm 12V$ (hình 1-31c). Điện áp bão hoà $\pm U_{bh} \approx \pm (U_{CC} - 2V)$. Hãy ước tính thời gian quá độ t_{dm} khi khoá chuyển trạng thái trong hai trường hợp :

- Khuếch thuật toán là μA741 có tốc độ xoay SR = 0,5 V/μs.
- Khuếch thuật toán là LM318 có SR = 70 V/μs.

Giả định khuếch thuật toán có hệ số khuếch đại vi sai $A_D = 10^6$. Ước tính độ nhạy của khoá.

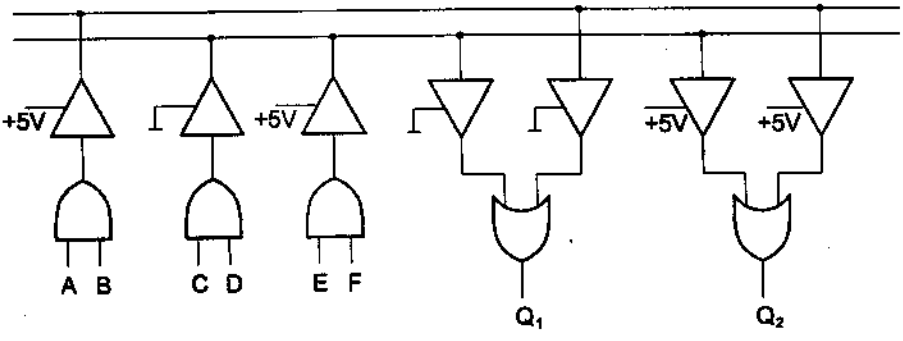
1-8. Mạch logic là gì ? Cho vài ví dụ về mạch logic. Mức logic là gì ? Thế nào là mạch logic dương, logic âm ? Phân biệt giữa mạch logic tổ hợp và mạch logic dãy ?

1-9. Thế nào là mạch logic họ TTL, họ CMOS ? Ưu nhược điểm của mỗi họ.

1-10. Thế nào là phần tử logic cực góp để hở, thế nào là phần tử logic ba trạng thái ? Ưu điểm của các phần tử này.

1-11. Nêu các thông số đặc trưng của vi mạch logic.

1-12. Cho mạch hình 1-33. Viết biểu thức logic của Q_1, Q_2. Giải thích.

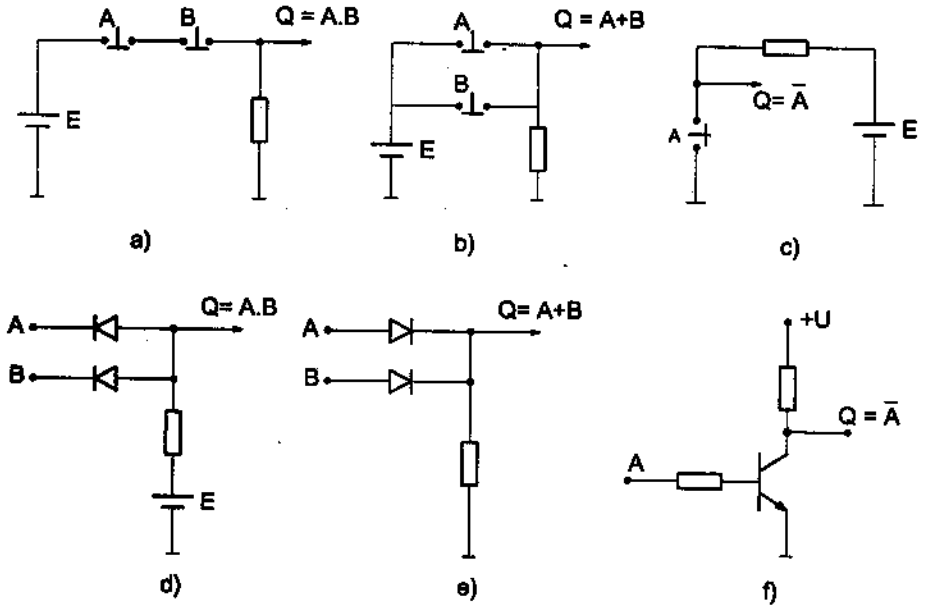


Hình 1-33. Bài tập 1-12

1-13. Hình 1-34a, b, c là các mạch logic rơle (hay còn gọi là các mạch logic tiếp điểm), trong đó A, B là các biến logic đặc trưng cho hai trạng thái đóng / mở của các khoá cơ khí. Hình 1-34d, e, f là các mạch logic điện tử, trong

Sưu tầm bởi: www.daihoc.com.vn

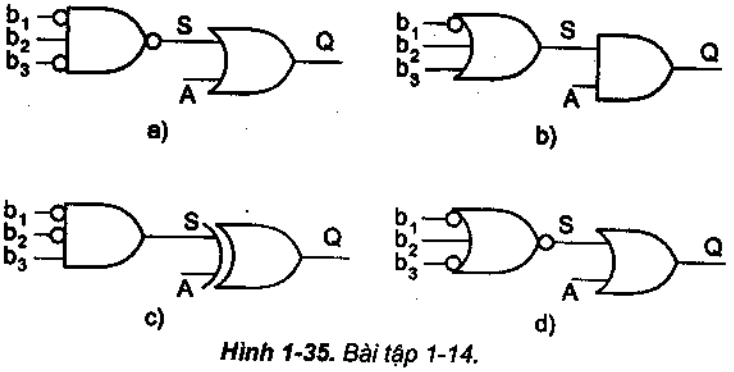
đó A, B là các biến logic đặc trưng bởi các mức logic điện áp cao và thấp. Hãy chứng tỏ một cách định tính rằng các mạch ở hình 1-34 chính là ba phần tử logic cơ bản.



Hình 1-34. Bài tập 1-13

1-14. Tìm tổ hợp mã nhị phân $b_1b_2b_3$ để thực hiện :

- Mở cổng HOẶC ở hình 1-35a, cho thông tin A đi qua.
- Đóng cổng VÀ ở hình 1-35b, chặn lại thông tin A.
- Đầu ra phần tử không tương đương ở hình 1-35c có Q = $\bar{A}$
- Đóng cổng HOẶC ở hình 1-35d, chặn lại thông tin A



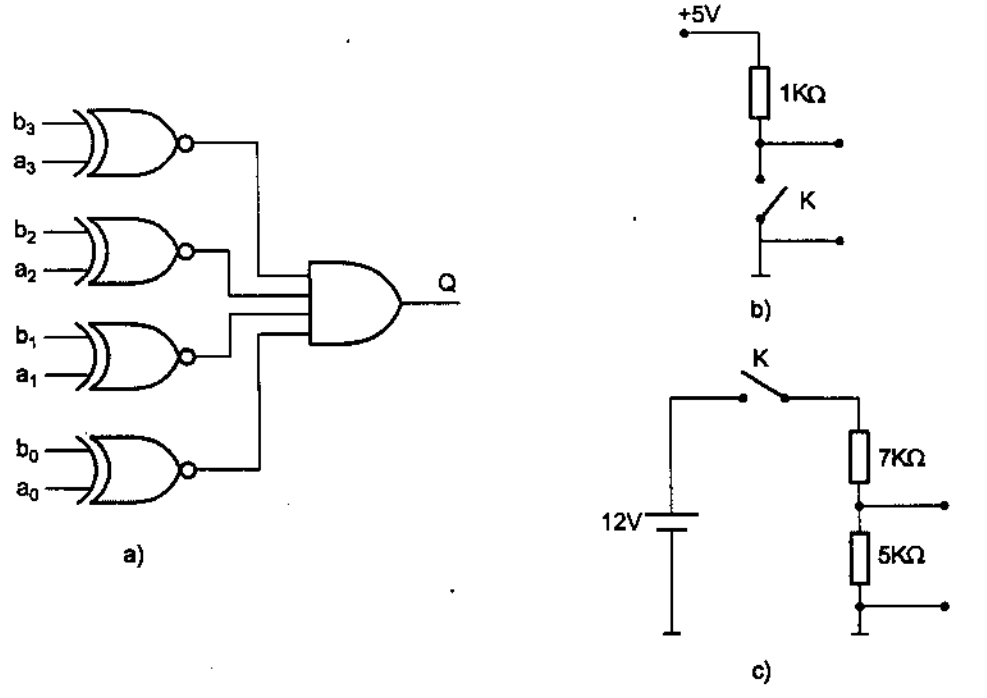
Hình 1-35. Bài tập 1-14.

Sưu tầm bởi: www.daihoc.com.vn

1-15. Viết biểu thức logic của biến ra Q ở hình 1-36a và chỉ ra vai trò của mạch dùng để làm gì ?

1-16. Xây dựng mạch logic sao cho đầu ra Q là ở mức cao H, nếu các đầu vào A, B, C đều ở mức cao ; hoặc nếu các đầu vào D, E, F là cùng ở mức cao.

1-17. Xây dựng mạch logic sao cho đầu ra Q sẽ ở mức cao H, khi một trong hai đầu vào A và B là ở mức cao (nhưng không phải cả hai) ; hoặc một trong hai đầu vào B, C (nhưng không phải cả hai) là ở mức cao.



***Hình 1-36.** Bài tập 1-15 và 1-19*

1-18. Viết các biểu thức logic biểu thị cho các quan hệ logic dưới đây :

- Bữa ăn trưa hôm nay ở nhà máy gồm bánh mì kẹp thịt với món phụ là canh hoặc rau trộn, nhưng không phải cả hai món phụ.
- Người công nhân có thể chọn sơn bức tường màu vàng và xanh lơ nhưng không phải cả hai. Ngay khi anh ta không sơn tường thì cũng phải sơn trần màu trắng.

Sưu tầm bởi: www.daihoc.com.vn

• Để qua được cửa vào câu lạc bộ, anh phải trả 3000đ và xuất trình thẻ hội viên, hoặc anh phải trả 4000đ.

• Nếu muốn học giáo trình luật hay sử hoặc cả hai, anh còn cần phải theo học một ngoại ngữ Anh hay Pháp, nhưng không phải cả hai ngoại ngữ.

1-19. Thiết kế hệ thống cảnh báo của xe taxi 4 chỗ ngồi. Hệ thống sẽ báo động bằng còi nếu như có dấu hiệu cháy trong xe hoặc có hành khách không đeo chặt dây an toàn ở chỗ ngồi. Mỗi chỗ ngồi của hành khách có đặt hai mạch kiểm tra như hình 1-36b ; một mạch để kiểm tra sự có mặt của hành khách ở ghế ngồi, một mạch để kiểm tra dây an toàn ở ghế ngồi có được sử dụng hay không. Khi có hành khách ở ghế ngồi(hoặc khi dây an toàn được dùng) thì khoá K đóng lại. Hình 1-36c là mạch phát hiện cháy. Khi có dấu hiệu cháy trong xe thì khoá K đóng lại. Sử dụng dãy xung vuông góc tần số 2KHz làm còi báo động kêu mỗi khi có sự không an toàn trong xe.

Sưu tầm bởi: www.daihoc.com.vn

Chương 2

CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẢY DÙNG TRANSISTOR HAY KHUẾCH THUẬT TOÁN

2-1. MẠCH SO SÁNH TƯƠNG TỰ

• Mạch so sánh cho một bước nhảy điện áp ở đầu ra để chỉ kết quả so sánh giữa hai đại lượng ở cửa vào. Có hai loại mạch so sánh :

– Mạch so sánh hai số nhị phân, gọi là ***mạch so sánh số***, sẽ trình bày ở chương 4.

– ***Mạch so sánh tương tự*** so sánh một điện áp với điện áp chuẩn có độ lớn xác định trước.

• Như đã nói ở trên, mạch so sánh tương tự dùng để so sánh điện áp vào u_v với một điện áp chuẩn có độ lớn định trước U_{ch}. Khi $u_v = U_{ch}$ thì điện áp u_r ở đầu ra mạch so sánh sẽ chuyển từ mức cao H xuống mức thấp L hay ngược lại. Vậy tín hiệu ở đầu ra mạch so sánh tương tự là tín hiệu logic, còn tín hiệu ở đầu vào là tín hiệu tương tự (analog).

• Hiện nay, phần tử cơ bản dùng làm mạch so sánh tương tự là khuếch thuật toán, làm việc ở chế độ khoá. Vì vậy, các thông số đặc trưng cho mạch so sánh cũng chính là các thông số đặc trưng của khoá khuếch thuật toán, đã trình bày ở mục 1-5-2, gồm :

– Độ nhạy mạch so sánh, chính là độ nhạy Δu của khoá khuếch thuật toán (xem hình 1-11b).

– Thời gian lật trạng thái của mạch so sánh. Nó chính là thời gian đóng/mở $t_{đm}$ của khoá khuếch thuật toán (xem hình 1-11c).

– Hai mức logic L, H ở đầu ra mạch so sánh thường cũng chính là hai điện áp bão hoà $\pm U_{bh}$ ở đầu ra khuếch thuật toán. Nếu dùng nguồn một chiều không

Sưu tầm bởi: www.daihoc.com.vn

đối xứng + U_{cc} cung cấp cho khuếch thuật toán thì hai mức logic ở đầu ra mạch so sánh sẽ tương ứng với mức điện áp 0V và mức điện áp bão hoà $+U_{bh} = +U_{cc} - (3 \div 4V)$. Cũng có mạch so sánh cho hai mức logic L, H ở đầu ra có thể lựa chọn theo yêu cầu sử dụng, ví dụ mạch so sánh dùng IC LM311 sẽ khảo sát ở dưới.

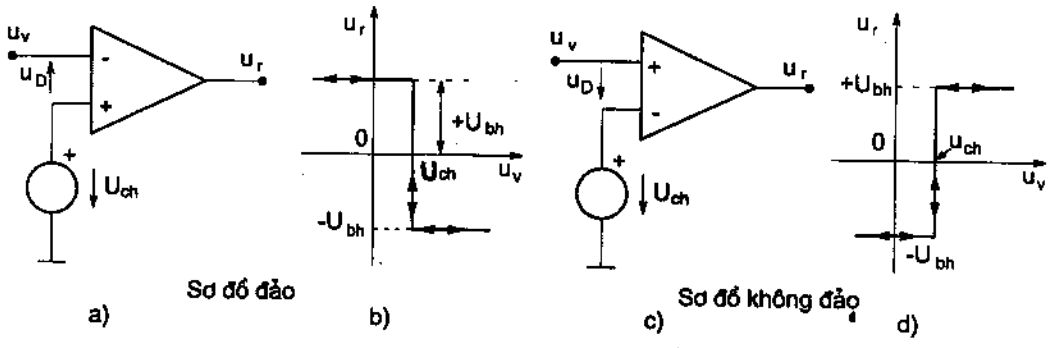
• Theo cấu trúc, mạch so sánh tương tự chia làm hai loại :

– Mạch so sánh hở (còn gọi là mạch so sánh không trễ). Sơ đồ có cấu trúc hở, không có sự phản hồi điện áp ở đầu ra về cửa vào.

– Mạch so sánh vòng kín (còn gọi là mạch so sánh có trễ hoặc trigơ Smith). Sơ đồ có cấu trúc vòng kín, có sự phản hồi dương của điện áp ở đầu ra về cửa vào.

2-1-1. Mạch so sánh hở

Hình 2-1-a, c là hai sơ đồ cơ bản của mạch so sánh hở : Kiểu đảo và không đảo. U_{ch} là điện áp chuẩn (còn gọi là ngưỡng) để điện áp vào u_v so sánh với nó.



Hình 2-1. Sơ đồ và đặc tính truyền đạt của các mạch so sánh hở.

• Xét ***sơ đồ đảo*** ở hình 2-1a. Khi $u_v < U_{ch}$ thì $u_D = U_{ch} - u_v > 0$ và $u_r = A_D u_D = +U_{bh}$. Tăng dần u_v cho tới khi $u_v = U_{ch} + \frac{\Delta u}{2}$ (Δu là độ nhảy của mạch so sánh), thì điện áp ra u_r chuyển hoàn toàn sang mức $-U_{bh}$:

$$u_r = A_D u_D = A_D(U_{ch} - u_v) = -A_D \frac{\Delta u}{2} = -U_{bh}.$$

Hệ số khuếch đại vi sai A_D của khuếch thuật toán rất lớn nên độ nhảy Δu chỉ khoảng vài chục μV. Gần đúng coi $\Delta u \approx 0$, mạch sẽ lật trạng thái khi $u_D = 0$, nghĩa là $u_v = U_{ch}$. Ta có đặc tính truyền đạt $u_r(u_v)$ của mạch so sánh đảo như ở hình 2-1b. Nếu tiếp tục tăng u_v vượt quá ngưỡng U_{ch} thì u_r cũng chỉ duy trì ở

Sưu tầm bởi: www.daihoc.com.vn

mức $-U_{bh}$. Bây giờ ta lại giảm u_v. Cũng lí luận tương tự, u_r sẽ duy trì ở mức $-U_{bh}$ tới khi $u_v = U_{ch} - \frac{\Delta u}{2}$ (gần đúng coi $u_v = U_{ch}$) thì mạch sẽ hoàn toàn lật sang mức $+U_{bh}$. Nếu tiếp tục giảm u_v, điện áp ra u_r vẫn duy trì ở $+U_{bh}$.

Xét ***sơ đồ không đảo*** hình 2-1c, ta thấy :

$$u_D = u_v - U_{ch}$$

Cũng lí luận như trên và coi $\Delta u \approx 0$, ta có đặc tính truyền đạt $u_r(u_v)$ của mạch so sánh không đảo như ở hình 2-1d.

• Mạch so sánh hở có hai nhược điểm chính :

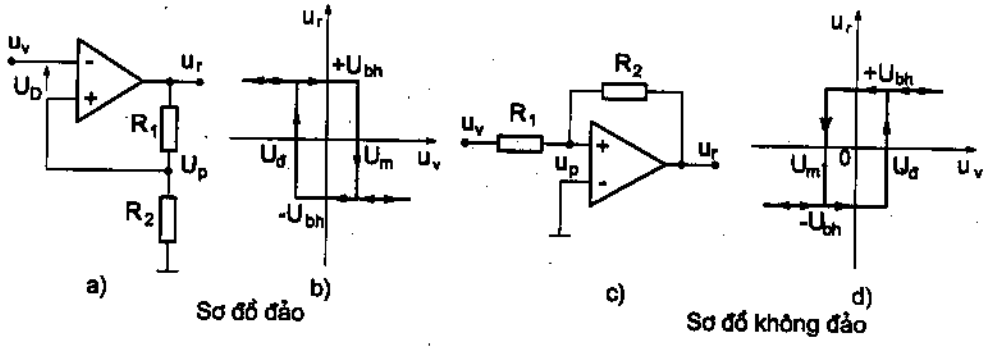
– Độ nhậy Δu và thời gian lật trạng thái $t_{đm}$ của mạch không đủ nhỏ khi có yêu cầu cao.

– Ngưỡng đóng $U_đ$ và ngưỡng mở U_m của mạch so sánh là như nhau và bằng U_{ch}, ($U_đ = U_m = U_{ch}$). Do vậy mạch làm việc không ổn định khi có tác động của nhiễu. Ta hiểu ***ngưỡng đóng*** $U_đ$ là ngưỡng điện áp để mạch so sánh chuyển từ trạng thái mở, ứng với $u_r = -U_{bh}$, sang trạng thái đóng với $u_r = +U_{bh}$. ***Ngưỡng mở*** U_m là ngưỡng điện áp để mạch chuyển từ trạng thái đóng sang trạng thái mở.

Để khắc phục hai nhược điểm trên, người ta dùng mạch so sánh có trễ, thường gọi là trigơ Smith.

2-1-2. Mạch so sánh có trễ (trigơ Smith)

Mạch có cấu trúc vòng kín với đường phản hồi dương nên thúc đẩy nhanh quá trình chuyển trạng thái ; đặc tính truyền đạt có ngưỡng mở và ngưỡng đóng phân biệt ($U_đ \neq U_m$).



Hình 2-2. Sơ đồ và đặc tính truyền đạt của các trigơ Smith.

Hình 2-2a, c là hai sơ đồ cơ bản của trigơ Smith dùng khuếch thuật toán : Sơ đồ đảo và sơ đồ không đảo.

Sưu tầm bởi: www.daihoc.com.vn

• Xét sơ đồ ***trigơ Smith đảo*** ở hình 2-2a. Ta thấy mạch có ***đường phản hồi dương***, với điện áp phản hồi :

$$U_P \approx u_r \frac{R_2}{R_1 + R_2},$$

nên điện áp ra u_r chỉ có thể ở mức $-U_{bh}$ hay $+U_{bh}$. Mặt khác, nếu coi độ nhạy $\Delta u \approx 0$, thì khi $u_v = U_P$ mạch sẽ lật trạng thái, chuyển từ $+U_{bh}$ sang $-U_{bh}$ hoặc ngược lại. Nếu mạch đang ở trạng thái đóng với $u_r = +U_{bh}$ thì ***ngưỡng mở*** của mạch là :

$$U_m = U_P\Big|_{u_r=+U_{bh}} = +U_{bh} \frac{R_2}{R_1 + R_2} \qquad (2\text{-}1)$$

Khi mạch đang ở trạng thái mở với $u_r = -U_{bh}$ thì ***ngưỡng đóng*** của nó là :

$$U_đ = U_P\Big|_{u_r=-U_{bh}} = -U_{bh} \frac{R_2}{R_1 + R_2} \qquad (2\text{-}2)$$

Như vậy ngưỡng đóng và ngưỡng mở của trigơ Smith đảo tính theo (2-2) và (2-1) là phân biệt nhau (bằng nhau về độ lớn nhưng khác dấu). Đặc tính truyền đạt của trigơ cho ở hình 2-2b. Ta thấy, khi $u_v < U_m$ trigơ ở trạng thái đóng với $u_r = +U_{bh}$; tới khi $u_v \geq U_m$, trigơ chuyển sang trạng thái mở với $u_r = -U_{bh}$. Lúc này, để trigơ quay về trạng thái đóng thì yêu cầu u_v phải bằng hoặc nhỏ hơn ngưỡng đóng $U_đ$.

• Xét ***trigơ Smith không đảo*** ở hình 2-2c. Mạch có *phản hồi dương* với điện áp phản hồi

$$U_{ph} = u_r \frac{R_1}{R_1 + R_2}$$

và nó sẽ lật trạng thái khi $u_P = 0$. Đặc tính truyền đạt của trigơ cho ở hình 2-2d với ngưỡng đóng :

$$U_đ = +U_{bh} \frac{R_1}{R_2} \qquad (2\text{-}3)$$

và ngưỡng mở

$$U_m = -U_{bh} \frac{R_1}{R_2} \qquad (2\text{-}4)$$

Hình 2-3a, b tương ứng là kí hiệu của các trigơ Smith không đảo và đảo trong các sơ đồ điện tử.

Sưu tầm bởi: www.daihoc.com.vn

Hình 2-3. Kí hiệu của các trigơ Smith

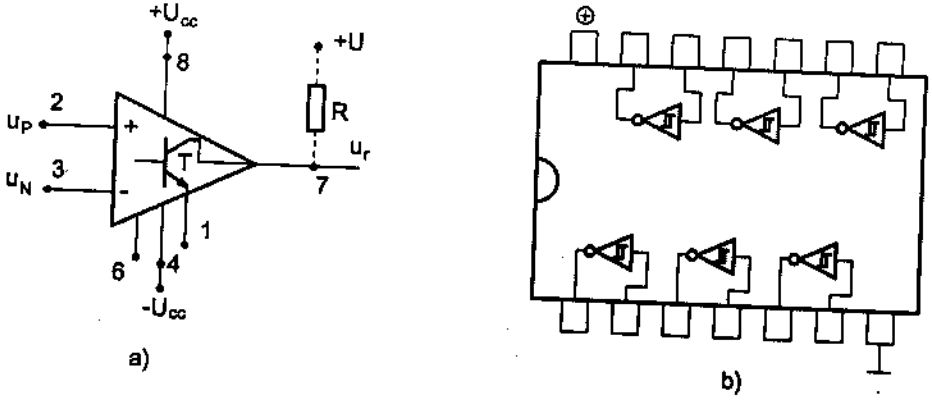
2-1-3. Vài vi mạch so sánh

a) Vi mạch LM311 là "chip" khuếch thuật toán tốc độ cao, chuyên dùng làm khoá. Vỏ kiểu DIPS với 8 chân, chân 5 không sử dụng (hình 2-4a).

• Mạch ra của LM311 là một transistor BJT, cực góp hở (xem mục 1-10-3b). Cực phát transistor nối với chân số 1, gọi là chân "mát". Khi sử dụng, chân này phải nối "mát" hoặc nối với một điện áp tuỳ chọn. Đầu ra 7 chính là cực góp để hở của transistor T. Khi sử dụng phải nối đầu ra 7 với điện áp +U tuỳ chọn, thông qua "điện trở treo cao" R khoảng 1 ÷ 10kΩ. Việc khoá hay dẫn bão hoà của T tuỳ thuộc quan hệ giữa u_N và u_P ở cửa vào :

Nếu $u_P < u_N$, transistor T dẫn bão hoà, điện áp ra u_r ở mức thấp L, bằng điện áp đặt vào chân 1.

Nếu $u_P > u_N$, transistor T bị khoá, điện áp ra u_r ở mức cao H, bằng +U.



Hình 2-4. Vi mạch LM311 và 4584

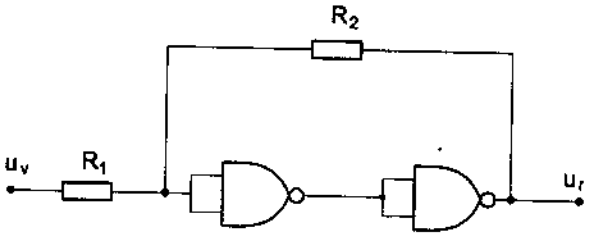
• Chân 6 là chân điều khiển cho phép LM311 làm việc. Nếu nối chân này với điện áp dương hoặc để hở thì mạch làm việc như đã mô tả ở trên. Nếu nối

Sưu tầm bởi: www.daihoc.com.vn

chân 6 với "mát" thông qua một điện trở thì transistor T luôn khoá và điện áp ra u_r luôn ở mức +U, độc lập với các điện áp ở cửa vào.

• Nguồn cung cấp $\pm U_{cc} = \pm$ 15V. Cũng có thể dùng nguồn +5V. Lúc đó chân 4 nối "mát".

b) Vi mạch 4584 thuộc họ CMOS (xem 1-10-4) gồm 6 trigơ Smith đảo. Điện áp nguồn cung cấp là 3 ÷ 18V.



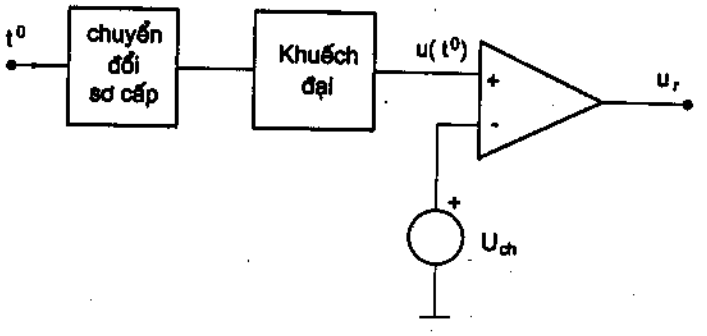
Hình 2-5. Thành lập trigơ Smith từ NAND

c) Có thể thành lập trigơ Smith không đảo từ hai phần tử NAND họ CMOS (hình 2-5). Tỉ số $R_2/R_1 = 10$.

2-2. ỨNG DỤNG CỦA MẠCH SO SÁNH TƯƠNG TỰ

Dưới đây là vài ứng dụng chính của mạch so sánh tương tự.

1. Dùng phát hiện và báo hiệu khi một đại lượng vật lí cần theo dõi đã đạt tới giá trị ngưỡng.



Hình 2-6. Mạch phát hiện ngưỡng của nhiệt độ đo

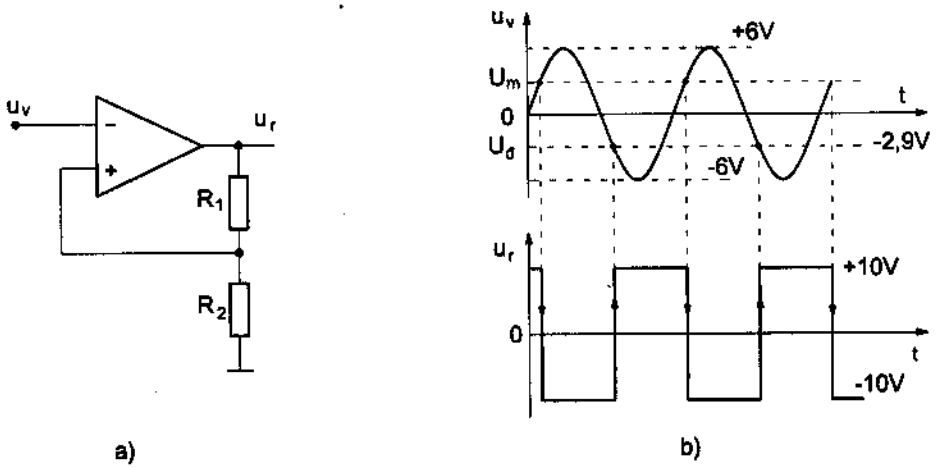
Hình 2-6 cho một ví dụ về mạch báo hiệu khi nhiệt độ t^o đạt giá trị ngưỡng. Điện áp đầu ra mạch khuếch đại $u(t^o)$ được so sánh với điện áp chuẩn U_{ch}. Trị

Sưu tầm bởi: www.daihoc.com.vn

số U_{ch} chọn tương ứng với điện áp đầu ra mạch khuếch đại ở nhiệt độ ngưỡng, ví dụ 500°C : $U_{ch} = u\ (500^o)$. Khi nhiệt độ đạt ngưỡng, điện áp ra u_r của mạch so sánh nhảy từ $-U_{bh}$ lên $+U_{bh}$.

2. Dùng mạch so sánh để biến một điện áp biến thiên chu kì theo thời gian thành dãy xung vuông góc cùng tần số. Ví dụ để đo tần số các dao động chu kì bằng phương pháp số (xem mục 10-2).

Ví dụ. Cho mạch hình 2-7a. Biết $R_1 = 5k\Omega$, $R_2 = 2k\Omega$; điện áp ra bão hoà $\pm U_{bh} = \pm 10V$. Điện áp vào $u_v = 6\sin\omega t$ (V). Hãy vẽ đồ thị thời gian của điện áp ra $u_r(t)$.



Hình 2-7. Biến dao động hình sin thành dãy xung vuông góc

Ta thấy hình 2-7a là trigơ Smith đảo, có đặc tính truyền đạt như hình 2-2b, với :

ngưỡng mở $U_m = +U_{bh}\dfrac{R_2}{R_1 + R_2} = 10\dfrac{2}{5+2} \approx +2,9V$,

ngưỡng đóng $U_d = -U_{bh}\dfrac{R_2}{R_1 + R_2} = -10\dfrac{2}{5+2} \approx -2,9V$.

Với $u_v = 6\sin\omega t$ (V), ta vẽ được đồ thị thời gian của $u_r(t)$ như ở hình 2-7b. Nhận xét thấy điện áp ra là dãy xung vuông góc cùng tần số với dao động hình sin ở đầu vào.

2-3. MẠCH TẠO XUNG ĐƠN DÙNG TRANSISTOR

Mạch tạo xung đơn, hay còn gọi là mạch đa hài một trạng thái ổn định. Nó là mạch mà khi hoạt động, đầu ra luôn nằm ở một trạng thái ổn định, ví dụ mức

Sưu tầm bởi: www.daihoc.com.vn

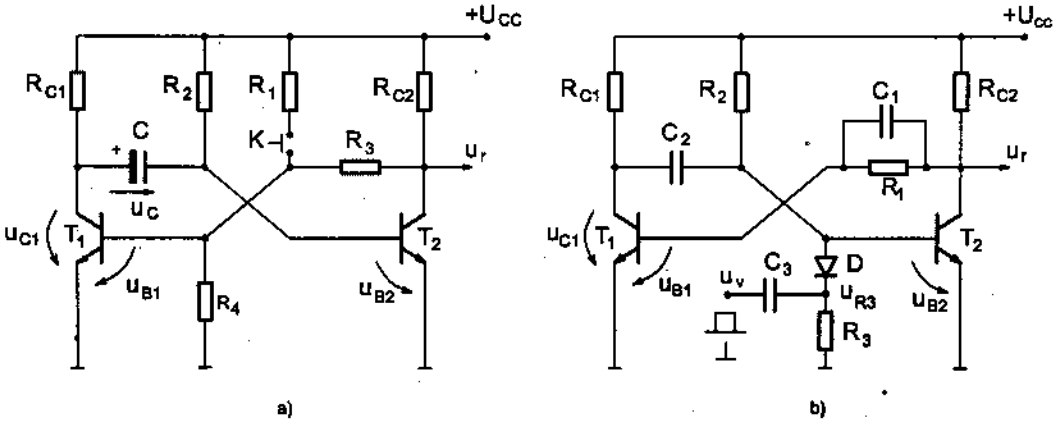
thấp L. Lúc có một xung kích thích ở đầu vào, điện áp đầu ra chuyển sang trạng thái không ổn định (ví dụ mức cao H) trong một thời gian, rồi lại tự động quay về trạng thái ổn định của nó. Như vậy, ứng với một xung kích thích ở đầu vào, mạch cho ở phía đầu ra một xung đơn vuông góc với độ rộng xung xác định.

1. Hình 2-8a là ***mạch tạo xung đơn, kích thích bằng tay.*** Điện áp ra u_r chính là điện áp cực góp của transistor T_2.

• Bình thường, khi khoá K hở, điện trở R_2 tạo một điện áp phân cực đủ dương trên tiếp giáp gốc - phát của T_2 để nó dẫn bão hoà. Phải chọn R_2 sao cho thoả mãn điều kiện để T_2 bão hoà sâu, nghĩa là :

$$R_2 < B.R_{c2} \qquad (2\text{-}5)$$

trong đó $B \approx 100$ là hệ số khuếch đại dòng tĩnh của T_2.



Hình 2-8. Các mạch tạo xung đơn dùng transistor

Điện áp cực góp của T_2 khi dẫn bão hoà chỉ khoảng 0,1 ÷ 0,2V và điện áp ra u_r nằm ổn định ở mức thấp $L \approx 0,2V$. Chính điện áp này, thông qua phân áp R_3 - R_4, đưa về cực gốc transistor T_1 làm T_1 khoá vì $u_{B1} < U_K \approx 0,6V$, ($U_K$ là điện áp khoá của các transistor Si). Tụ C lúc này được nạp tới điện áp :

$$u_C = u_{C1} - U_{B2bh} \approx U_{CC} - 0,7V \qquad (2\text{-}6)$$

trong đó $u_{C1} \approx +U_{CC}$ là điện áp cực góp của T_1 khi bị khoá, $U_{B2bh} \approx 0,7V$ là điện áp cực gốc u_{B2} của T_2 khi dẫn bão hoà. Tóm lại, chế độ ổn định của mạch hình 2-8a là T_1 khoá, T_2 dẫn bão hoà, điện áp ra u_r nằm ở mức thấp $L \approx 0,2V$, tụ C được nạp đầy tới xấp xỉ điện áp cung cấp.

Sưu tầm bởi: www.daihoc.com.vn

• Dùng tay ấn nút K, ta sẽ tạo một xung điện áp dương đặt vào cực gốc T_1 và

$$u_{B1} \approx U_{CC} \frac{R_4}{R_1 + R_4} > U_K \approx 0,6V$$

Do đó T_1 trở nên dẫn bão hoà và $u_{C1} \approx 0,2V$. Transistor T_2 chuyển sang chế độ khoá vì :

$$u_{B2} = u_{C1} - u_C = 0,2V - U_{CC} + 0,7V \approx - U_{CC}$$

trong đó u_C là điện áp trên tụ C trước khi các transistor chuyển trạng thái, tính theo (2-6). Điện áp ra u_r nhảy lên mức cao H ($u_r = H \approx +U_{CC}$).

Mạch nằm ở trạng thái mới này (T_1 dẫn, T_2 khoá) không được lâu vì transistor T_1 dẫn làm tụ C được nạp theo chiều ngược lại : $+U_{CC} \rightarrow R_2 \rightarrow C \rightarrow T_1 \rightarrow$ "mát". Do đó điện áp cực gốc u_{B2} của T_2 sẽ tăng dần từ $-U_{CC}$ theo mức độ nạp của tụ C. Khi u_{B2} chớm vượt qua điện áp khoá U_K thì T_2 trở về trạng thái dẫn bão hoà, với $u_r = L \approx 0,2V$, và T_1 lại quay về trạng thái khoá. Vậy, ứng với một kích thích ở bên ngoài (ở đây là nhấn nút ấn K), mạch sẽ cho ở đầu ra một xung vuông góc có biên độ khoảng bằng điện áp nguồn cung cấp ; độ rộng xung t_x tỉ lệ với hằng số thời gian R_2C :

$$t_x = R_2 C \ln 2 \approx 0,7 R_2 C \qquad (2\text{-}7)$$

• Mạch tạo xung kích thích bằng tay ở hình 2-8a chỉ thích hợp để tạo xung có độ rộng t_x khoảng vài giây trở lên, do sự chậm trễ của việc nhả khoá K sau mỗi lần nhấn nút. Các điện trở R_{C1}, R_{C2} phải chọn nhỏ để giảm sườn lên của xung. Trị số điển hình của các điện trở trên sơ đồ là $R_{C1} = R_{C2} = 1,8k\Omega$, $R_1 = R_3 = R_4 = 10k\Omega$, $R_2 = 68k\Omega$. Vậy, để có xung ra với độ rộng t_x khoảng 5s, ta phải chọn $C = 100\mu F$.

Muốn tăng độ rộng xung t_x lên rất lớn, cỡ 100s chẳng hạn, ta phải tìm cách tăng R_2. Tuy nhiên việc chọn R_2 lại bị ràng buộc bởi điều kiện (2-5). Do đó, để có thể chọn R_2 lớn, ta phải thay thế transistor T_2 ở hình 2-8a bằng một cặp transistor nối theo kiểu Darlington. Transistor nối Darlington có hệ số khuếch đại dòng tĩnh B đạt cỡ 10^4. Vì vậy có thể chọn R_2 lớn cỡ MΩ.

2. Để có được xung ra với độ rộng xung rất hẹp, cỡ ms trở lại, ta phải dùng ***mạch tạo xung đơn kích thích bằng xung đanh*** (hình 2-8b). Về cơ bản, sơ đồ hình 2-8b giống hình 2-8a, nhưng thay vì mạch kích thích bằng tay, ta dùng mạch tạo xung đanh kích thích (gồm C_3 - R_3 và diod D). Sự hoạt động của sơ đồ tương tự như đã diễn đạt đối với sơ đồ hình 2-8a.

Sưu tầm bởi: www.daihoc.com.vn

Bình thường, khi không có tín hiệu kích thích u_v, mạch R_2 - diod D - R_3 tạo điện áp phân cực u_{B2} đủ dương để transistor T_2 dẫn bão hoà và T_1 khoá. Điện áp ra nằm ổn định ở mức thấp (u_r = L ≈ 0,2V). Khi đưa vào một xung kích thích vuông góc u_v có độ rộng xung lớn hơn $3R_3C_3$, thì ở thời điểm ứng với sườn xuống của xung vuông u_v sẽ xuất hiện một xung đanh âm u_{R3} trên điện trở R_3 (xem mục 1-3-3, hình 1-6b). Chính xung đanh âm này tác động lên cực gốc T_2 làm nó chuyển từ dẫn bão hoà sang khoá, còn T_1 từ khoá sang dẫn bão hoà. Mạch chỉ nằm ở trạng thái không ổn định này, với u_r = H ≈ $+U_{cc}$, trong một thời gian phụ thuộc vào tốc độ nạp ngược của tụ C_2 qua R_2. Vậy, với mỗi xung vào kích thích u_v, mạch sẽ cho ở đầu ra một xung vuông góc với độ rộng :

$$t_x = R_2C_2\ln 2 \approx 0,7\ R_2C_2 \qquad (2\text{-}8)$$

Trị số điển hình của các linh kiện trên sơ đồ hình 2-8b : $R_{C1} = R_{C2}$ = 1,8kΩ, R_2 = 68kΩ, $R_1 = R_3$ = 10kΩ, C_3 = 2,2nF, diod 1N4148, transistor 2N 3904. Tụ C_2 chọn theo (2-8).

3. Vấn đề cuối cùng cần lưu ý ***điện áp cung cấp*** U_{cc} : Trong các mạch hình 2-8, điện áp cung cấp U_{cc} không được vượt quá +9V, vì khi transistor T_2 bắt đầu chuyển từ dẫn bão hoà sang khoá, tiếp giáp gốc - phát của nó chịu một điện áp phân cực ngược $u_{B2} \approx -U_{cc}$. Nếu $+U_{cc} > 9V$ thì điện áp phân cực ngược lớn có thể gây chọc thủng lớp tiếp giáp và phá hỏng transistor.

Muốn dùng nguồn cung cấp lớn hơn 9V, ta đặt vào mạch cực gốc T_2 một diod bảo vệ (1N4148). Catod của diod nối với cực gốc của T_2. Lúc đó, giới hạn điện áp nguồn cung cấp chỉ còn bị hạn chế bởi điện áp đánh thủng giữa cực góp và phát (khoảng vài ba chục volt).

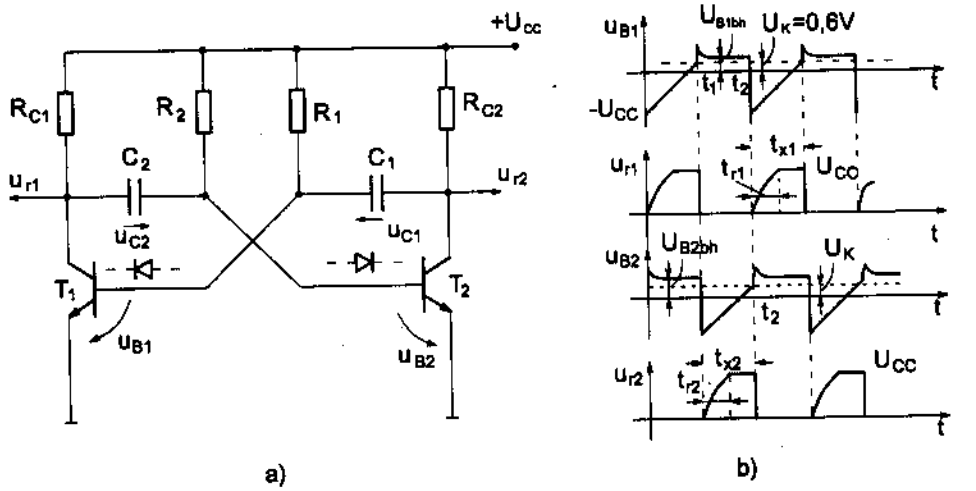
2-4. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG TRANSISTOR

• Mạch tạo dãy xung vuông góc, hay còn gọi là *mạch đa hài phiến định* (không có trạng thái ổn định), là mạch mà điện áp ở đầu ra liên tục chuyển qua lại giữa hai mức cao và thấp. Nghĩa là mạch cho ở cửa ra một dãy xung vuông góc với các thông số đặc trưng xác định trước.

• Có thể dùng trigơ Smith hoặc mạch so sánh hở để biến một dao động tuần hoàn hình dạng bất kì thành dãy xung vuông góc cùng tần số (xem mục 2-2-2). Những mạch này dùng trong thiết bị số đo tần số tín hiệu xoay chiều. Ở đây chỉ

Sưu tầm bởi: www.daihoc.com.vn

trình bày một sơ đồ cơ bản của mạch đa hài phiếm định loại chạy tự do, không cần các kích thích ở bên ngoài (hình 2-9).



Hình 2-9. Mạch đa hài phiếm định dùng transistor

Hình 2-9a là sơ đồ cơ bản mạch đa hài phiếm định dùng transistor. Khi mạch làm việc ổn định thì hai tụ C_1, C_2 luân phiên nhau nạp và phóng điện. Do đó hai transistor cũng luân phiên nhau ở hai trạng thái dẫn bão hoà và khoá. Kết quả là hai điện áp ra u_{r1}, u_{r2} trên hai cực góp transistor có dạng những dãy xung vuông góc lệch pha nhau 180° (hình 2-9b). Các thông số của hai dãy xung tính như sau :

Biên độ xung : $U_M \approx +U_{cc}$

Độ rộng xung : $t_{x1} \approx 0,7\ R_1C_1$; $t_{x2} \approx 0,7\ R_2C_2$ (2-9)

Sườn lên : $t_{r1} \approx 2,3R_{C1}C_2$; $t_{r2} \approx 2,3R_{C2}C_1$ (2-10)

Chu kì : $T = t_{x1} + t_{x2}$

Tần số : $f = 1/T$

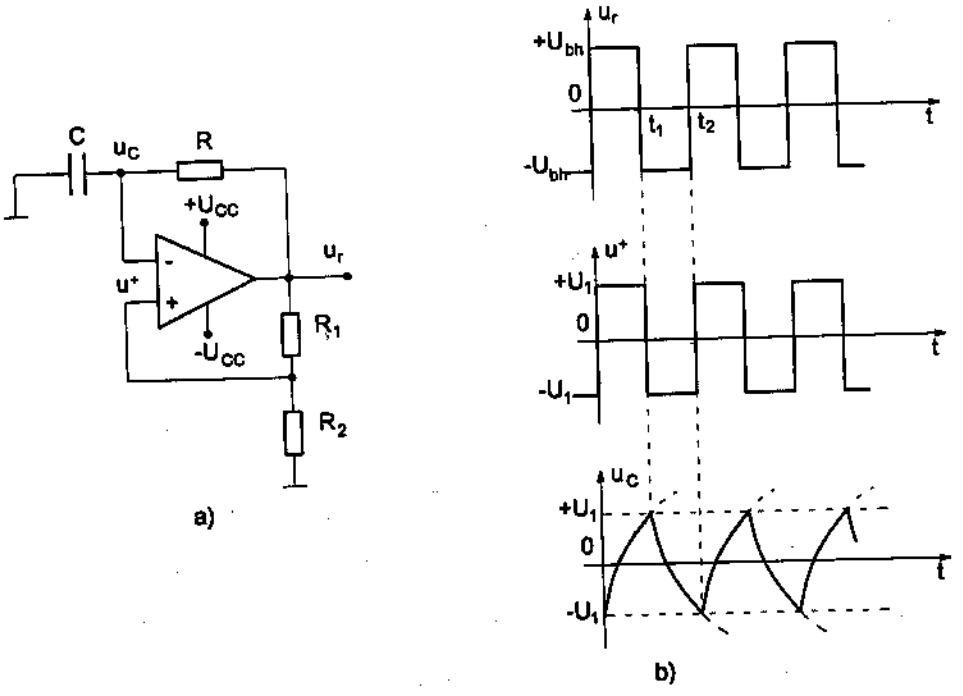
Nếu chọn $R_1 = R_2 = R$, $C_1 = C_2 = C$, $R_{C1} = R_{C2} = R_C$ thì ta có hai dãy xung vuông góc đối xứng hoàn toàn giống nhau, nhưng lệch pha 180°. (hình 2-9b).

Điện áp cung cấp U_{cc} có thể từ 1,5V ÷ 9V. Muốn tăng nguồn cung cấp lên tới khoảng vài chục volt, ta phải đặt thêm hai diod 1N 4148 vào mạch cực gốc của hai transistor. (Ở hình 2-9a hai diod vẽ đường nét đứt khúc, ý nói có thể đặt thêm vào mạch cực gốc). Sưu tầm bởi: www.daihoc.com.vn

2-5. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG KHUẾCH THUẬT TOÁN

2-5-1. Sơ đồ cơ bản

Hình 2-10a là sơ đồ cơ bản của mạch đa hài phiếm định dùng khuếch thuật toán. Nó gồm trigơ Smith đảo (xem mục 2-1-2, hình 2-2a) với điện áp vào chính là điện áp trên tụ u_C, và mạch R-C để định chu kì T của dãy xung vuông góc ở đầu ra. Mạch ra của khuếch thuật toán và R-C hợp thành một mạch phóng / nạp cho tụ C. Khi $u_C = u^+$ thì điện áp ra u_r sẽ lật trạng thái.



Hình 2-10. Sơ đồ cơ bản mạch đa hài phiếm định dùng khuếch thuật toán và mô tả hoạt động của mạch.

Giả sử ở thời điểm t = 0, mạch đang từ trạng thái mở, ($u_r = -U_{bh}$), sang trạng thái đóng ($u_r = +U_{bh}$) – xem hình 2-10b. Lúc đó, điện áp u^+ ở cực "+" khuếch thuật toán sẽ từ ngưỡng đóng :

$$U_d = -U_{bh}\frac{R_2}{R_1 + R_2} = -U_1$$

chuyển sang ngưỡng mở :

$$U_m = +U_{bh}\frac{R_2}{R_1 + R_2} = +U_1$$

Sưu tầm bởi: www.daihoc.com.vn

Đồng thời, tụ C được nạp theo chiều $u_r = +U_{bh} \rightarrow R \rightarrow C \rightarrow$ "mát". Điện áp u_C tăng từ ngưỡng đóng $U_d = -U_1$ theo quan hệ hàm mũ :

$$u_c = U_{bh} - (U_1 + U_{bh})e^{-t/RC} \qquad (2\text{-}11)$$

Tại thời điểm t_1, khi u_c đạt và chớm vượt ngưỡng mở $U_m = +U_1$ thì điện áp ra u_r lật sang $-U_{bh}$ và u^+ lại chuyển sang ngưỡng đóng $-U_1$. Tụ C bắt đầu phóng điện theo chiều : Cực bản phía phải tụ $\rightarrow R \rightarrow$ mạch ra khuếch đại thuật toán với $u_r = -U_{bh} \rightarrow$ "mát". Khi phóng hết thì tụ được nạp theo chiều cùng chiều phóng điện và $u_c < 0$. Tới thời điểm t_2, u_c đạt và chớm âm hơn ngưỡng đóng $-U_1$ nên u_r lại chuyển lên $+U_{bh}$. Quá trình cứ tiếp diễn tương tự và điện áp ra là một dãy xung vuông góc đối xứng, vì hằng số thời gian phóng / nạp của tụ là như nhau và đều bằng RC. Chu kì T của dãy xung :

$$T = 2t_1 = 2RC\ln\left(\frac{R_1 + 2R_2}{R_1}\right) \qquad (2\text{-}12)$$

Nếu chọn $R_1 = R_2$ thì $T \approx 2{,}2R.C$.

2-5-2. Một số sơ đồ cải tiến

• Hình 2-11a là sơ đồ mạch đa hài phiếm định có thể điều chỉnh được tần số của dãy xung ra. Từ công thức (2-12) ta thấy có hai cách điều chỉnh chu kì T của dãy xung vuông góc ở đầu ra sơ đồ hình 2-10a :

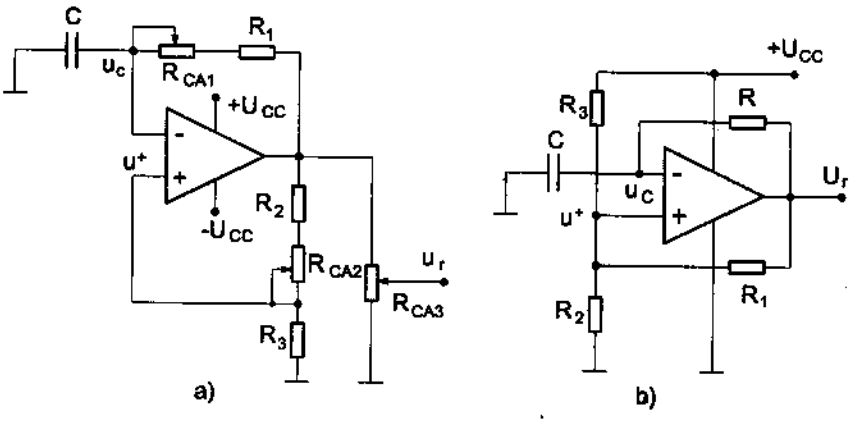
– Điều chỉnh hằng số thời gian phóng / nạp RC của tụ bằng cách thay đổi R (hoặc C).

– Điều chỉnh tỉ số hai điện trở R_1/R_2 để thay đổi ngưỡng đóng U_d và ngưỡng mở U_m của trigơ Smith.

Hình 2-11a sử dụng cả hai biện pháp trên : Chiết áp R_{CA1} cho phép thay đổi hằng số thời gian phóng / nạp của tụ. Chiết áp R_{CA2} cho phép làm thay đổi ngưỡng đóng / mở của trigơ Smith. Nếu chọn $R_{CA1} = 0 \div 100k\Omega$, $R_{CA2} = 0 \div 10k\Omega$, $R_1 = 47k\Omega$, $R_2 = 10k\Omega$, $R_3 = 1k\Omega$, $C = 10nF$, thì theo (2-12), ta có thể điều chỉnh được tần số của dãy xung vuông góc đối xứng ở đầu ra trong dải khoảng từ 300Hz đến 5kHz. Ngoài ra, chiết áp $R_{CA3} = 0 \div 10k\Omega$ còn cho phép thay đổi biên độ của dãy xung ra.

• Bằng cách tách biệt riêng hai đường phóng, nạp của tụ, ta sẽ tạo ra mạch đa hài phiếm định với ***dãy xung vuông góc không đối xứng*** ở đầu ra. Chiều rộng xung có thể rất hẹp. (xem bài tập 2-11).

Sưu tầm bởi: www.daihoc.com.vn



Hình 2-11. Một số sơ đồ mạch đa hài phiếm định

• Các sơ đồ ở hình 2-10a, 2-11a đều có nguồn cung cấp đối xứng $\pm U_{cc}$. Người ta còn hay sử dụng ***mạch đa hài phiếm định có nguồn cung cấp không đối xứng*** $+U_{cc}$ (hình 2-11b). Ở sơ đồ hình 2-11b, điện áp ra là một dãy xung vuông góc đối xứng với mức thấp L = 0V, mức cao $H = U_{bh} \approx U_{cc} - (2 \div 3)V$. Mạch có phân áp R_2 - R_3 với $R_2 = R_3 = 100k\Omega$, để tạo điện áp một chiều $U_{cc}/2$ ở cực "+". Nó ứng với điểm giữa ("mát") của nguồn cung cấp đối xứng.

Điện trở R_2 còn cùng với R_1 làm thành mạch phản hồi dương của trigơ Smith không đảo. Nếu chọn $R_1 = R_2 = R_3 = 100K\Omega$, thì khi $u_r = H = U_{bh} \approx U_{cc}$, hai điện trở R_1 và R_3 coi như nối song song, ngưỡng mở của trigơ là

$$U_m = u^+\big|_{u_r = H} \approx 2U_{cc}/3 \; ; \qquad (2\text{-}13)$$

Khi $u_r = L = 0V$, hai điện trở R_1 và R_2 coi như nối song song, ngưỡng đóng của trigơ sẽ là

$$U_d = u^+\big|_{u_r = 0} \approx U_{cc}/3. \qquad (2\text{-}14)$$

Sự phóng / nạp của tụ C qua điện trở R làm cho điện áp ra u_r liên tục lật giữa hai mức L và H mỗi khi $u_c = u^+$. Nếu coi gần đúng điện áp ra bão hoà của mạch hình 2-11b bằng điện áp nguồn cung cấp ($U_{bh} \approx U_{cc}$), thì ngưỡng mở của khuếch thuật toán tính theo (2-13) và chu kì T của dãy xung vuông góc đối xứng ở đầu ra là :

$$T = 2RC\ln 2 \approx 1{,}4RC \qquad (2\text{-}15)$$

Bằng cách thay đổi C hoặc R hay điều chỉnh cả hai, ta có thể thay đổi tần số dãy xung ra. Điện dung C có thể nằm trong dải từ vài chục pF đến hàng nghìn nF, điện trở R có thể chọn trong khoảng từ 10kΩ đến vài MΩ.

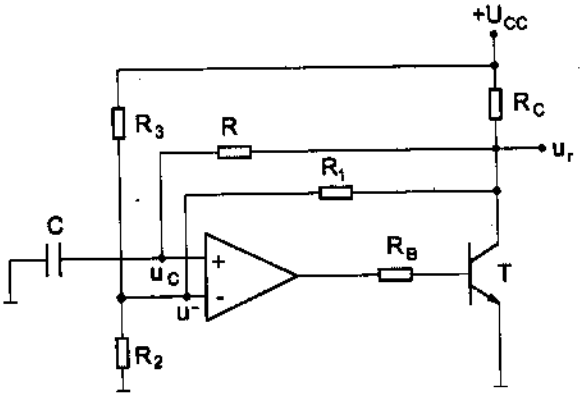
Sưu tầm bởi: www.daihoc.com.vn

Sơ đồ hình 2-11b có nhược điểm sau :

– Điện áp ra ở mức cao H không chính xác bằng $+U_{cc}$ và chu kì T của dãy xung ra tính theo (2-15) là không hoàn toàn chính xác.

– Dãy xung vuông góc ở đầu ra không thật đối xứng. Chu kì và tính đối xứng của dãy xung ra thay đổi khi ta thay đổi điện áp nguồn cung cấp.

– Thời gian lên và xuống của xung ra tuỳ thuộc tốc độ xoay SR của khuếch thuật toán (xem mục 1-5-2). Nếu dùng khuếch thuật toán có SR thấp thì thời gian lên và xuống của xung ra có thể tới hàng chục μs.



Hình 2-12. Mạch đa hài phiếm định có khoá transistor đệm

Để khắc phục các nhược điểm kể trên ta dùng sơ đồ hình 2-12 với khoá transistor đệm T ở đầu ra. Trên sơ đồ ta chọn $R_1 = R_2 = R_3 = 100k\Omega$. Vì transistor T đảo pha điện áp ở đầu ra khuếch thuật toán nên đường phản hồi dương R_1 - R_2 lại đưa về cực "–" của khuếch thuật toán và trigơ Smith thuộc loại không đảo với điện áp vào u_c.Coi điện áp góp - phát của transistor khi dẫn bão hoà bằng 0V, thì điện áp ra u_r là dãy xung vuông góc đối xứng có mức thấp $L \approx 0V$, mức cao $H \approx +U_{cc}$. Thời gian lên và xuống của xung chỉ khoảng 1μs trở lại. Bạn đọc có thể tự phân tích hoạt động của mạch hình 2-12 trên cơ sở đã nắm được hoạt động của sơ đồ hình 2-11b.

2-6. MỘT SỐ ỨNG DỤNG CỦA MẠCH ĐA HÀI PHIẾM ĐỊNH DÙNG KHUẾCH THUẬT TOÁN

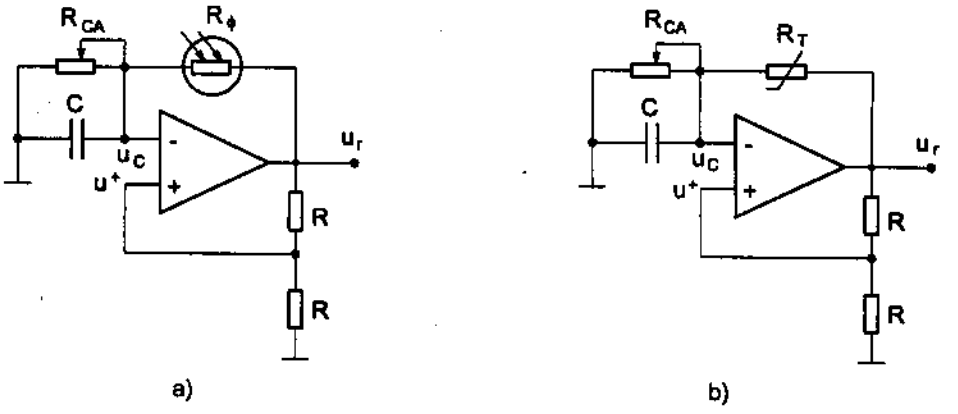
Mạch đa hài phiếm định dùng khuếch thuật toán thường được sử dụng để tạo dãy xung vuông góc tần số dưới 100kHz cho những ứng dụng cụ thể. Ở đây sẽ đưa ra vài ứng dụng lí thú.

1. Hình 2-13a là một mạch đa hài phiếm định mà R_ϕ - C là mạch định thời (mạch phóng/nạp của tụ C). R_ϕ là một điện trở quang bán dẫn có giá trị phụ thuộc quang thông tới nó ; R_ϕ sẽ giảm khi ánh sáng chiếu vào mạnh. Ngưỡng đóng / mở của trigơ Smith là :

$$U_đ = u^+\big|_{u_r = -U_{bh}} = -U_{bh}/2$$

$$U_m = u^+\big|_{u_r = +U_{bh}} = +U_{bh}/2.$$

Sưu tầm bởi: www.daihoc.com.vn



Hình 2-13. Vài ứng dụng của mạch đa hài phiếm định

Điểm đặc biệt nhất của mạch là có điện trở R_{cA}. Nó cùng với R_ϕ tạo thành mạch chia điện áp ra u_r, và điện áp trên tụ khi ổn định :

$$u_c = u_r \frac{R_{CA}}{R_{CA} + R_\phi}.$$

Ta thấy, nếu $R_{CA} < R_\phi$ thì $|u_c| < |u_r/2|$, nghĩa là u_c không thể đạt tới ngưỡng đóng / mở của trigơ. Điện áp ra không thể lật trạng thái và không có dãy xung vuông góc ở đầu ra. Vậy, điều kiện để mạch đa hài phiếm định hình 2-13a) làm việc là :

$$R_{CA} > R_\phi. \qquad (2\text{-}16)$$

Ta sử dụng điều kiện (2-16) để dùng mạch (hình 2-13a) làm mạch báo động khi cường độ phát sáng của đối tượng cần theo dõi vượt quá ngưỡng của nó. Hoặc dùng làm mạch báo trời sáng . Khi trời còn tối, $R_\phi > R_{CA}$ nên mạch không làm việc. Khi trời sáng, $R_\phi < R_{CA}$ và mạch phát ra dãy xung vuông góc điều khiển còi kêu chẳng hạn.

2. Nếu ở hình 2-13a, đem đổi chỗ hai vị trí của R_{CA} và R_ϕ, ta sẽ có mạch báo trời tối. Thật vậy, khi trời còn sáng, $R_\phi < R_{CA}$ nên mạch không làm việc. Khi trời tối, $R_\phi > R_{CA}$ và mạch tạo dãy xung vuông góc ở đầu ra. Dãy xung này ví dụ dùng để điều khiển sự chiếu sáng nhấp nháy liên tục của một mảng đèn quảng cáo. Ở đây, mạch có thêm vai trò như một rơle thời gian, tự động điều khiển sự nhấp nháy của mảng đèn quảng cáo khi trời tối.

3. Với nguyên lí hoạt động tương tự, mạch hình 2-13b dùng phát hiện nhiệt độ của đối tượng cần theo dõi khi vượt quá ngưỡng cho phép. Điện trở nhiệt bán dẫn R_T đo nhiệt độ của đối tượng. Khi nhiệt độ tăng thì R_T giảm. Bạn đọc tự giải thích hoạt động của mạch.

Sưu tầm bởi: www.daihoc.com.vn

2-7. MẠCH TẠO DÃY XUNG RĂNG CƯA VÀ TAM GIÁC

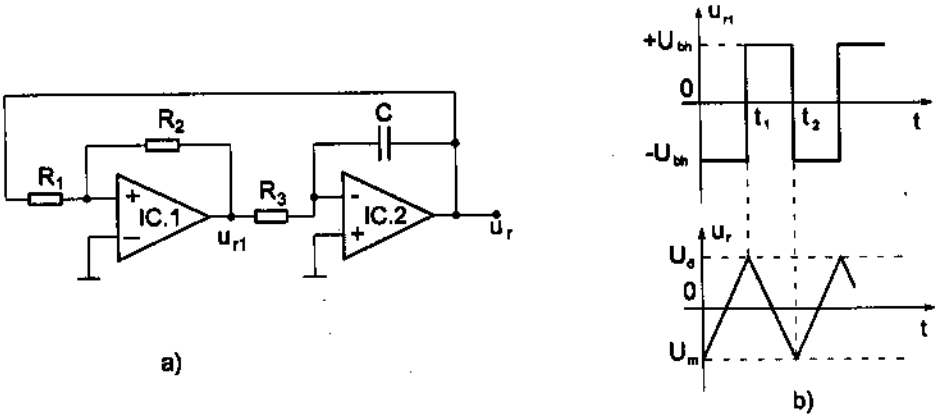
Có nhiều sơ đồ tạo các xung răng cưa và tam giác : Sơ đồ dùng transistor, sơ đồ dùng khuếch thuật toán, sơ đồ dùng IC định thời 555. Ở đây giới hạn trình bày hai sơ đồ cơ bản tạo dãy xung tam giác và răng cưa dùng khuếch thuật toán.

2-7-1. Sơ đồ tạo dãy xung tam giác. Hình 2-14a là sơ đồ cơ bản của mạch tạo dãy xung tam giác dùng khuếch thuật toán. Mạch gồm IC.1 là một trigơ Smith kiểu không đảo (mục 2-1-2) và IC.2 là một mạch tích phân.

Điện áp ở đầu ra trigơ Smith u_{r1} chỉ có thể nằm ở một trong hai mức bão hoà $\pm U_{bh}$. Ngưỡng đóng / mở của trigơ tương ứng là :

$$U_đ = +\frac{R_1}{R_2} U_{bh} \qquad (2\text{-}17)$$

$$U_m = -\frac{R_1}{R_2} U_{bh} \qquad (2\text{-}18)$$



Hình 2-14. Mạch tạo dãy xung vuông góc và tam giác

Mạch tích phân IC.2 thực hiện lấy tích phân các xung vuông góc đối xứng đến từ trigơ và cho ở đầu ra dãy xung tam giác u_r. Dãy xung này lại đưa trở về đầu vào trigơ Smith IC.1 để chuyển thành dãy xung vuông góc cùng tần số (xem mục 2-2, hình 2-7). Vậy sơ đồ là một mạch tự kích cho hai dãy xung vuông góc và tam giác cùng tần số (hình 2-14b). Ở nửa chu kì $(0 \div t_1)$, điện áp ra $u_r(t)$ tăng tuyến tính theo quan hệ :

$$u_r(t) = \frac{U_{bh}}{R_3 C} t + U_m \qquad (2\text{-}19)$$

Sưu tầm bởi: www.daihoc.com.vn

Ở nửa chu kì tiếp theo ($t_1 \div t_2$), $u_r(t)$ giảm tuyến tính theo quan hệ :

$$u_r(t) = -\frac{U_{bh}}{R_3C}t + U_d \qquad (2\text{-}20)$$

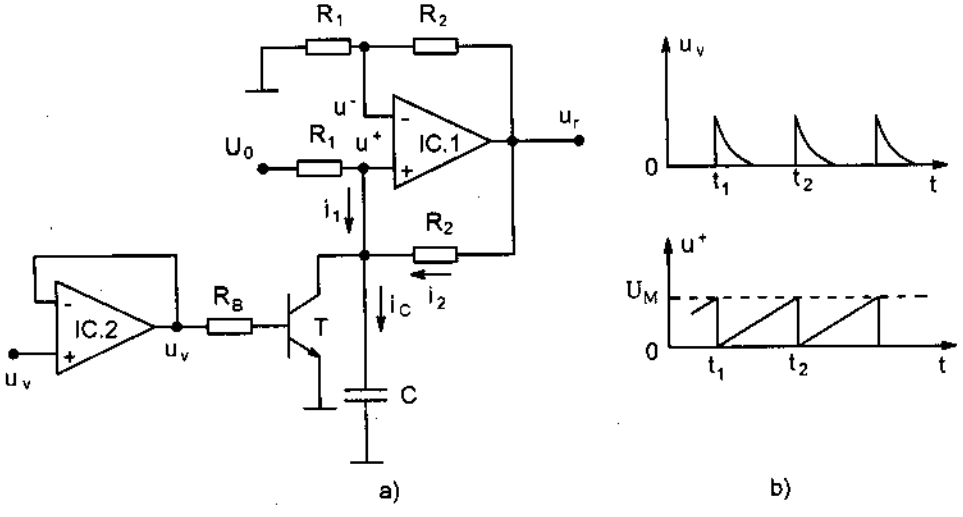
Kết quả là $u_r(t)$ có dạng dãy xung hình tam giác với chu kì :

$$T = 4\frac{R_1}{R_2}R_3C \qquad (2\text{-}21)$$

Ta thấy, để điều chỉnh tần số dãy xung mà không làm ảnh hưởng tới biên độ xung tam giác ta phải điều chỉnh hằng số tích phân R_3C. Mạch hình 2-14a thường tạo ra các dãy xung tam giác và vuông góc trong vùng tần số từ vài trăm Hz đến vài chục kHz.

2-7-2. Mạch tạo dãy xung răng cưa

Hình 2-15a là mạch tạo dãy xung răng cưa, kích khởi (kích thích) bằng dãy xung đanh u_v ở đầu vào. Sơ đồ gồm mạch biến đổi áp dòng IC.1 và khoá transistor T để điều khiển tụ C phóng hay nạp. Dãy xung đanh u_v điều khiển transistor T dẫn bão hoà hoặc khoá. Mạch IC.2 là mạch lặp có hệ số khuếch đại bằng 1 và điện trở vào là ∞. Vì vậy mạch IC.2 chỉ có vai trò như một phần tử đệm, bảo đảm điện trở tải của nguồn phát xung đanh bằng ∞, nghĩa là công suất yêu cầu từ nguồn phát xung đanh bằng 0.



Hình 2-15. *Mạch tạo dãy xung răng cưa.*

Sưu tầm bởi: www.daihoc.com.vn

Xét sự làm việc của mạch hình 2-15a. Giả sử tại thời điểm t_1 xuất hiện một xung đanh u_v ở đầu vào, transistor T lập tức dẫn bão hoà và tụ C nhanh chóng phóng điện qua T. Gần đúng coi hằng số thời gian phóng của tụ bằng 0 nên điện áp trên tụ giảm đột ngột về 0. Cũng gần đúng coi xung đanh chỉ điều khiển T dẫn tức thời, sau đó nó lại bị khoá ngay. Vì vậy tại t_1 tụ C bắt đầu được nạp điện và điện áp trên tụ $u_c = u^+$ bắt đầu tăng (hình 2-15b). IC.1 là mạch biến đổi áp - dòng, biến điện áp U_o thành dòng i_c nạp cho tụ. Nếu điện áp U_o là không đổi thì tụ C được nạp với dòng không đổi :

$$i_c = I_c = U_o/R_1$$

Điện áp trên tụ sẽ tăng tuyến tính theo thời gian :

$$u_c(t) = u^+(t) = \frac{U_o}{R_1 C} t \qquad (2\text{-}22)$$

Đến thời điểm t_2, một xung đanh mới xuất hiện, transistor T dẫn tức thời, tụ nhanh chóng phóng điện hết qua T và lại được nạp với dòng không đổi I_c. Điện áp trên tụ lại tăng tuyến tính. Quá trình cứ thế tiếp diễn. Ta thấy, cứ mỗi lần xuất hiện một xung đanh thì lại có một xung răng cưa hình thành trên tụ.

Nếu coi điện áp trên hai đầu vào IC.1 là bằng nhau ($u^+ \approx u^-$), điện áp u_r ở đầu ra mạch hình 2-15a sẽ tỉ lệ với u^+ :

$$u_r = u^- \left(\frac{R_1 + R_2}{R_1}\right) \approx u^+ \left(\frac{R_1 + R_2}{R_1}\right)$$

Với $u^+(t)$ tính theo (2-22) thì :

$$u_r(t) = \frac{U_o(R_1 + R_2)}{R_1^2 C} t \qquad (2\text{-}23)$$

Vậy, cứ mỗi khi xuất hiện một xung đanh u_v ở đầu vào, ở đầu ra mạch lại cho một xung răng cưa tính theo (2-23). Nếu ở đầu vào là một dãy xung đanh với chu kì lặp τ, thì $u_r(t)$ sẽ là một dãy xung răng cưa có cùng chu kì lặp τ, với biên độ :

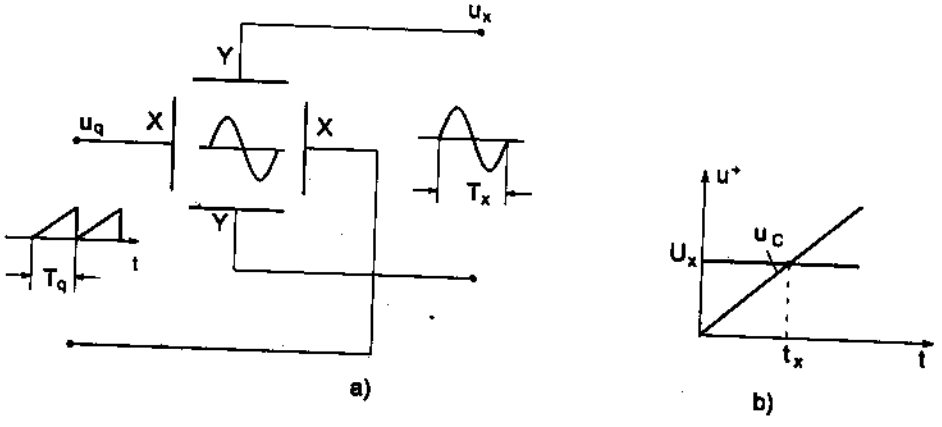
$$U_M = \frac{U_o(R_1 + R_2)}{R_1^2 C} \tau \qquad (2\text{-}24)$$

Biên độ U_M không thể vượt quá điện áp ra bão hoà $+U_{bh}$ của khuếch thuật toán.

Sưu tầm bởi: www.daihoc.com.vn

2-8. MỘT SỐ ỨNG DỤNG CỦA DÃY XUNG RĂNG CƯA

• Dãy xung răng cưa thường dùng làm "sóng quét" trong các thiết bị hiện sóng (dao động kí điện tử). Tín hiệu cần quan sát $u_x(t)$ đưa vào hai phiến làm lệch dọc Y của thiết bị hiện sóng. Sóng quét $u_q(t)$ đưa vào hai phiến làm lệch ngang X (hình 2-16a). Dưới tác động của điện trường phiến làm lệch ngang, chùm tia điện tử sẽ chuyển động với vận tốc đều theo chiều trục nằm ngang. Dưới tác động của điện trường phiến làm lệch dọc, chùm tia điện tử sẽ bị lái theo chiều trục thẳng đứng theo quy luật biến thiên của tín hiệu cần quan sát. Phối hợp cả hai chuyển động trên, chùm tia điện tử sẽ vẽ trên màn hiện sóng dạng tín hiệu cần quan sát $u_x(t)$. Nếu chu kì T_q của sóng quét bằng chu kì T_x của tín hiệu cần quan sát thì trên màn hiện sóng sẽ hiện một chu trình tín hiệu quan sát. Nếu T_q bằng bội số n của T_x, trên màn hiện sóng sẽ hiện n chu trình tín hiệu quan sát.



Hình 2-16. Một số ứng dụng của xung răng cưa

• Xung răng cưa còn dùng để chuyển đổi điện áp U_x cần đo thành khoảng thời gian tỉ lệ t_x (hình 2-16b). Mạch phát xung răng cưa cho điện áp tuyến tính

$$u_c(t) = K.t$$

trong đó K là hệ số tỉ lệ. Khi $u_c(t)$ đạt giá trị bằng U_x thì :

$$Kt_x = U_x \rightarrow t_x = \frac{1}{K}U_x = K_u.U_x$$

Đo t_x sẽ suy ra U_x. Đây là một trong các phương pháp số đo điện áp.

Sưu tầm bởi: www.daihoc.com.vn

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 2

2-1. Mạch so sánh tương tự là gì ? Các thông số đặc trưng của mạch so sánh tương tự ? Thế nào là ngưỡng đóng U_d và ngưỡng mở U_m của mạch so sánh tương tự.

2-2. Trigơ Smith là gì ? Vẽ sơ đồ trigơ Smith đảo, không đảo và đặc tính truyền đạt của chúng. Ưu điểm của trigơ Smith so với mạch so sánh hở.

2-3. Trình bày nguyên lí làm việc của mạch tạo xung đơn kích thích bằng tay ở hình 2-8a. Cần chú ý gì khi chọn các điện trở R_{c1}, R_{c2}, R_2. Giới hạn trên của nguồn cung cấp $+U_{cc}$ trong sơ đồ là bao nhiêu ? Tại sao để tạo các xung đơn có độ rộng xung rất lớn thì phải thay transistor T_2 ở hình 2-8a bằng cặp transistor nối kiểu Darlington ? Hãy vẽ hai transistor nối kiểu Darlington.

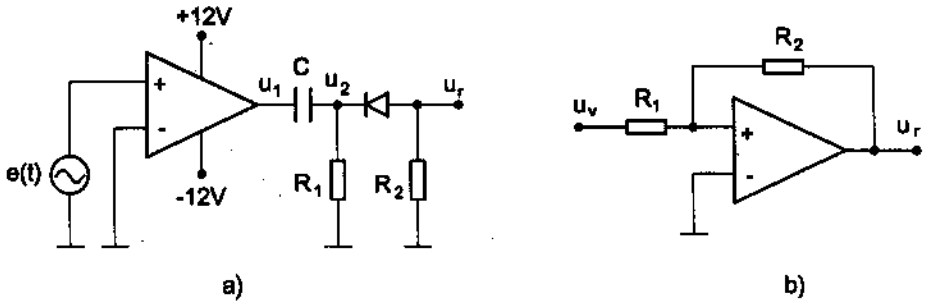
2-4. Trình bày ngắn gọn nguyên lí làm việc của :

- Mạch đa hài phiến định hình 2-10a.
- Mạch tạo dãy xung tam giác hình 2-14a.
- Mạch tạo dãy xung răng cưa hình 2-15a.

2-5. Nêu vài ứng dụng của :

- Mạch so sánh tương tự
- Mạch đa hài phiến định dùng khuếch thuật toán.

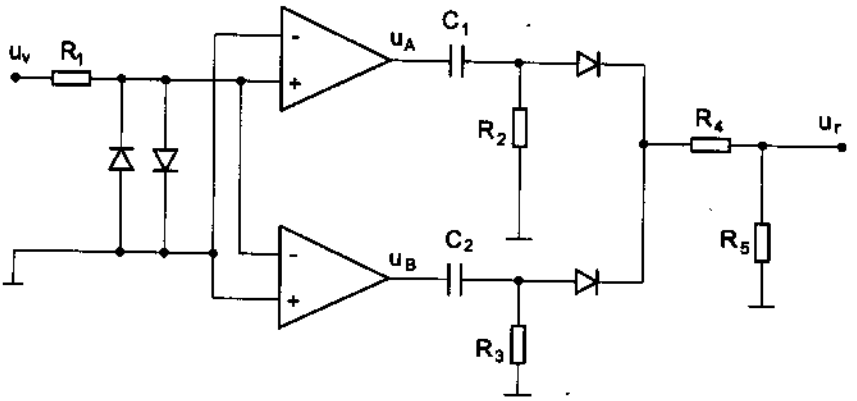
2-6. Cho mạch hình 2-17a. Biết $e(t) = U_m \sin 314t$. Hãy vẽ phác đồ thị thời gian của $u_1(t)$, $u_2(t)$ và $u_r(t)$, theo đồ thị thời gian của e(t). Biết C = 15nF, R_1 = 1kΩ.



Hình 2-17. Bài tập 2-6 và 2-8

Sưu tầm bởi: www.daihoc.com.vn

2-7. Cho mạch hình 2-18. Biết $R_1 = R_4 = R_5 = 1M\Omega$, $R_2 = R_3 = 1k\Omega$, $C_1 = C_2 = 15nF$. Điện áp ra bão hoà của các khuếch thuật toán là $\pm U_{bh} = \pm 10V$. Điện áp vào $u_V = U_m \sin 100t$. Hãy vẽ đồ thị thời gian của $u_A(t)$, $u_B(t)$, $u_r(t)$, theo đồ thị thời gian của $u_V(t)$.

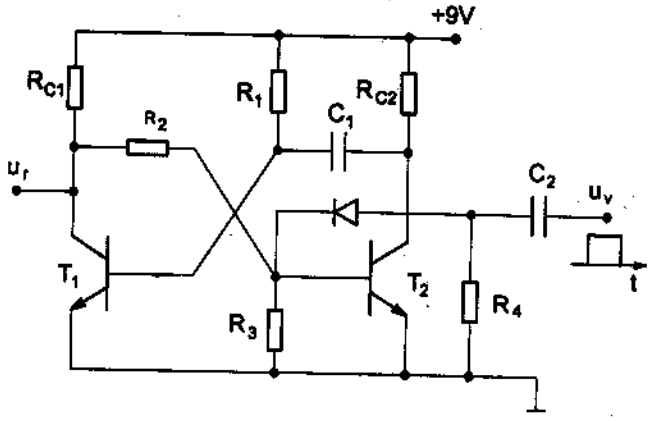


Hình 2-18. Bài tập 2-7

2.8. Cho mạch H.2-17b. Biết $R_1 = 10k\Omega$, $R_2 = 47k\Omega$. Điện áp ra bão hoà của khuếch thuật toán là $\pm U_{bh} = \pm 10V$. Hãy :

- Vẽ đặc tính truyền đạt $u_r(u_v)$ của mạch.
- Vẽ đồ thị thời gian $u_r(t)$ khi $u_v(t) = 5\sin 314t$ (V).

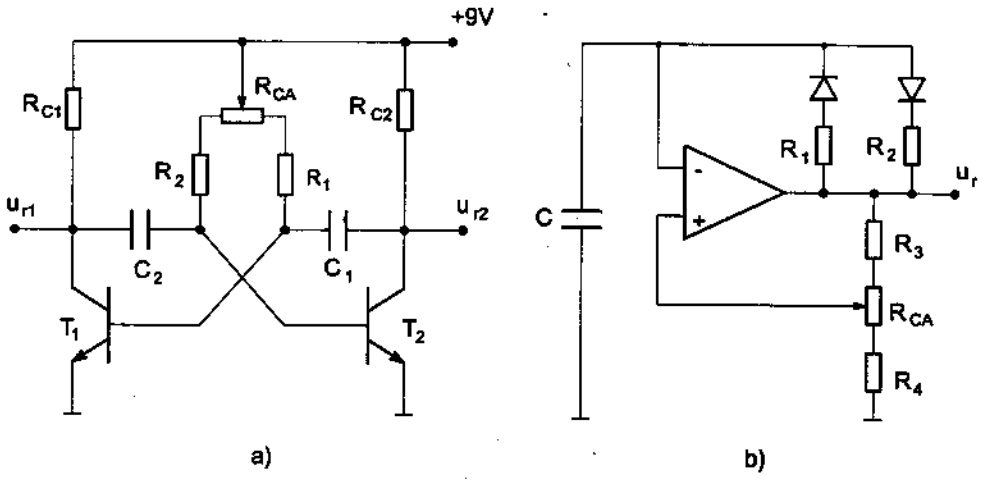
2-9. Cho mạch phát xung đơn hình 2-19. Hai transistor là loại 2N3904, diod là loại 1N4148. $R_{C1} = R_{C2} = 1,8k\Omega$; $R_1 = 68k\Omega$; $R_2 = R_3 = R_4 = 10k\Omega$; $C_1 = C_2 = 2,2nF$. Mạch được kích khởi bằng xung vuông góc u_V ở đầu vào. Giải thích hoạt động của mạch và tính độ rộng của xung đơn u_r ở đầu ra.



Hình 2-19. Bài tập 2-9

Sưu tầm bởi: www.daihoc.com.vn

2-10. Cho mạch đa hài phiếm định hình 2-20a. Biết $R_{C1} = R_{C2} = 1,8K\Omega$; $C_1 = C_2 = 10nF$, $R_1 = R_2 = 10k\Omega$, $R_{CA} = 0 \div 100k\Omega$. Hãy chỉ ra sự khác nhau cơ bản của mạch hình 2-20a với mạch hình 2-9a. Tính độ hổng lớn nhất Q_{max} (xem mục 1-2-1) có thể tạo được của dãy xung vuông góc ở đầu ra hình 2-20a.



Hình 2-20. Bài tập 2-10 và 2-11.

2-11. Cho mạch hình 2-20b. Biết $R_1 = 2,2k\Omega$, $R_2 = 220k\Omega$, $R_3 = 10k\Omega$, $R_4 = 1K\Omega$, $R_{CA} = 0 \div 10K\Omega$, $C = 10nF$.

Hãy chỉ ra sự khác nhau cơ bản của mạch hình 2-20b với mạch hình 2-11a. Tính tỉ số giữa thời gian nghỉ t_n và độ rộng xung t_x của dãy xung vuông góc u_r ở đầu ra. Ước tính dải tần số có thể điều chỉnh được của dãy xung ra.

Sưu tầm bởi: www.daihoc.com.vn

Chương 3 CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẢY DÙNG CÁC VI MẠCH SỐ VÀ MẠCH ĐỊNH THỜI 555

3-1. CÁC LOẠI FLIP-FLOP

Flip-Flop là mạch logic có một hoặc hai đầu vào điều khiển, hai đầu ra. Tín hiệu trên hai đầu ra Flip-Flop phụ thuộc nhau : Nếu một đầu ra có tín hiệu là Q, thì ở đầu ra kia sẽ là phủ định của Q ($\overline{Q}$). Khi tín hiệu ở cửa vào thoả mãn điều kiện điều khiển, đầu ra Q sẽ lật trạng thái từ mức logic thấp L lên mức logic cao H hoặc ngược lại. Vậy, tín hiệu ở đầu ra Flip-Flop khi có điều khiển là một bước nhảy điện áp. Đặc điểm của Flip-Flop là : ***Khi không có điều khiển ở cửa vào, mức logic (L hoặc H) ở đầu ra được duy trì ổn định.***

Tùy theo số đầu vào điều khiển, Flip-Flop gồm bốn loại chính : S-R, J-K, T, D.

3-1-1. S-R Flip-Flop (S-R FF)

S-R FF là loại có hai đầu vào điều khiển S, R. Đầu S gọi là đầu vào "ghi" (Set) và R là đầu vào "xoá" (Reset).

Hình 3-1a là kí hiệu của S-R FF trong các sơ đồ logic. Trạng thái ở đầu ra Q phụ thuộc các tín hiệu logic ở hai đầu vào điều khiển S, R theo bảng 3-1, gọi là bảng trạng thái của Flip-Flop.

Bảng 3-1

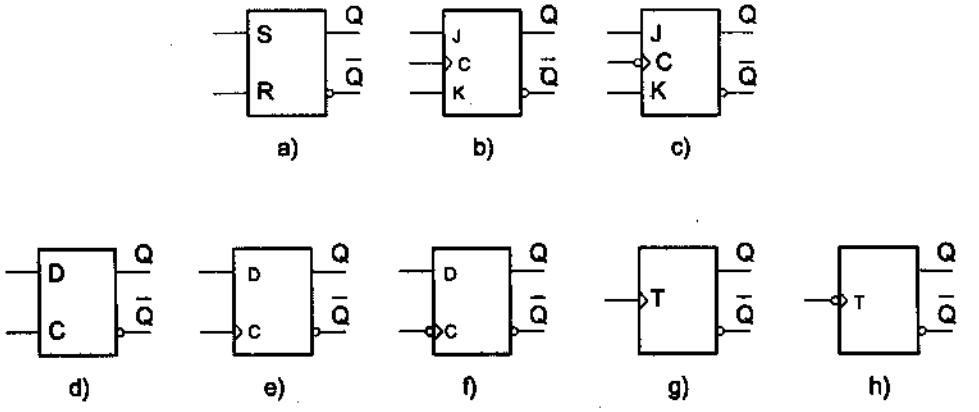
S	R	Q_{t+}	Ý nghĩa
0	0	Q_t	Lưu giữ
1	0	1	Ghi
0	1	0	Xóa
1	1	?	Không xác định

Trong bảng 3-1, kí hiệu Q_{t+} chỉ giá trị logic ở đầu ra Q sau thời điểm t, là thời điểm đặt các tín hiệu điều khiển logic ở các đầu vào S, R. Kí hiệu Q_t chỉ giá trị logic ở đầu ra Q tại thời điểm t. Ta thấy : ***Khi S = 1, R = 0*** thì $Q_{t+} = 1$; khi ***S = 0, R = 1*** thì $Q_{t+} = 0$. Đây chính là hai điều

Sưu tầm bởi: www.daihoc.com.vn

kiện điều khiển ở cửa vào khiến cho đầu ra Q Flip-Flop có thể lật trạng thái (từ 0 sang 1 hoặc ngược lại). Vì vậy S, R gọi là các đầu vào điều khiển. Cặp S = 1, R = 0 là điều kiện điều khiển ***ghi*** (Q = 1) ; còn cặp S = 0, R = 1 là điều kiện điều khiển ***xóa*** (Q = 0). Tương hợp S = R = 0 thì $Q_{t+} = Q_t$; nghĩa là Q không thay đổi trạng thái đã có của nó. Vậy, khi không còn tín hiệu điều khiển ghi hay xoá ở cửa vào, Flip-Flop vẫn giữ nguyên trạng thái đã có của nó. Ta nói, khi S = R = 0 thì Flip-Flop lưu giữ thông tin. Cuối cùng, nếu S = R = 1, đầu ra Q có thể là 1, có thể là 0 logic ; ta nói trạng thái Flip-Flop là không xác định. Vậy, ***không bao giờ đồng thời đặt 1 logic vào S và R.***

Như đã trình bày ở mục 1-6-3, trong các mạch logic người ta dùng tín hiệu điện áp với hai mức cách biệt nhau là mức cao H và mức thấp L để đặc trưng cho hai giá trị 1, 0 của biến logic (H → 1, L → 0).



Hình 3-1. *Kí hiệu các loại Flip-Flop*

3-1-2. J-K Flip-Flop (J-K FF)

J-K FF là loại Flip-Flop có hai đầu vào điều khiển J, K. Khi *J = 1, K = 0* thì $Q_{t+} = 1$; khi *J = 0, K = 1* thì $Q_{t+} = 0$. Tuy nhiên, điểm đặc biệt là J-K FF còn có thêm ***đầu vào đồng bộ C*** và Flip-Flop chỉ có thể ghi (hay xoá) trong thời khoảng ứng với sườn lên hoặc xuống của xung đồng bộ C (còn gọi là xung nhịp - Clock). Ta nói Flip-Flop thuộc

Bảng 3-2

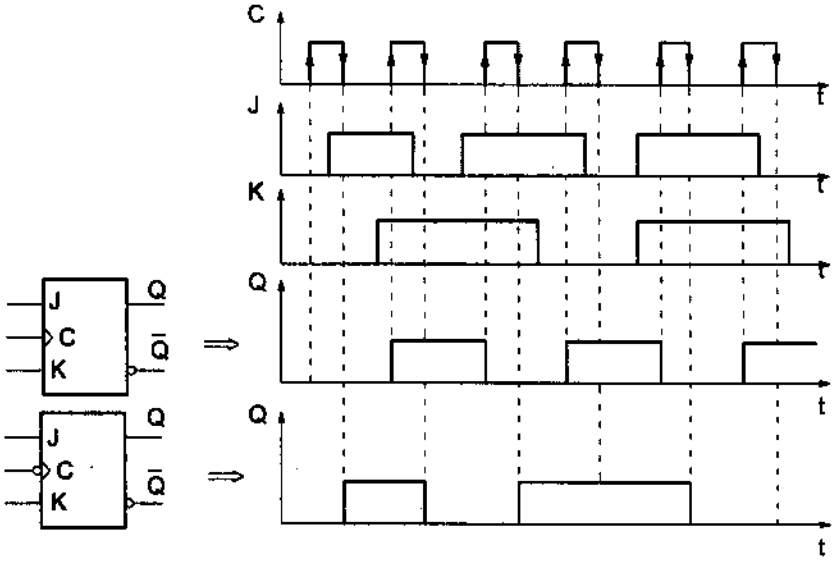
C	J	K	Q_{t+}	Ý nghĩa
0	X	X	Q_t	Lưu giữ
1	X	X	Q_t	Lưu giữ
↑(↓)	0	0	Q_t	Lưu giữ
↑(↓)	1	0	1	Ghi
↑(↓)	0	1	0	Xóa
↑(↓)	1	1	$\overline{Q_t}$	Bập bênh

Sưu tầm bởi: www.daihoc.com.vn

loại ***đồng bộ***, hiểu theo nghĩa là việc ghi/xoá trong Flip-Flop chỉ có thể xảy ra đồng bộ với sự xuất hiện của xung nhịp C. Có hai loại J-K FF đồng bộ : Loại ***đồng bộ theo sườn lên*** (kí hiệu ở hình 3-1b) và ***loại đồng bộ theo sườn xuống*** (hình 3-1c) của xung nhịp.

Sự hoạt động của J-K FF có thể tóm tắt ở bảng 3-2. Trong bảng, kí hiệu ↑(↓) biểu hiện cho sườn lên (hoặc xuống) của xung nhịp ; kí hiệu × ý nói có thể mang giá trị tuỳ ý. Khi J = K = 1, Flop-Flop luôn lật trạng thái mỗi khi có xung nhịp đi tới, tựa như cầu chơi bập bênh của con trẻ.

Ví dụ. Vẽ đồ thị thời gian của tín hiệu ở đầu ra Q của J-K FF, theo đồ thị thời gian của các tín hiệu điều khiển J, K và của xung nhịp C, cho trước ở hình 3-2.



Hình 3-2. *Ví dụ minh hoạ hoạt động của J-K FF*

Ta vẽ cho hai trường hợp, ứng với loại J-K FF đồng bộ theo sườn lên và loại đồng bộ theo sườn xuống của xung nhịp C. Khi vẽ ta chỉ quan tâm đến tín hiệu J, K ở các thời điểm ứng với sườn lên (hoặc xuống) của xung nhịp C, là những thời điểm Flip-Flop có thể lật trạng thái theo các tín hiệu điều khiển. Trong khoảng thời gian giữa hai sườn lên (hoặc giữa hai sườn xuống) của các xung nhịp, Flip-Flop giữ ổn định. Bỏ qua thời gian trễ t_{pd} của Flip-Flop (xem mục 1-10-2, hình 1-22) và coi ở t = 0 thì Q = 0, ta có kết quả dạng Q(t) vẽ được như ở hình 3-2.

3-1-3. D — Flip-Fop (D-FF)

D-FF là loại Flip-Flop đồng bộ với một đầu vào điều khiển D. Tín hiệu ở đầu vào điều khiển sẽ truyền tới đầu ra Q (Q = D) mỗi khi xuất hiện xung nhịp

Sưu tầm bởi: www.daihoc.com.vn

C. Có ba loại D-FF đồng bộ : loại ***đồng bộ theo mức*** (kí hiệu ở hình 3-1d) ; loại ***đồng bộ theo sườn lên*** (hình 3-1e) và loại ***đồng bộ theo sườn xuống*** (hình 3-1f) của xung nhịp.

Các bảng 3-3 và 3-4 tóm tắt hoạt động của các loại D-FF.

Bảng 3-3

Loại đồng bộ theo mức

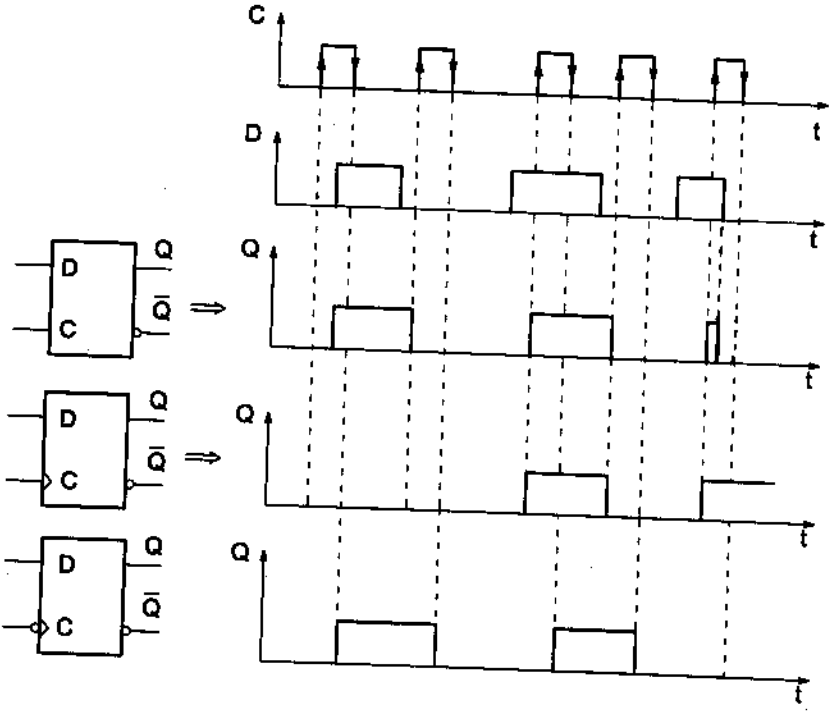
C	D	Q_{t^+}	
0	X	Q_t	
1	0	0	Q=D
1	1	1	

Bảng 3-4

Lợi đồng bộ theo sườn xung

C	D	Q_{t^+}	
0	X	Q_t	
1	X	Q_t	
↑(↓)	0	0	Q = D
↑(↓)	1	1	

Ví dụ. Vẽ đồ thị thời gian của tín hiệu ở đầu ra Q của D-FF, theo đồ thị thời gian của xung nhịp C và của tín hiệu điều khiển D, cho trước ở hình 3-3. Ở thời điểm ban đầu t = 0, tín hiệu ở đầu ra Q = 0.



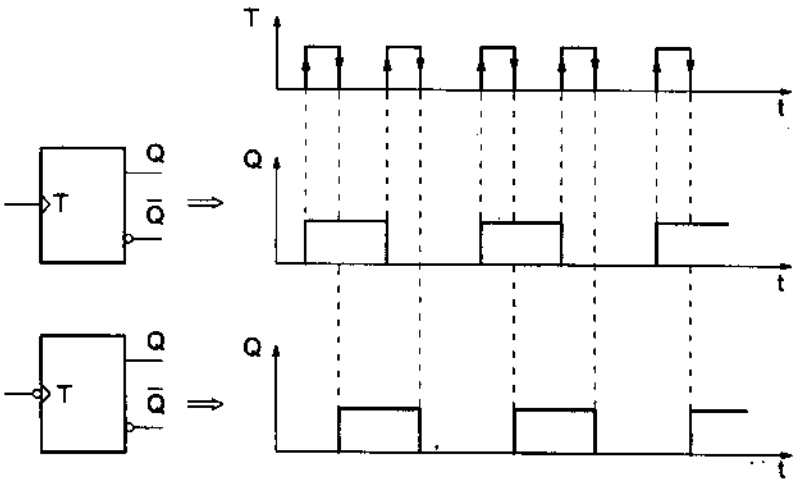
Hình 3-3. *Ví dụ minh hoạ hoạt động của các D-FF*

Sưu tầm bởi: www.daihoc.com.vn

Ta vẽ đồ thị Q(t) ứng với ba loại D-FF và có kết quả như ở hình 3-3.

3-1-4. T-Flip-Flop (T-FF)

T-FF là loại Flip-Flop có một đầu vào điều khiển T. Mỗi lần có xung tới đầu vào T, đầu ra Q của Flop-Flop sẽ lật trạng thái. Có hai loại T Flip-Flop : Loại tích cực theo sườn lên (kí hiệu ở hình 3-1g) và loại tích cực theo sườn xuống (kí hiệu ở hình 3-1h). Ở loại tích cực theo sườn lên, đầu ra Q sẽ lật trạng thái tại thời điểm ứng với sườn lên của xung T. Ở loại tích cực theo sườn xuống, Q sẽ lật trạng thái tại thời điểm ứng với sườn xuống của xung T.



Hình 3-4. Ví dụ minh hoạ hoạt động của các T-FF

Hình 3-4 cho ta một ví dụ minh hoạ hoạt động của hai loại T-FF.

3-1-5. Một số vi mạch Flip-Flop.

Hiện nay bán phổ biến trên thị trường là hai loại vi mạch Flip-Flop : J-K FF và D-FF.

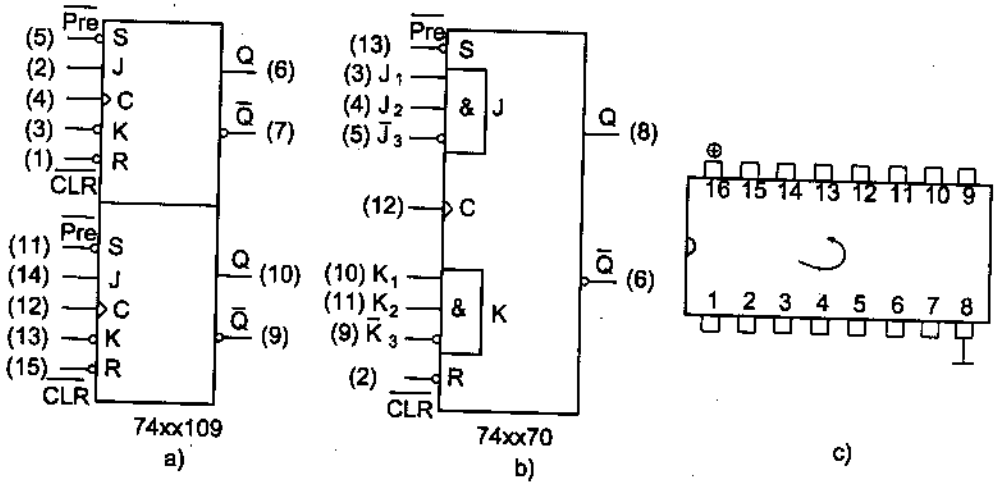
a) Trong một "chip" J-K FF có từ 1 đến 2 Flip-Flop cùng loại, và chúng thường có các đặc điểm cần lưu ý sau :

• Trong Flip-Flop thường có đầu *đặt trước* (Pre) và đầu *xoá* (CLR) không đồng bộ. Các đầu này có thể là tích cực thấp hoặc tích cực cao. Như vậy, ngoài J-K FF đồng bộ, trong nó còn có một S-R FF không đồng bộ. Đầu S chính là đầu Pre và đầu R chính là đầu CLR. Hiện nay rất hiếm các vi mạch S-R FF không đồng bộ. Khi cần dùng, bạn nên tìm các "chip" J-K FF có các đầu đặt trước và xoá không đồng bộ.

Sưu tầm bởi: www.daihoc.com.vn

• Để cho việc sử dụng được linh hoạt, một số "chip" J-K FF có nhiều đầu vào J và K. Ví dụ IC 74xx110 có ba đầu điều khiển J_1, J_2, J_3 và ba đầu điều khiển K_1, K_2, K_3. Đầu điều khiển J, K của Flip-Flop tương ứng là

$$J = J_1.J_2.J_3 \quad ; \quad K = K_1.K_2.K_3.$$



Hình 3-5. Sơ đồ chân một số IC. J-K FF

Hình 3-5a, b tương ứng là sơ đồ chân của các "chip" J-K FF 74××109 và 74××70. Chip 74109 có 16 chân, với quy ước số thứ tự các chân tăng dần theo chiều ngược kim đồng hồ (hình 3-5c). Ở hình 3-5a, b, các số trong dấu ngoặc đơn chỉ số thứ tự chân trên vỏ.

IC.74××70 gồm 14 chân, có một J-K FF với các đầu vào điều khiển J_1, J_2, $\overline{J}_3$ và K_1, K_2, $\overline{K}_3$. Kí hiệu $\overline{J}_3$, $\overline{K}_3$ là các đầu vào điều khiển tích cực thấp. Ta có :

$$J = J_1.J_2.J_3 \; ; \; K = K_1.K_2.K_3.$$

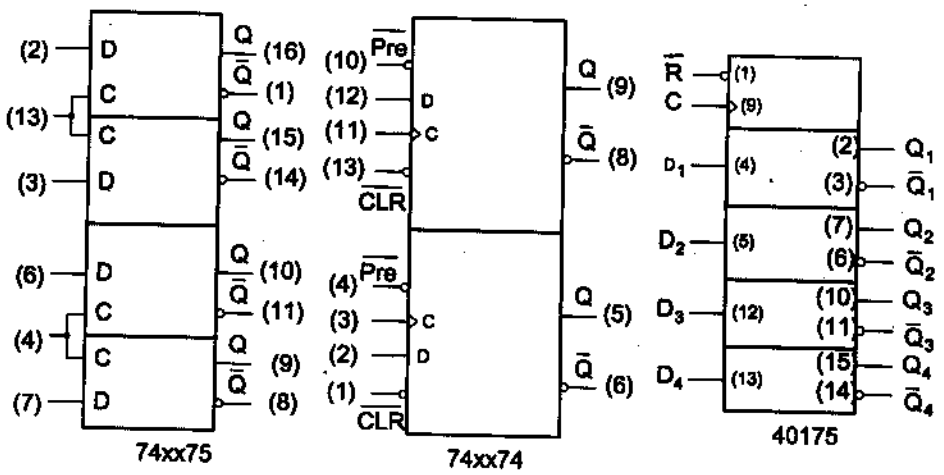
Vậy, J sẽ bằng 1 khi $J_1 = J_2 = 1$ và $\overline{J}_3 = 0$; cũng thế, K sẽ bằng 1 khi $K_2 = K_1 = 1$ và $\overline{K}_3 = 0$. Flip-Flop còn có hai đầu vào đặt trước và xoá không đồng bộ tích cực thấp ($\overline{Pre}$ và $\overline{CLR}$). Nó có vai trò như một S-R FF không đồng bộ, với S = Pre và R = CLR. Ta có thể tóm tắt hoạt động của "chip" 74xx70 trong bảng trạng thái sau (bảng 3-5).

Sưu tầm bởi: www.daihoc.com.vn

Bảng 3-5

$\overline{Pre}$/S	$\overline{CLR}$/R	C	J	K	Q_{t+}	Chú thích
0/1	1/0	×	×	×	1	
1/0	0/1	×	×	×	0	S-R FF
1/0	1/0	×	×	×	Q_t	
0/1	0/1	×	×	×	Không xác định	
1/0	1/0	0	×	×	Q_t	
1/0	1/0	1	×	×	Q_t	J-K FF
1/0	1/0	↑	0	0	Q_t	đồng bộ
1/0	1/0	↑	1	0	1	theo sườn
1/0	1/0	↑	0	1	0	lên của C.
1/0	1/0	↑	1	1	$\overline{Q}_t$	

IC 74××109 (hình 3-5a) có hai J-K FF với đầu đặt trước và xoá không đồng bộ tích cực thấp. Đầu điều khiển $\overline{K}$ cũng là tích cực thấp. Bạn đọc có thể tự thành lập bảng trạng thái mô tả hoạt động của "chip" 74××109.



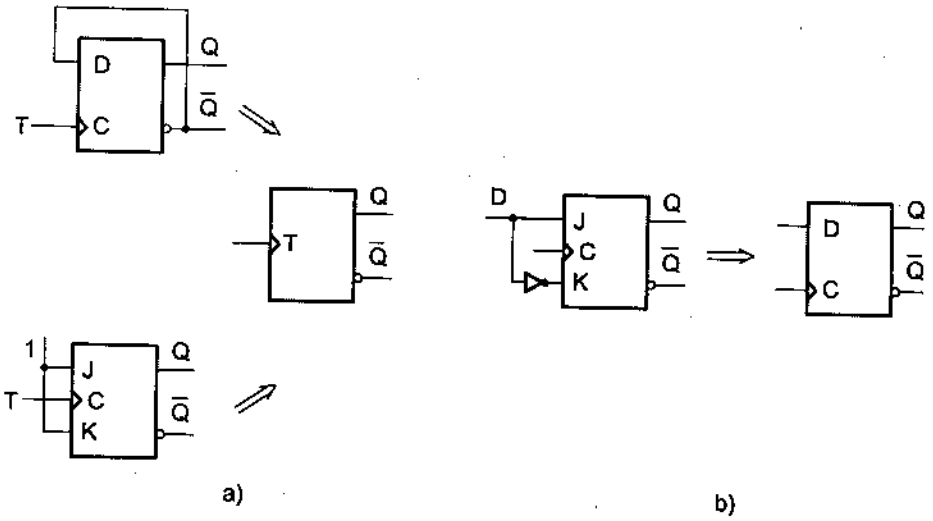
Hình 3-6. Sơ đồ chân của vài IC. D-FF

b) Hình 3-6 giới thiệu sơ đồ chân của vài vi mạch D-FF. Mỗi "chip" có từ 2 ÷ 4 D-FF cùng loại. Một số D-FF cũng có các đầu đặt trước và xoá không đồng bộ, ví dụ IC 74××74 (hình 3-6) gồm hai D-FF với các đầu đặt trước và xoá không đồng bộ tích cực thấp. Vi mạch 40175 (hình 3-6) có bốn D-FF ; chúng có chung một đầu đồng bộ C và chung một đầu xoá tích cực thấp $\overline{R}$.

Sưu tầm bởi www.dientuvietnam.com

3-1-6. Thành lập T-Flip-Flop - Flip-Flop vạn năng

• Hiện nay trên thị trường không có các vi mạch T-FF. Muốn có T-FF ta phải thành lập từ J-K FF hoặc D-FF như ở hình 3-7a. Từ hoạt động của J-K FF và D-FF đã trình bày ở trên, ta dễ dàng nhận thấy, nối J-K FF hoặc D-FF như ở hình 3-7a sẽ được T-FF.



Hình 3-7. Thành lập T-FF từ J-K hoặc D-FF và thành lập D-FF từ J-K FF

• Nếu đem nối J-K FF như ở hình 3-7b sẽ được D-FF. Ta thấy ***J-K FF là loại Flip-Flop vạn năng***, vì với những cách nối khác nhau ta sẽ được các loại Flip-Flop khác.

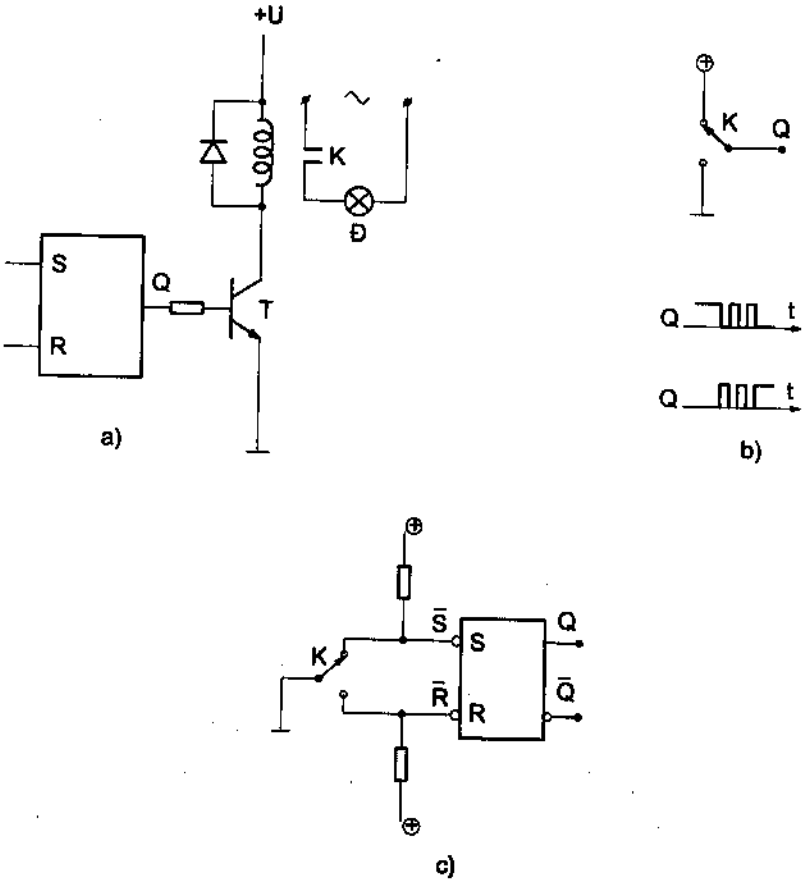
3-2. ỨNG DỤNG CỦA FLIP-FLOP

Các Flip-Flop là những phần tử lưu giữ 1 bit thông tin. Chúng là những phần tử cơ bản cấu thành các mạch logic dãy như bộ đếm, thanh ghi dịch... Ở đây ta không đề cập tới vấn đề này và chỉ xét vài ứng dụng phổ cập khác của Flip-Flop.

1. Ta thường dùng Flip-Flop làm phần tử ***lưu giữ tín hiệu điều khiển*** trong các mạch điều khiển số. Ví dụ ở hình 3-8a, khi S = 1 logic = H và R = 0 logic = L thì Q = 1 logic = H, khoá transistor dẫn bão hoà. Qua cuộn dây rơle cơ – điện có dòng, làm đóng mạch thắp sáng đèn Đ. Khi S = R = 0, nghĩa là không còn tín

Sưu tầm bởi: www.daihoc.com.vn

hiệu điều khiển đóng, đầu ra Q của S-R FF vẫn duy trì mức cao H và mạch chiếu sáng đèn vẫn đóng. Muốn ngắt mạch, ta đưa tới cửa vào Flip-Flop tín hiệu ngắt S = 0, R = 1, đầu ra Q sẽ lật xuống mức thấp L làm transistor khoá.



Hình 3-8. Một số ứng dụng của S-R Flip-Flop.

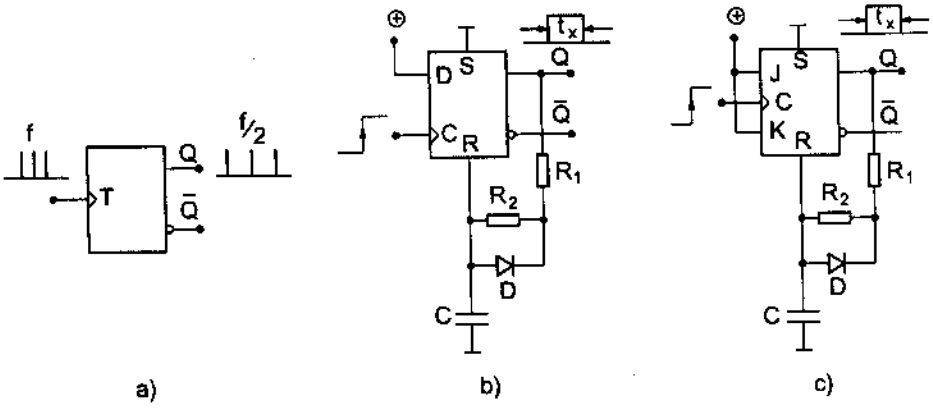
2. Có thể dùng S-R FF để ***loại trừ ảnh hưởng của hiện tượng "nẩy" của khoá cơ khí*** khi đóng/cắt. Khi dùng khoá chuyển mạch cơ khí để thay đổi mức logic của một biến thường làm xuất hiện một chuỗi xung không mong muốn, do các dao động cơ của tiếp điểm gây ra. Trên hình 3-8b, khi ta thay đổi vị trí khoá K để biến logic Q chuyển từ mức cao H xuống mức thấp L hay ngược lại ; trong thời gian quá độ, ở đầu Q sẽ xuất hiện các xung không mong muốn do sự rung động của tiếp điểm khi chuyển mạch.

Sử dụng S-R FF loại đầu vào tích cực thấp nối như hình 3-8c, sẽ loại bỏ được ảnh hưởng của các dao động cơ của khoá K khi chuyển mạch đối với tín

Sưu tầm bởi: www.daihoc.com.vn

hiệu logic ở đầu ra Q. Có thể thành lập S-R FF loại đầu vào tích cực thấp từ mạch gồm hai phần tử NAND hai đầu vào. Đầu ra của phần tử này được nối với một đầu vào của phần tử kia . Hai đầu vào còn lại nhận tín hiệu điều khiển S, R.

3. Người ta còn hay dùng T Flip-Flop để thực hiện việc chia đôi tần số của một dãy xung vuông góc. Từ hoạt động của T Flip-Flop (mục 3-1-4, hình 3-4), nhận thấy : Nếu đưa tới đầu vào T của Flip-Flop một dãy xung vuông lặp lại, tần số f, ta sẽ nhận được ở hai đầu ra Q và $\overline{Q}$ hai dãy xung vuông góc ngược pha nhau, tần số f/2 (hình 3-9a).



Hình 3-9. Dùng Flip-Flop để chia đôi tần số và tạo mạch phát xung đơn

4. Nười ta có thể dùng D-FF hoặc J-K FF, loại có đầu vào đặt trước S và đầu vào xóa R không đồng bộ (ví dụ IC họ CMOS HEF 4013B có hai D-FF, IC HEF 4027B gồm hai J-K FF) để tạo thành mạch phát xung đơn (mạch đa hài đơn ổn). Hình 3-9b, c tương ứng là sơ đồ mạch phát xung đơn dùng D-FF và dùng J-K FF, với $R_2 >> R_1$.

Xét mạch hình 3-9b. Ở trạng thái tĩnh, khi không có xung kích thích đưa tới đầu vào đồng bộ C của D-FF, đầu ra Q nằm ổn định ở mức thấp L ≈ 0V. Đặt kích thích là một bước nhảy dương vào đầu C, ta có Q = D = mức cao H = điện áp nguồn cung cấp đặt cố định ở đầu D. Tụ C được nạp điện từ mức điện áp cao H ở Q qua các điện trở R_1, R_2. Điện áp trên tụ tăng dần, phụ thuộc hằng số thời gian nạp $\tau_n \approx R_2C$ (bỏ qua R_1 vì $R_1 << R_2$). Khi điện áp trên tụ đạt giá trị mà đầu xoá không đồng bộ R yêu cầu, đầu ra Q quay trở lại mức thấp ổn định L. Tụ C phóng điện qua diod và điện trở R_1, với hằng số thời gian phóng $\tau_p \approx R_1C$.

Sưu tầm bởi: www.daihoc.com.vn

Vậy, với một kích thích ở đầu vào C, mạch cho ở hai đầu ra Q và $\overline{Q}$ hai xung đơn ngược nhau và có độ rộng :

$$t_x \approx 0,7\ R_2C \qquad (3\text{-}1)$$

Điện trở R_1 nhằm hạn chế sự phóng quá nhanh của tụ C với dòng phóng lớn. Thường R_1 chọn khoảng vài kΩ trở xuống.

Hoạt động của mạch hình 3-9c tương tự như đã trình bày ở trên.

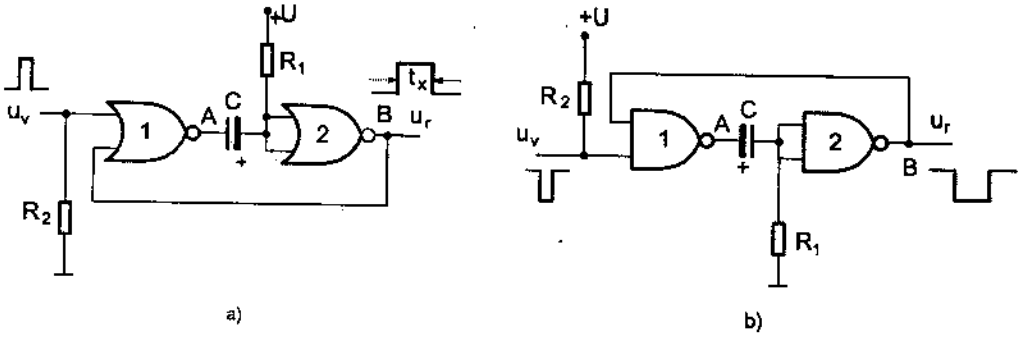
3-3. MẠCH PHÁT XUNG ĐƠN (MẠCH ĐA HÀI ĐƠN ỔN) DÙNG NANR/NOR

Một cách đơn giản và rẻ để tạo thành mạch đa hài đơn ổn là dùng các phần tử NAND hoặc NOR trong các IC họ CMOS, ví dụ IC 4001 (gồm 4 phần tử NOR hai đầu vào) hay IC 4011 (gồm 4 phần tử NAND hai đầu vào).

Hình 3-10a, b tương ứng là các mạch đa hài đơn ổn dùng NOR và NAND. Xét mạch hình 3-10a, trong đó phần tử NOR số 2 được nối thành phần tử ĐẢO ; u_v là điện áp kích thích ở đầu vào, u_r là điện áp ra. Khi không có xung kích thích ở đầu vào, u_r ở mức thấp L ≈ 0V vì đặt vào phần tử ĐẢO số 2 là mức cao H ≈ +U. Đầu ra A của phần tử NOR số 1 cũng ở mức cao H vì cả hai đầu vào của nó đều ở mức thấp L = 0V. Tụ C không tích điện vì cả hai cực bản đều ở mức cao H. Vậy trạng thái ổn định của mạch là mức thấp L ≈ 0V ở đầu ra (u_r = L = 0V). Khi đặt một xung kích thích dương ở đầu vào u_v, đầu ra A của phần tử số 1 sẽ chuyển ngay xuống mức thấp L và truyền qua cực bản phía phải của tụ C. Vì vậy, điện áp u_r ở đầu ra phần tử ĐẢO số 2 nhảy lên mức cao ; Nó được dẫn trở về một đầu vào của phần tử NOR số 1, do đó đầu ra A của phần tử vẫn được duy trì ở mức thấp L mặc dù không còn tồn tại xung kích thích u_v. Mạch chỉ nằm ở trạng thái không ổn định với u_r = H trong một thời khoảng xác định. Thật vậy, khi u_r chuyển lên mức cao H, ứng với thời điểm đặt xung kích thích, cũng là lúc tụ C được nạp từ nguồn cung cấp +Ư qua R_1 ; Điện áp phía cực + (cực bản phía phải) của tụ tăng dần theo luật hàm mũ tới khi đạt giá trị ngưỡng lật $U_T \approx +\dfrac{U}{2}$ thì phần tử ĐẢO số 2 lật xuống mức thấp với u_r = L ≈ 0V. Ta thấy, cứ mỗi lần có xung kích thích u_v thì mạch lại cho một xung vuông góc u_r ở đầu ra, độ rộng xung t_x tính gần đúng bằng :

$$t_x \approx R_1 C \ln 2 \approx 0,7.R_1.C \qquad (3\text{-}2)$$

Sưu tầm bởi: www.daihoc.com.vn



Hình 3-10. Mạch đa hài đơn ổn dùng NOR/NAND

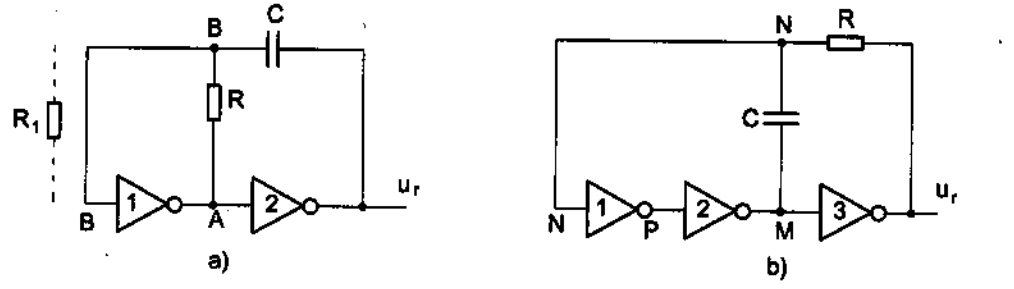
Mạch đa hài đơn ổn ở H-3-10b có nguyên lí làm việc giống mạch hình 3-10a.

Các mạch đa hài dùng NAND/NOR ở trên không thích hợp với những ứng dụng yêu cầu độ chính xác cao, vì độ rộng xung t_x phụ thuộc điện áp nguồn cung cấp +U và phụ thuộc khá nhiều vào bản thân các IC được sử dụng. Tụ C có thể có giá trị khoảng từ 100pF đến vài nghìn μF, điện trở R_1 nằm trong khoảng vài kΩ đến vài MΩ.

3-4. MẠCH ĐA HÀI PHIẾM ĐỊNH DÙNG CÁC IC SỐ

Người ta còn hay dùng các phần tử NAND/NOR họ CMOS (ví dụ các IC 4011, 4001) để tạo thành những mạch đa hài phiếm định, phát ra dãy xung lặp vuông góc với độ chính xác không cao. Ta chia các mạch này thành hai nhóm : Các mạch không điều khiển và các mạch có điều khiển.

3-4-1. Mạch đa hài phiếm định không điều khiển là mạch *liên tục* phát ra dãy xung vuông góc với chu kỳ lặp xác định, không có sự điều khiển giới hạn khoảng thời gian phát xung. Hình 3-11a là sơ đồ cơ bản của mạch, gồm hai phần tử ĐẢO nối tầng và mạch định thời R-C. Các phần tử ĐẢO trong sơ đồ thường do phần tử NAND/NOR họ CMOS tạo thành (xem mục 1-7-2).



Hình 3-11. Mạch đa hài phiếm định không điều khiển

Sưu tầm bởi: www.daihoc.com.vn

Xét sự làm việc của mạch hình 3-11a. Giả sử ở thời điểm bắt đầu khảo sát, u_r ở mức cao H ≈ +U = điện áp nguồn cung cấp, điểm A ở mức thấp L ≈ 0V và điểm B ở mức cao H ; Tụ C không tích điện và được nạp theo chiều từ u_r = H → C → R → A. Điện áp ở điểm B sẽ giảm dần từ mức cao H theo sự giảm của dòng nạp cho tụ. Khi điểm B đạt giá trị ngưỡng lật U_T ≈ H/2 ≈ +U/2, thì phần tử ĐẢO số 1 lật trạng thái và điểm A nhảy lên mức cao H, điện áp ra U_r tụt xuống mức thấp L ≈ 0V. Tụ C lúc đó cũng nhanh chóng phóng điện qua mạch ở cửa vào của phần tử 1. Điện áp ở điểm B vì vậy cũng tụt ngay xuống mức thấp L. Tụ C trở nên không tích điện và bắt đầu được nạp theo chiều ngược lại, từ A = H → R → C → u_r = L. Điện áp ở điểm B vì vậy tăng dần từ mức thấp L theo sự tăng của điện áp trên tụ. Khi B đạt ngưỡng lật U_T thì phần tử ĐẢO số 1 lại lật trạng thái và điểm A lại chuyển từ H sang L, u_r nhảy từ L lên H. Tụ C một lần nữa nhanh chóng phóng hết điện qua mạch vào của phần tử 1 và B = H. Tụ lại bắt đầu được nạp theo chiều từ u_r = H → C → R → A = L. Quá trình tiếp tục lặp lại như trên. Kết quả mạch cho ta điện áp ra u_r là *một dãy xung vuông góc đối xứng* với chu kì lặp :

$$T \approx 1,4RC \qquad (3\text{-}3)$$

và biên độ xấp xỉ điện áp nguồn cung cấp +U. Nếu chọn tụ C từ vài nF đến vài μF (không dùng tụ hoá) và điện trở R trong dải từ vài kΩ đến hàng chục MΩ, tần số của dãy xung ra có thể nằm trong dải từ vài Hz đến khoảng 1MHz. Điện áp nguồn cung cấp cho IC họ CMOS có thể lấy từ 3 ÷ 18V.

Nhược điểm của mạch hình 3-11a là dãy xung vuông góc nhận được không hoàn toàn đối xứng ; Tần số của dãy xung thay đổi theo điện áp nguồn cung cấp và theo các "chip" IC khác nhau được sử dụng. Khi điện áp nguồn cung cấp tăng 10% thì tần số dãy xung phát ra giảm khoảng 0,8%. Để giảm đến tối đa các nhược điểm của mạch hình 3-11a, ở đường về cửa vào của phần tử số 1, người ta đặt thêm điện trở R_1 (trên sơ đồ hình 3-11a có vẽ điện trở R_1 ở bên cạnh với nét đứt khúc, ý nói có thể chèn thêm vào). Trị số của R_1 chọn rất lớn hơn R, (ví dụ chọn R_1 = 10R).

Mạch đa hài phiếm định hai tầng ở hình 3-11a còn có một nhược điểm quan trọng là sườn lên và xuống của các xung không trơn, tồn tại các gai xung nhiễu ở hai sườn xung. Để loại bỏ nhược điểm này, ta dùng mạch đa hài phiếm định ba tầng ở hình 3-11b. Điện áp ra u_r của mạch là một dãy xung vuông góc đối xứng, không có gai xung nhiễu ở hai sườn xung. Hoạt động của mạch như sau : Giả sử ở thời điểm ban đầu khảo sát, điện áp ra u_r ở mức thấp L ≈ 0V và tụ C không tích điện, điểm M và N có điện áp nằm ở mức cao H ≈ +U, (+U là điện

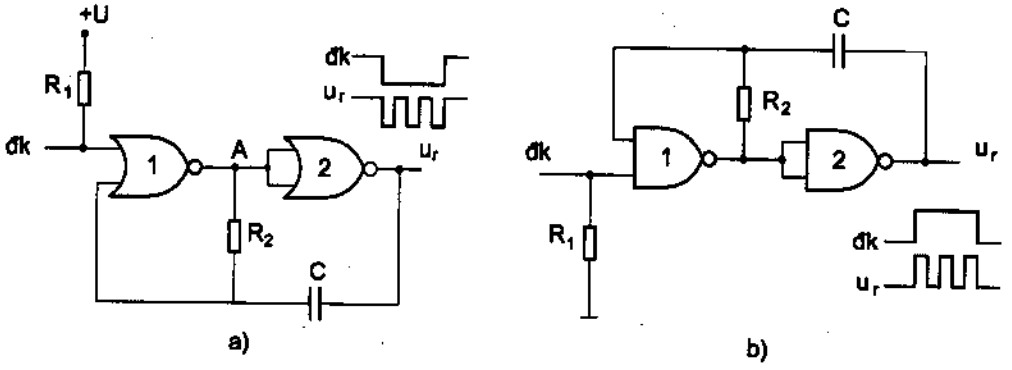
Sưu tầm bởi: www.daihoc.com.vn

áp nguồn cung cấp), điện áp điểm P là ở mức thấp L. Tụ C bắt đầu được nạp theo chiều từ M = mức cao H → C → N → R → u_r = L. Điện áp ở điểm N giảm dần từ mức cao H theo sự giảm của dòng nạp. Khi điện áp điểm N giảm tới giá trị ngưỡng lật U_T, thì phần tử ĐẢO số 1 lật trạng thái và đầu ra P của nó chuyển ngay lên mức cao H, còn đầu M lật sang mức thấp L và u_r nhảy lên mức cao H. Tụ C nhanh chóng phóng điện hết qua cửa vào của phần tử số 1 và điểm N cũng chuyển ngay xuống mức thấp L. Bây giờ, tụ C lại bắt đầu nạp theo chiều ngược lại, từ u_r = H → R → C → M = L. Điện áp ở điểm N tăng dần từ mức thấp L ≈ 0V, cho tới khi đạt ngưỡng lật U_T thì phần tử 1 lại lật trạng thái, điểm P chuyển xuống mức thấp L và điểm M nhảy lên mức cao hình Điện áp ra u_r chuyển nhanh xuống mức thấp L. Tụ C mau chóng phóng hết điện qua cửa vào của phần tử số 1 và N cũng ở mức cao H. Quá trình tiếp diễn lặp lại như đã trình bày ở trên. Kết quả u_r là một dãy xung vuông góc đối xứng không có gai xung nhiễu ở hai sườn xung.

3-4-2. Mạch đa hài phiếm định có điều khiển

Nó là mạch chỉ có thể phát ra dãy xung vuông góc trong một thời khoảng xác định mà ta có thể điều khiển được. Để có loại mạch này, ta dùng mạch đa hài phiếm định không điều khiển ở hình 3-11, với dãy xung ra u_r được dẫn tới một cổng VÀ hay HOẶC (xem mục 1-8-1). Dùng một xung có độ rộng t_x để điều khiển mở cổng cho dãy xung u_r đi qua. Sau thời gian t_x thì cổng đóng và dãy xung bị chặn.

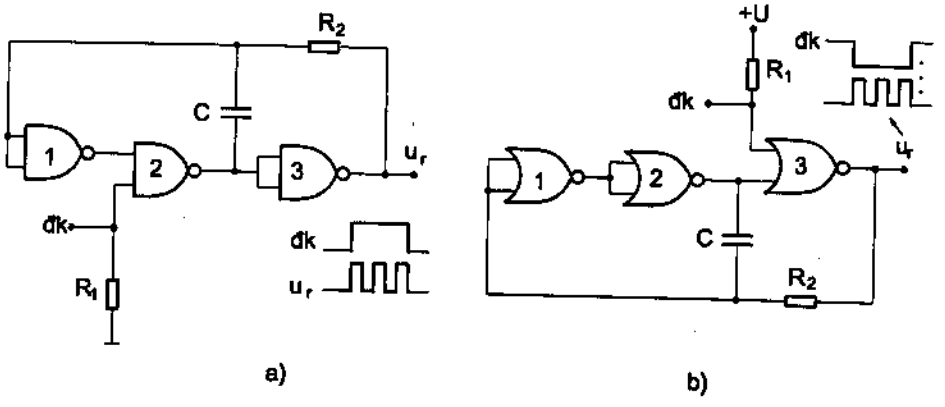
Tuy nhiên, từ tính chất là các phần tử NAND/NOR cũng có thể sử dụng như một cổng logic, ta có thể thành lập các mạch đa hài phiếm định hai tầng có điều khiển như ở hình 3-12, trong đó đk là tín hiệu điều khiển để mạch làm việc, u_r là dãy xung ra.



Hình 3-12. Mạch đa hài phiếm định 2 tầng, có điều khiển

Sưu tầm bởi: www.daihoc.com.vn

Xét mạch hình 3-12a. Khi tín hiệu điều khiển đk ở mức cao H (hoặc khi không có tín hiệu điều khiển), phần tử NOR số 1 trở thành cổng logic ở trạng thái đóng. Điểm A nằm cố định ở mức điện áp thấp L ≈ 0V và u_r nằm ổn định ở mức cao H ≈ +U. Tụ C được nạp tới mức cao H. Mạch không làm việc. Khi tín hiệu điều khiển đk ở mức thấp L, cổng 1 mở và trở thành phần tử ĐẢO. Mạch lúc đó có cấu trúc hoàn toàn giống mạch hình 3-11a và nó phát ra dãy xung vuông góc đối xứng. Vậy mạch chỉ làm việc cho ra dãy xung vuông góc trong thời gian khi đk = L. Một cách tương tự, ta dễ dàng nhận thấy mạch hình 3-12b chỉ làm việc và phát xung khi tín hiệu điều khiển đk = H. Khi đk = L, mạch dừng và u_r nằm cố định ở mức L.



Hình 3-13. Mạch đa hài phiếm định 3 tầng, có điều khiển

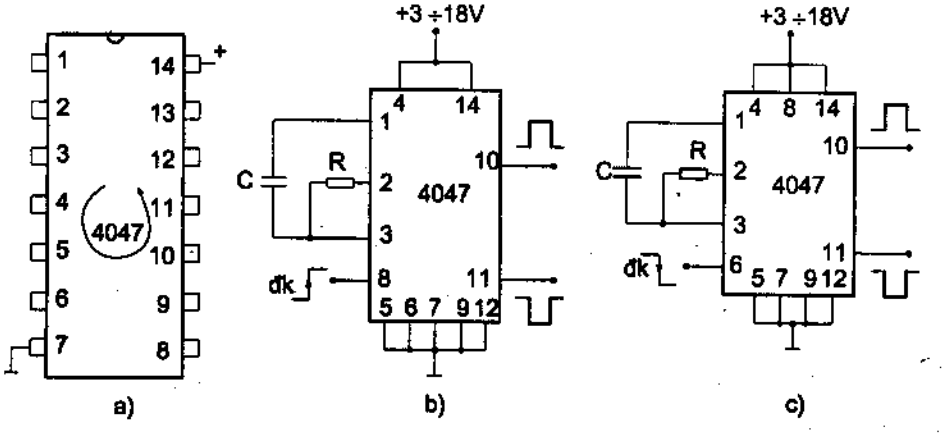
Mạch đa hài phiếm định hai tầng có điều khiển ở trên phát ra dãy xung vuông góc đối xứng không dẹp, ở hai sườn xung có các gai xung nhiễu. Để khắc phục nhược điểm này, người ta xây dựng các mạch đa hài phiếm định 3 tầng có điều khiển (hình 3-13). Về mặt cấu trúc, những mạch này hoàn toàn dựa trên cấu trúc mạch 3 tầng không điều khiển ở hình 3-11b, nhưng có một tầng trong mạch (phần tử số 2 ở hình 3-13a và phần tử số 3 ở hình 3-13b) được sử dụng như một cổng logic với tín hiệu điều khiển đk để đóng/mở cổng. Khi đk = mức cao H (đối với hình 3-13a) hoặc đk = mức thấp L (đối với hình 3-13b) thì mạch hoàn toàn trở thành mạch hình 3-11b và nó phát ra dãy xung vuông góc mong muốn. Ngược lại, khi đk = L (đối với hình 3-13a) hay đk = H (với hình 3-13b) thì mạch không hoạt động, điện áp ra u_r nằm cố định ở mức thấp L ≈ 0V.

Sưu tầm bởi: www.daihoc.com.vn

3-5. BỘ ĐA HÀI 4047 VÀ 74121

3-5-1. IC 4047

"Chip" 4047 là một vi mạch đa hài họ CMOS, dùng để phát ra một xung đơn (mạch đa hài đơn ổn), hoặc để tạo ra một dãy xung vuông góc (mạch đa hài phiếm định). Hình 3-14a là vỏ IC 4047 nhìn từ trên xuống. Nó gồm 14 chân, đánh số tăng dần theo chiều ngược kim đồng hồ, từ 1 đến 14. Các chân 1, 2, 3 để nối với các điện trở và điện dung định thời. Chân số 4 và chân số 5 dùng để điều khiển mạch làm việc ở trạng thái đa hài phiếm định. Chân số 8 và chân số 6 tương ứng là các đầu vào kích thích theo sườn lên và theo sườn xuống của xung điều khiển, khi mạch làm việc ở chế độ đa hài đơn ổn. Chân 9 là chân xoá (tích cực cao) hay còn gọi là chân thiết lập lại (reset). Chân 10 và 11 tương ứng là các đầu ra không đảo và đảo ; chúng phát ra hai xung đơn ngược nhau khi IC làm việc ở chế độ đa hài đơn ổn. Chân 12 dùng để kích khởi lại (retrigger). Cuối cùng là chân 13 phát ra dãy xung vuông góc khi IC làm việc ở chế độ đa hài phiếm định. Nguồn cung cấp +3 ÷ +18V đặt vào chân 14.



Hình 3-14. IC 4047 và các cách nối thành mạch đa hài đơn ổn

Hình 3-14b, c là hai cách nối IC 4047 để nó làm việc ở chế độ mạch đa hài đơn ổn, tương ứng với kích thích theo sườn lên và theo sườn xuống của xung điều khiển đk. Độ rộng xung đơn ở hai đầu ra 10 và 11 gần đúng là :

$$t_x = 2{,}48R.C \approx 2{,}5\ RC \qquad (3\text{-}4)$$

Sưu tầm bởi: www.daihoc.com.vn

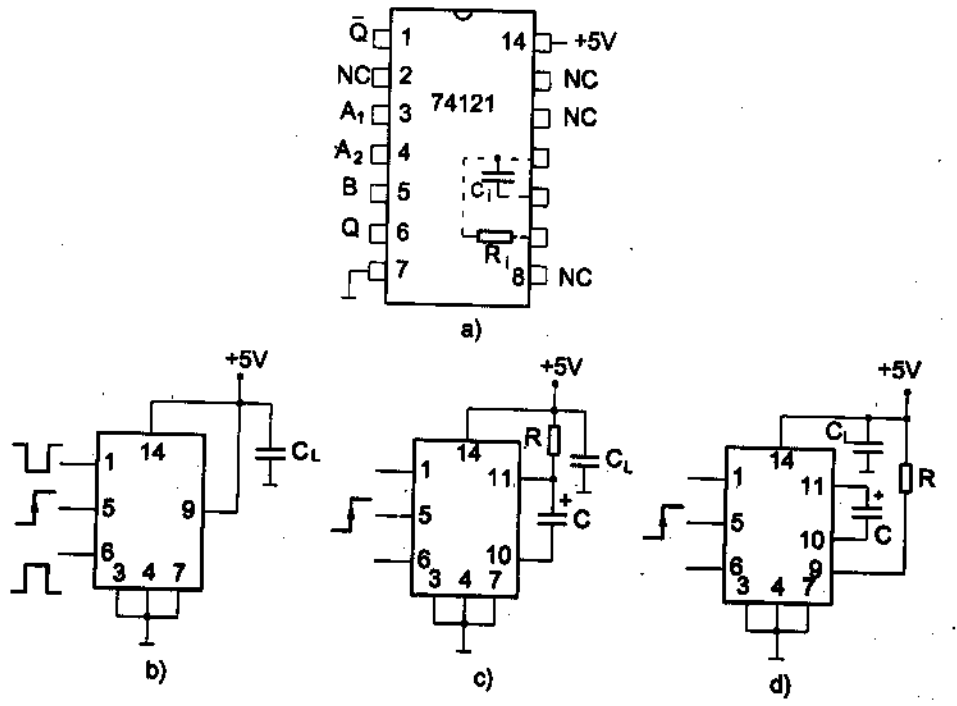
Cách nối của IC 4047 để nó làm việc ở chế độ mạch đa hài phiếm định, phát ra dãy xung vuông góc đối xứng với chu kì lặp lại T là : Những điện trở, điện dung định thời đặt vào các chân số 1, 2, 3, tựa như ở hình 3-14b, c ; Bốn chân 4, 5, 6, 14 đều nối chung với điện áp nguồn cung cấp (+3 ÷ +18V) ; Bốn chân 7, 8, 9, 12 đem nối "mát". Khi đó, đầu ra số 13 cho ta dãy xung vuông góc đối xứng với tần số :

$$f \approx \frac{1}{2,2R.C} \qquad (3\text{-}5)$$

Đầu ra số 10 và 11 cho hai dãy xung vuông góc đối xứng ngược pha nhau, với tần số :

$$f \approx \frac{1}{4,4R.C}, \qquad (3\text{-}6)$$

trong đó R = 10kΩ ÷ 1MΩ và C ≥ 100 pF là các điện trở, điện dung định thời.



Hình 3-15. IC 74121 và các cách nối mạch định thời R-C

3-5-2. IC 74121

Chip 74121 là một vi mạch đa hài đơn ổn họ TTL. Hình 3-15a là vỏ của IC 74121 nhìn từ trên xuống, gồm 14 chân. Ba chân số 3, 4, 5 dùng để đặt các

Sưu tầm bởi: www.daihoc.com.vn

xung kích thích A_1, A_2, B. Hai chân số 1, 6 là hai đầu ra $\overline{Q}$,Q. Các chân số 9, 10, 11 dùng để thành lập mạch định thời, nối các điện trở và điện dung định thời ở bên ngoài với các điện trở, điện dung định thời có sẵn bên trong vi mạch (R_i, C_i). Những chân kí hiệu NC là chân không dùng tới.

Với ba tín hiệu kích thích A_1, A_2, B, ta có các phương pháp kích thích khác nhau để mạch đa hài đơn ổn làm việc. Bảng 3-6 chỉ ra các phương pháp kích thích của IC 74121. Trong bảng, kí hiệu ↑ chỉ sườn lên của xung ; kí hiệu ↓ chỉ sườn xuống của xung ; kí hiệu × là tùy chọn, có thể là mức thấp L hay mức cao H. Từ bảng 3-6 ta thấy có hai cách chính để kích khởi hoạt động của IC 74121 :

Bảng 3-6

A_1	A_2	B
H	↓	H
↓	H	H
↓	↓	H
L	×	↑
×	L	↑

• ***Kích thích ở sườn xuống*** của xung kích khởi : Chân số 5 đặt cố định ở mức cao H (B = H) hoặc để hở ; mạch sẽ được kích thích ở sườn xuống của một trong hai xung kích khởi A_1, A_2 (hoặc cả hai).

• ***Kích thích ở sườn lên*** của xung kích khởi : Một trong hai chân số 3 và 4, hoặc cả hai đặt cố định ở mức thấp L (A_1 hoặc/và A_2 bằng L) ; mạch sẽ được kích thích ở sườn lên của xung kích khởi B ở chân 5. Lưu ý là chân số 5 này được dẫn tới đầu vào của một trigơ smith ở bên trong IC 74121. Do đó sườn lên của ***B có thể tăng chậm***. Ví dụ B có thể là dao động hình sin thì mạch vẫn được kích thích ở 1/4 chu kì dương, khi B tăng từ 0.

Ở thời điểm được kích thích, hai đầu ra Q và $\overline{Q}$ (chân 6 và 1) sẽ từ trạng thái ổn định chuyển sang trạng thái không ổn định (Q từ L → H, $\overline{Q}$ từ H → L) và nằm ở đây trong một khoảng thời gian xác định. Kết quả ta nhận được ở hai đầu ra hai xung đơn ngược nhau với độ rộng xung :

$$t_x \approx 0{,}7\ R_T C_T\ , \qquad (3\text{-}7)$$

trong đó R_T, C_T là điện trở và điện dung tương đương trong mạch định thời. Các điện trở này nằm trong khoảng : $2k\Omega \le R_T \le 40k\Omega$, $10pF \le C_T \le 10\mu F$; vì vậy độ rộng xung t_x nằm trong dải 14ns ÷ 0,4s.

Xét các cách tạo mạch định thời cho IC 74121 : Hình 3-15b, c, d cho ta ba cách nối IC tương ứng với ba mạch định thời khác nhau. Ở hình 3-15b, ta chỉ sử dụng các thành phần định thời R_i, C_i ở bên trong vi mạch ($R_i = 2k\Omega$, C_i khoảng vài nF) ; độ rộng xung ở các đầu ra, tính theo (3-7) chỉ khoảng 30 ÷ 40 ns. Hình 3-15c là cách nối bỏ qua điện trở bên trong R_i và ta có $R_T = R$, $C_T = C_i + C$. Hình 3-15d là cách tạo mạch định thời sử dụng phối hợp cả các điện trở và tụ bên ngoài lẫn bên trong, ta có $R_T = R + R_i$, $C_T = C + C_i$. Nếu tụ bên ngoài C là

Sưu tầm bởi: www.daihoc.com.vn

tụ hoá, có trị số lớn, thì cực + của tụ phải ở phía chân số 11. Trên hình vẽ còn có tụ lọc nguồn $C_L = 0,1 \div 1\mu F$.

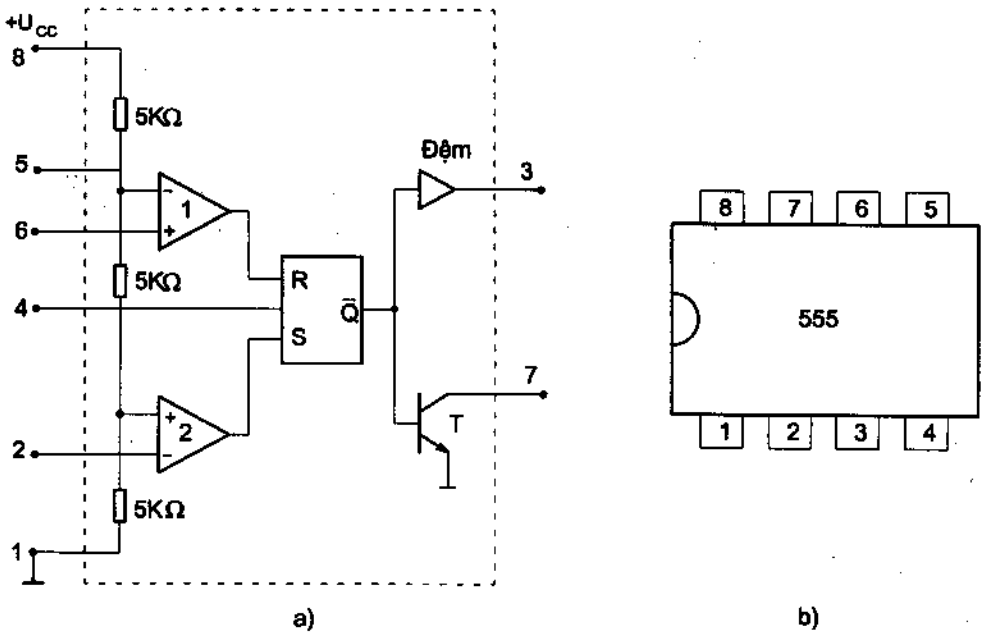
Khi điện áp nguồn cung cấp thay đổi ±5% thì độ rộng xung ở đầu ra thay đổi tối đa ±2%. Độ rộng xung thay đổi hầu như không đáng kể khi nhiệt độ thay đổi trong phạm vi khá rộng ($-55^oC \div 125^oC$).

3-6. VI MẠCH ĐỊNH THỜI 555 (TIMER 555)

Timer 555 là một vi mạch định thời rất thông dụng. Nó có thể sử dụng theo nhiều chức năng : làm mạch đa hài đơn ổn hoặc phiếm định, để tạo một xung vuông đơn hay một dãy xung vuông góc lặp lại, hoặc một dãy xung tam giác. Thời gian định thời có thể thay đổi từ vài μs đến vài trăm giây (s) nhờ một mạch R-C đơn giản, với độ chính xác điển hình là ±1%.

3-6-1. Khái niệm về mạch định thời 555

Có hai loại mạch định thời thông dụng nhất là *Timer 555* chế tạo theo công nghệ transistor lưỡng cực (BJT) và *Timer 7555* chế tạo theo công nghệ CMOS. Điện áp cung cấp cho IC 555 là 5 ÷ 15V, cho IC 7555 là 2 ÷ 18V. Công suất tiêu thụ và dòng cung cấp ở IC 7555 cũng nhỏ hơn nhiều so với ở IC 555. Với nguồn +15V, IC 555 yêu cầu dòng cung cấp cỡ 10mA. Dòng đầu ra cực đại của IC 555 có thể đạt tới 200mA (ở IC 7555 chỉ bằng khoảng 1/2).



Hình 3-16. Sơ đồ khối chức năng và vỏ của IC 555

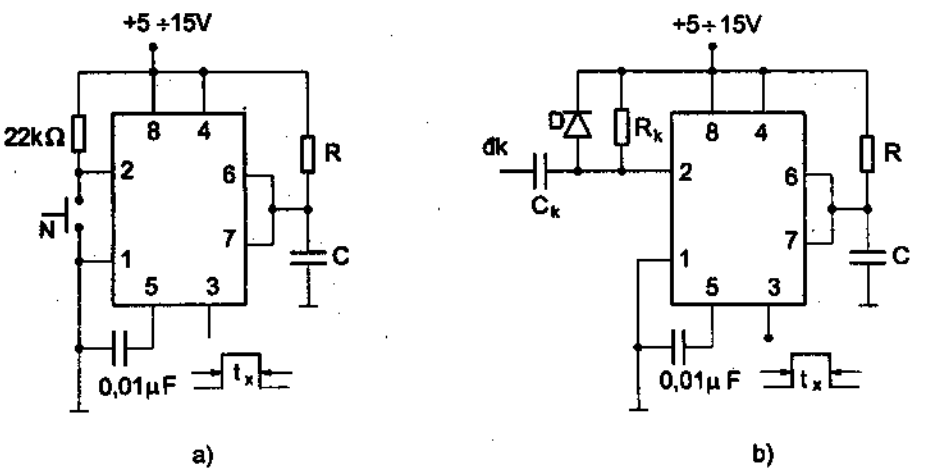
Sưu tầm bởi: www.daihoc.com.vn

Hình 3-16a, b tương ứng là sơ đồ khối chức năng và vỏ kiểu hai hàng chân song song của IC 555. Ở đây ta chỉ xét vai trò của tám chân (1 ÷ 8) trên vỏ IC ở hình 3-16b : Chân số 8 để đặt nguồn cung cấp U_{CC} = 5 ÷ 15V. Chân số 1 là chân nối "mát". Chân số 2 là đầu vào kích khởi (trigger), dùng để đặt xung kích thích bên ngoài khi mạch làm việc ở chế độ đa hài đơn ổn. Chân số 3 là đầu ra của IC. Chân số 4 là chân xoá (Reset) ; nó có thể điều khiển xoá điện áp đầu ra khi điện áp đặt vào chân này từ 0,7V trở xuống. Vì vậy, để có thể phát ra xung ở đầu ra, chân số 4 phải đặt ở mức cao H. Chân số 5 là chân điện áp điều khiển (Control Voltage). Ta có thể đưa một điện áp ngoài vào chân này để làm thay đổi việc định thời của mạch, nghĩa là làm thay đổi tần số dãy xung phát ra. Khi không được sử dụng thì chân 5 nối xuống "mát" thông qua một tụ khoảng 0,01μF. Chân 6 là chân điện áp ngưỡng (Threshold). Chân 7 là chân phóng điện (Discharrge).

3-6-2. Chế độ làm việc như mạch đa hài đơn ổn của IC 555

Hình 3-17a, b tương ứng là sơ đồ nối IC 555 theo chế độ làm việc của mạch đa hài đơn ổn, với kích thích bằng tay và kích thích tự động nhờ một xung điều khiển đk. Ở cả hai sơ đồ của hình 3-17, nếu tạo được một điện áp có biên độ dưới 1/3 điện áp nguồn cung cấp để đặt vào chân kích khởi số 2, thì ở đầu ra 3 của IC 555 sẽ phát ra một xung đơn vuông góc với độ rộng :

$$t_x = RC\ln 3 \approx 1{,}1R.C \qquad (3\text{-}8)$$



Hình 3-17. Thành lập mạch đa hài đơn ổn từ IC 555

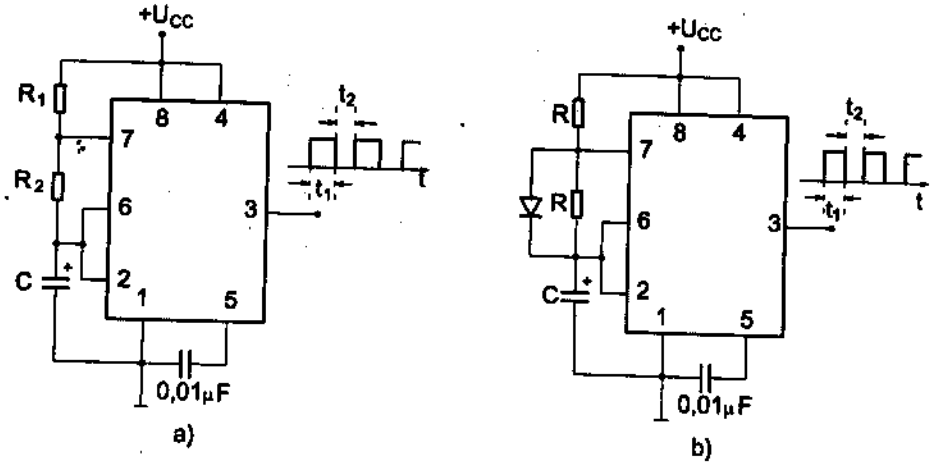
Sưu tầm bởi: www.daihoc.com.vn

Xét sơ đồ hình 3-17a với mạch kích khởi gồm điện trở 22kΩ nối tiếp với nút ấn bằng tay N. Khi không nhấn nút ấn, điện áp ở chân 2 bằng điện áp nguồn cung cấp U_{cc} (+ 5 ÷ +15V) và mạch ở trạng thái ổn định, với điện áp ở đầu ra 3 nằm ở mức thấp L (L ≈ 0V). Tại thời điểm nhấn nút ấn N, chân 2 được nối "mát", thoả mãn điều kiện kích khởi (điện áp ở chân 2 nhỏ hơn $U_{cc}/3$) nên điện áp ở đầu ra 3 nhảy lên mức cao H ≈ $+U_{cc}$. Mạch nằm ở trạng thái không ổn định với mức cao H ở đầu ra trong một thời khoảng xác định, tuỳ thuộc vào các điện trở và điện dung định thời R, C. Sau đó lại tự động quay trở lại trạng thái ổn định với mức thấp L ở đầu ra. Vậy ta nhận được ở đầu ra 3 một xung đơn vuông góc với độ rộng xung t_x tính theo (3-8).

Mạch hình 3-17a không thể tạo ra một xung đơn với độ rộng xung hẹp vì sự nhả chậm của nút ấn N. Nó chỉ thích hợp để tạo ra xung đơn có độ rộng vài chục giây trở lên. Để có được xung đơn vuông góc rất hẹp, ta phải sử dụng sơ đồ hình 3-17b với mạch kích khởi gồm C_k - R_k và diod D. Khi không có xung kích khởi đk, điện áp ở chân 2 bằng điện áp nguồn cung cấp và mạch nằm ở trạng thái ổn định. Lúc đặt xung vuông kích khởi đk với sườn lên nhảy từ 0V đến khoảng $+U_{cc}$, ở chân 2 sẽ xuất hiện xung đanh thoả mãn điều kiện kích khởi ; mạch sẽ cho ở đầu ra 3 một xung vuông góc có độ rộng t_x tính theo (3-8). Các trị số C_k, R_k phải chọn sao cho hằng số thời gian $C_k.R_k$ phải nhỏ hơn độ rộng xung t_x của xung ra.

3-6-3. Chế độ làm việc như mạch đa hài phiếm định của IC.555

Hình 3-18a là sơ đồ nối của IC 555 để nó làm việc như một mạch đa hài phiếm định. Chân ra số 3 sẽ phát ra một dãy xung vuông góc lặp lại. Từ hình 3-18a ta thấy : Thời



Hình 3-18. *Dùng IC 555 làm mạch đa hài phiếm định và làm mạch phát dãy xung răng cưa.*

Sưu tầm bởi: www.daihoc.com.vn

gian tồn tại xung t_1 (độ rộng xung) phụ thuộc tốc độ nạp của tụ C từ nguồn cung cấp, nghĩa là tỉ lệ với hằng số thời gian nạp $\tau_n = (R_1 + R_2)C$, ta có :

$$t_1 = (R_1 + R_2)C\ln 2 \approx 0,7(R_1 + R_2)C \qquad (3\text{-}9)$$

Thời gian không có xung t_2 (thời gian nghỉ) phụ thuộc sự phóng điện của tụ C qua chân phóng điện số 7, nghĩa là tỉ lệ với hằng số thời gian phóng $\tau_p = R_2C$ và :

$$t_2 = R_2C\ln 2 \approx 0,7R_2C \qquad (3\text{-}10)$$

Vậy, tần số của dãy xung ở đầu ra :

$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} \approx \frac{1,44}{(R_1 + 2R_2)C} \qquad (3\text{-}11)$$

Muốn nhận được dãy xung vuông góc đối xứng, nghĩa là $t_1 = t_2 = \frac{T}{2}$ ta có thể làm theo hai cách sau :

• Chọn $R_1 << R_2$. Lúc đó, theo (3-9) và (3-10) có thể coi $t_1 \approx t_2 = 0,7R_2C$. Tuy nhiên không thể chọn R_1 quá nhỏ được, ví dụ $R_1 = 100\Omega$, vì khi đó dòng đi từ nguồn $+U_{cc}$ vào chân 7 khi transistor T dẫn (hình 3-16a) là $\frac{+U_{cc}}{R_1}$ sẽ quá lớn, phá hỏng transistor.

• Sử dụng thêm một diod mắc song song với R_2 và chọn $R_1 = R_2 = R$, (hình 3-18b). Ở hình 3-18b, đường nạp cho tụ C từ nguồn $+U_{cc}$ có đi qua diod ; điện trở R nối song song với diod khi đó coi như bị ngắn mạch và hằng số thời gian của mạch nạp $\tau_n = RC$. Khi tụ C phóng điện vào chân 7 thì nó không thể phóng qua diod (vì mắc ngược) và hằng số thời gian của mạch phóng $\tau_p = RC$. Ta thấy $\tau_n = \tau_p$ nên :

$$t_1 = t_2 \approx 0,7RC$$

Dãy xung ở đầu ra là đối xứng, với tần số

$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} = \frac{1}{1,4RC}. \qquad (3\text{-}12)$$

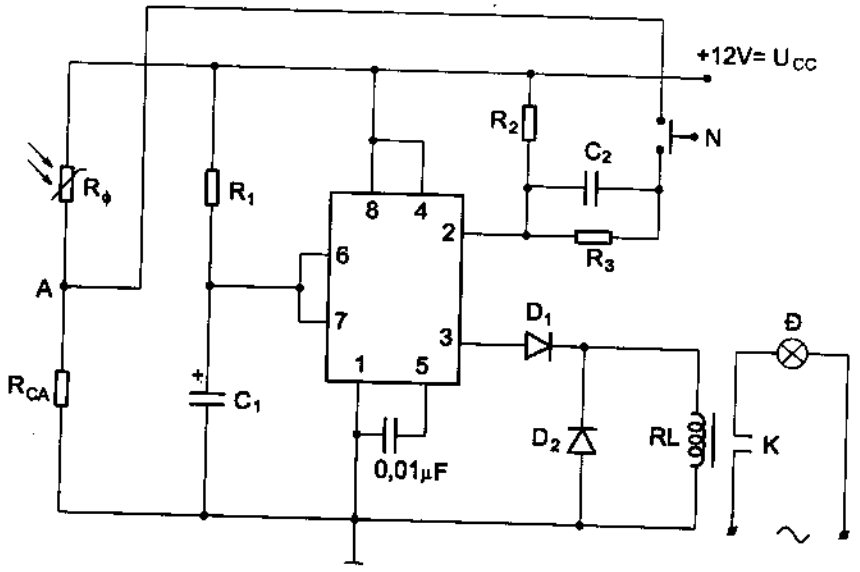
3-7. MỘT SỐ ỨNG DỤNG THỰC TẾ CỦA IC.555

Ở trên ta vừa khảo sát việc sử dụng IC.555 làm các mạch đa hài đơn ổn và phiếm định. Chúng được phổ cập trong rất nhiều ứng dụng thực tế. Dưới đây là một số ví dụ.

1. Mạch đa hài đơn ổn dùng IC.555 được sử dụng chủ yếu như một rơle thời gian, để điều khiển hoạt động của một đối tượng nào đó trong một thời gian xác

Sưu tầm bởi: www.daihoc.com.vn

định. Lấy sơ đồ hình 3-19 làm ví dụ. Đây là sơ đồ tự động bật đèn chiếu sáng ở cổng khi có khách đến vào buổi tối. Trên sơ đồ, nút ấn N dùng để phát hiện khi có khách đến (ví dụ đặt ở cổng, khi mở cổng thì nút N bị nhấn và đóng mạch). R_ϕ là phần tử quang điện trở bán dẫn ; cường độ sáng chiếu vào phần tử càng mạnh thì R_ϕ càng giảm. Nó dùng để phân biệt trời tối và sáng. Xét hoạt động của sơ đồ : IC.555 được đấu thành mạch đa hài đơn ổn ; tải ở chân ra 3 là cuộn dây RL của rơ le điện từ với tiếp điểm thường mở K ; $R_\phi - R_{CA}$ hợp thành phân áp



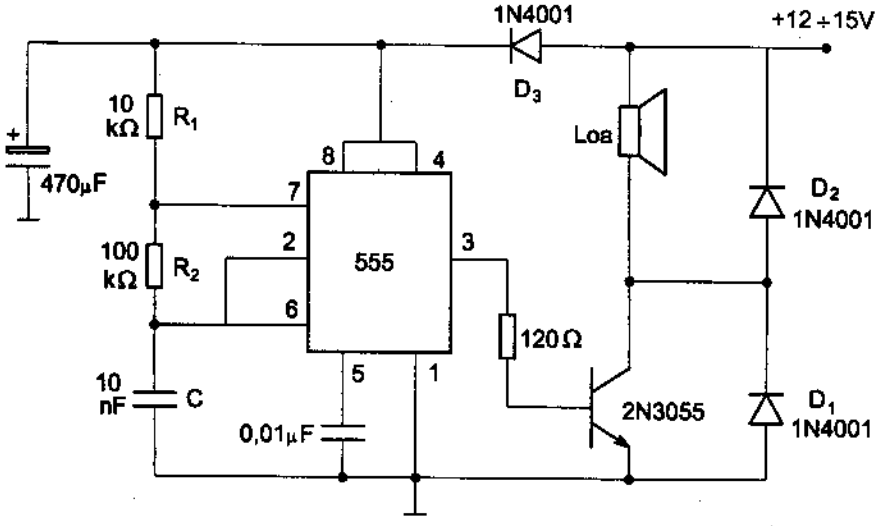
Hình 3-19. Mạch tự động bật đèn khi có khách đến vào buổi tối

và ta điều chỉnh R_{CA} ở trị số sao cho vào ban ngày R_ϕ nhỏ, điện áp u_A tại điểm A lớn hơn ngưỡng kích khởi yêu cầu đặt lên chân kích khởi 2 ($u_A > \frac{U_{cc}}{3}$), vào buổi tối R_ϕ lớn và u_A trở nên ở dưới ngưỡng kích khởi ($u_A < \frac{U_{cc}}{3}$). Khi nút N hở, toàn bộ nguồn cung cấp $+U_{CC}$ đặt trên chân 2 nên mạch không hoạt động. Ban ngày, nếu nhấn nút N thì mạch vẫn không làm việc, vì điện áp u_A ở chân A truyền qua tụ C_2 vào thẳng chân 2 vẫn cao hơn ngưỡng kích khởi. Chỉ buổi tối, R_ϕ đủ lớn để $u_A < \frac{U_{cc}}{3}$. Nếu có khách đến, nút N bị nhấn và u_A truyền ngay qua tụ C_2 tới chân 2 sẽ kích khởi sự hoạt động của IC 555. Ở đầu ra 3 xuất hiện

Sưu tầm bởi: www.daihoc.com.vn

1 xung vuông, biên độ khoảng bằng $+U_{cc}$. Qua cuộn RL có dòng làm đóng tiếp điểm K của mạch xoay chiều, cung cấp cho đèn chiếu sáng Đ đặt ở cổng. Đèn chỉ sáng trong khoảng thời gian $t_X \approx 1{,}1R_1C_1$ là thời gian tồn tại xung ở chân 3. Các linh kiện trên sơ đồ có thông số như sau : $R_1 = 470$ kΩ, $C_1 = 100\mu F$, $R_2 = 100k\Omega$, $R_3 = 330k\Omega$, $C_2 = 10nF$, $R_{CA} = 0 \div 47K\Omega$, phần tử quang điện trở sulfit - Cadmium có $R_\phi = 1 \div 47k\Omega$, cuộn dây rơle RL 12V, 100Ω ; D_1, D_2 là loại 1N4001. Với các trị số R_1, C_1 như trên thì đèn Đ sẽ sáng trong vòng khoảng 50 giây.

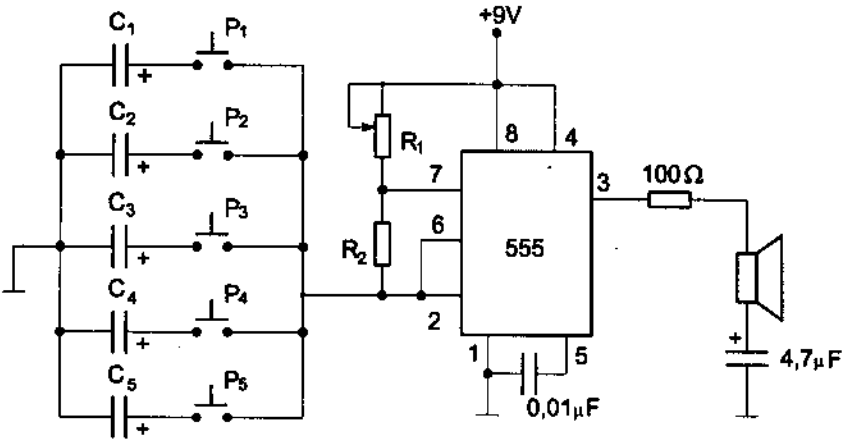
2. Mạch đa hài phiếm định dùng IC.555 được sử dụng vào nhiều mục đích khác nhau.



Hình 3-20. Mạch còi báo động dùng IC.555

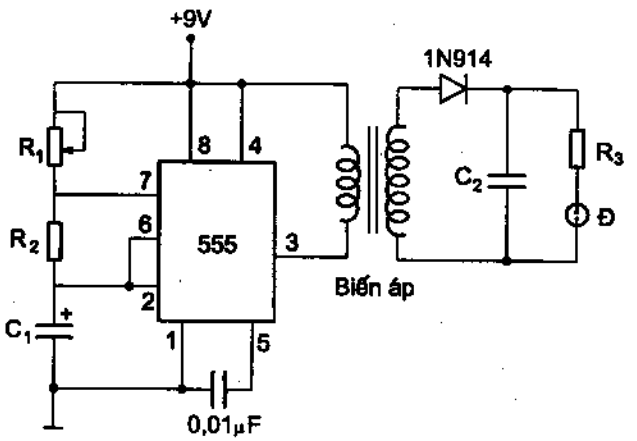
• Hình 3-20 là sơ đồ thông dụng của mạch còi báo động dùng IC.555. Dãy xung vuông góc gần như đối xứng ở chân ra 3 điều khiển sự đóng/mở liên tục của khoá transistor 2N3055, tạo thành dãy xung dòng điện qua cuộn dây loa, làm màng loa rung với tần số bằng tần số dãy xung ở đầu ra 3. Mạch ra transistor giữ vai trò khuếch đại công suất, bảo đảm có thể chọn loa công suất khoảng vài W. Hai diod D_1, D_2 tương ứng để bảo vệ transistor và cuộn dây loa. Sự dao động liên tục và lớn của dòng qua loa gây sự biến động liên tục của điện áp nguồn cung cấp. Diod D_3 và tụ 470μF bảo đảm sự ổn định của điện áp cung cấp cho IC.555.

Sưu tầm bởi: www.daihoc.com.vn



Hình 3-21. Đàn điện tử dùng IC.555

• Hình 3-21 là sơ đồ một đàn điện tử đơn giản dùng IC.555. Đàn có 5 phím nhấn $P_1 \div P_5$ nối tiếp với các tụ $C_1 \div C_5$. Nhấn các phím khác nhau, màng loa sẽ rung với các tần số khác nhau, tạo thành một dải âm thanh xác định. Tăng số phím ấn, ta sẽ mở rộng được dải âm thanh của đàn. Trị số điển hình của các linh kiện trên sơ đồ : $R_1 = 0 \div 100k\Omega$; $R_2 = IK\Omega$; loa 8Ω, $C_1 = 0,1\mu F$; $C_2 = 0,05\mu F$; $C_3 = 0,01\mu F$; $C_4 = 0,005\mu F$; $C_5 = 0,001\mu F$.



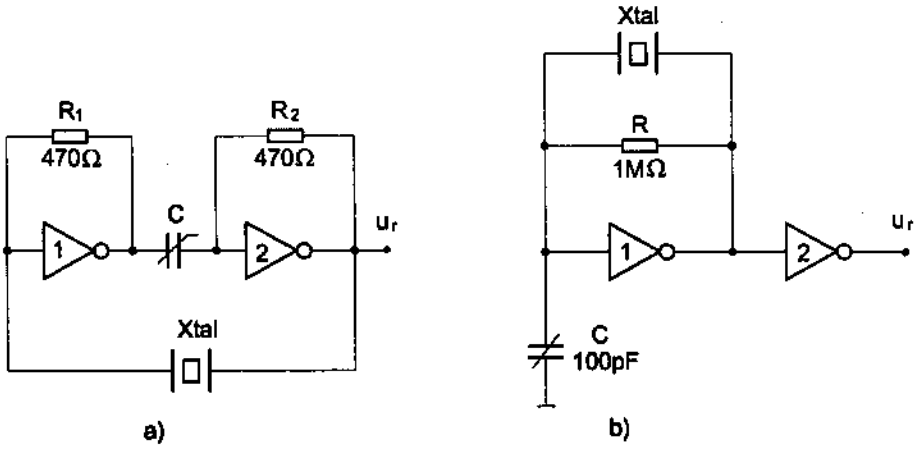
Hình 3-22. Mạch thắp sáng đèn nê-ôn dùng IC.555

• Hình 3-22 là sơ đồ nguồn cấp điện cho đèn nê-ôn dùng IC.555. Các linh kiện : $R_1 = 0 \div 47k\Omega$; $R_2 = 1k\Omega$; $C_1 = 1\mu F$; $C_2 = 0,1\mu F$, 250V ; Đ là đèn nê-ôn 220V ; $R_3 = 10k\Omega$.

Sưu tầm bởi: www.daihoc.com.vn

3-8. MẠCH TẠO DÃY XUNG VUÔNG GÓC DÙNG TINH THỂ THẠCH ANH

Khi cần dãy xung vuông góc với độ chính xác tần số rất cao, tần số dãy xung cũng cao (thường là 1MHz ÷ 10MHz), người ta hay dùng mạch phát xung thạch anh. Ở đây, tinh thể thạch anh áp điện được sử dụng như mạch cộng hưởng cơ điện với độ chính xác rất cao.



Hình 3-23. Các mạch phát xung vuông góc dùng tinh thể thạch anh

Hình 3-23a dùng 2 phần tử ĐẢO họ TTL của IC 74LS04 để tạo thành mạch phát xung thạch anh có tần số ở trong dải từ vài trăm kHz đến 10MHz. Tinh thể thạch anh loại hoạt động kiểu nối tiếp. Tụ C khoảng vài nF và phải chỉnh định theo tần số của dãy xung ra.

Hình 3-23b dùng hai phần tử ĐẢO của vi mạch họ CMOS (IC 4049B) để họp thành với tinh thể thạch anh hoạt động kiểu song song, tạo thành mạch phát dãy xung vuông góc với tần số cỡ MHz.

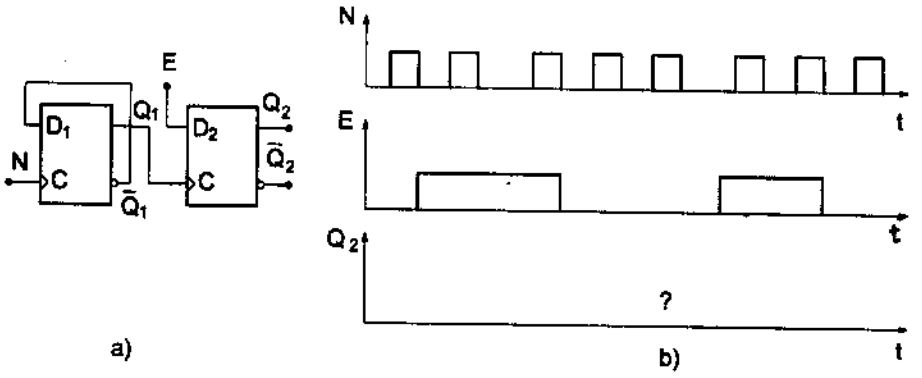
CÂU HỎI VÀ BÀI TẬP CHƯƠNG 3

3-1. Flip-Flop là gì ? Phân biệt các loại S-R FF, J-K FF, D-FF và T-FF.

3-2. Tại sao nói J-K FF là loại Flip-Flop vạn năng ? Hãy thành lập T-FF từ J-K FF và từ D-FF.

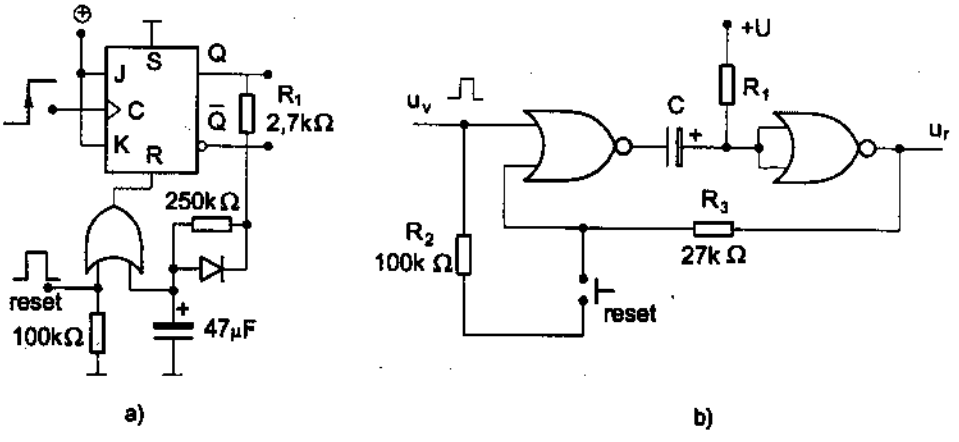
3-3. Cho mạch hình 3-24a. Hãy vẽ đồ thị thời gian của tín hiệu ở đầu ra Q_2, theo đồ thị thời gian của các tín hiệu vào N, E cho ở hình 3-24b.

Sưu tầm bởi: www.daihoc.com.vn



Hình 3-24. Bài tập số 3-3

3-4. Cho mạch đa hài đơn ổn ở hình 3-25a. Mạch có điểm khác với mạch ở hình 3-9c là có thêm đầu vào xoá reset. Thuyết minh hoạt động của mạch và phỏng chừng độ rộng của xung vuông góc ở đầu ra Q, khi mạch được kích thích.



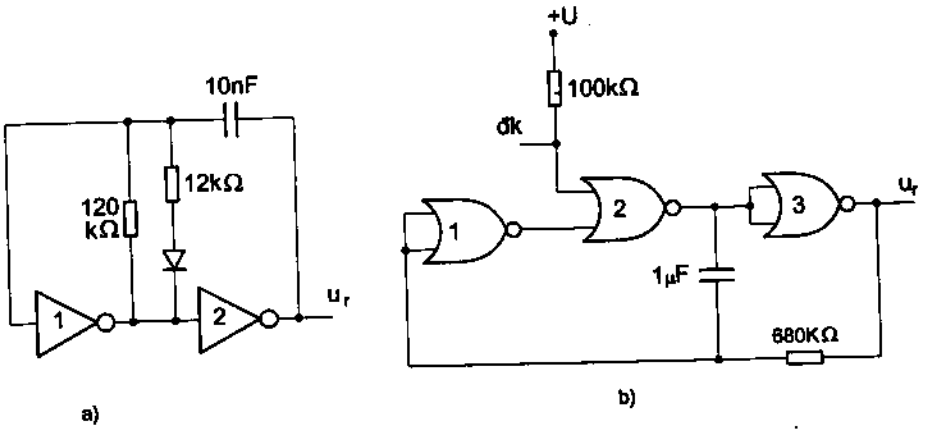
Hình 3-25. Bài tập số 3-4 và số 3-5

3-5. Mạch đa hài đơn ổn ở hình 3-25b có một điểm khác so với mạch ở hình 3-10a là : Mạch có thêm nút ấn reset để có thể xoá xung đơn ở đầu ra tại thời điểm bất kì trong khoảng thời gian mạch đang ở trạng thái không ổn định. Thuyết minh hoạt động của mạch.

3-6. Mạch đa hài phiếm định ở hình 3-26a có điểm khác so với mạch ở hình 3-11a là : Sự nạp điện cho tụ 10nF theo hai chiều ngược nhau, chạy theo hai

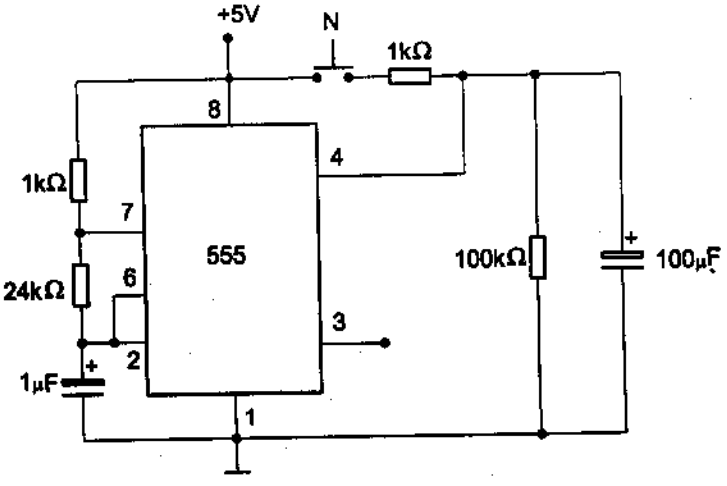
Sưu tầm bởi: www.daihoc.com.vn

đường khác nhau. Phân tích hoạt động của mạch và chỉ ra sự khác nhau giữa dãy xung vuông góc ở đầu ra của nó với dãy xung ở đầu ra hình 3-11a.



Hình 3-26. Bài tập số 3-6 và số 3-7.

3-7. Thuyết minh hoạt động của mạch đa hài phiếm định ở hình 3-26b. Các phần tử NOR trong mạch lấy từ IC họ CMOS 4001 B.



Hình 3-27. Bài tập số 3-8

3-8. Hãy đọc lại vai trò của các chân trong IC.555 và chứng tỏ rằng : Khi ấn nút nhấn N thì mạch đa hài phiếm định ở hình 3-27 hoạt động và phát ra dãy xung vuông góc ở đầu ra 3. Sau khi nhả nút nhấn N thì mạch vẫn tiếp tục phát ra dãy xung trong một khoảng thời gian nữa.

Sưu tầm bởi: www.daihoc.com.vn

Chương 4 MẠCH SO SÁNH SỐ - BỘ SỐ HỌC VÀ LÔGIC

Có nhiều mạch chuyên dụng thực hiện các phép tính số học và logic trên hai toán hạng nhị phân n bit $A_n\{a_{n-1}a_{n-2}...a_1a_0\}$ và $B_n\{b_{n-1}b_{n-2}...b_1b_0\}$. Ví dụ mạch thực hiện phép cộng số học hai số nhị phân n bit, mạch làm phép nhân hai số nhị phân n bit, mạch so sánh hai số nhị phân n bít . Đặc biệt là bộ số học và logic, có thể thực hiện được nhiều phép tính số học và logic trên hai toán hạng.

Ở đây ta hiểu chung toán hạng là một đối tượng để ta làm các phép tính trên nó. Toán hạng nhị phân n bít là một dãy n số hạng, trong đó mỗi số hạng chỉ có thể mang giá trị 0 hay 1 và gọi là bit. Hai toán hạng nhị phân n bit có thể là hai số nhị phân (xem phụ lục 3) để ta làm các phép tính số học (cộng, trừ, nhân, chia) trên chúng. Hai toán hạng nhị phân cũng có thể chỉ là hai dãy n bit để ta thực hiện các phép tính logic (tuyển, hội, phủ định...) trên chúng.

Ngày nay, với sự phát triển mạnh mẽ và ứng dụng rộng khắp của kĩ thuật vi xử lí, việc sử dụng các mạch logic thuật toán chuyên dụng kể trên trở nên rất hãn hữu. Vì vậy chương này chỉ giới thiệu về hai mạch : Mạch so sánh hai số nhị phân và bộ tính toán số học, logic.

4-1. MẠCH SO SÁNH SỐ (digital comparator)

• Mạch so sánh số dùng để so sánh định tính hai số nhị phân n bít A_n, B_n. Kết quả so sánh được thể hiện bằng các biến logic ở 3 đầu ra, chỉ sự bằng nhau, lớn hơn hay bé hơn của hai số nhị phân.

• Xét ***mạch so sánh hai bít*** nhị phân a và b. Ta thấy :

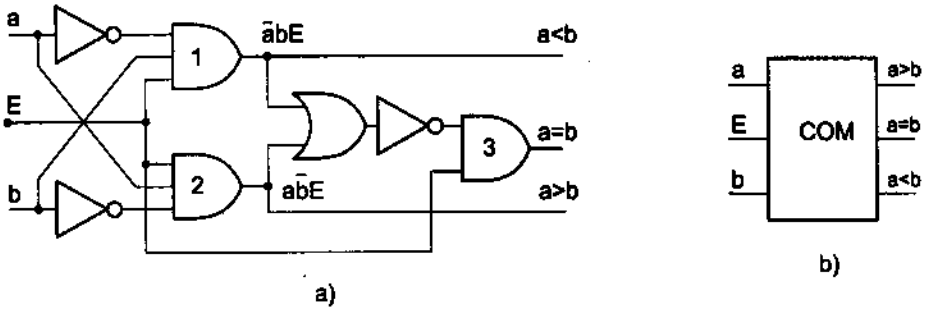
Khi a > b, (a = 1, b = 0) → $a.\bar{b} = 1$;

Khi a < b, (a = 0, b = 1) → $\bar{a}.b = 1$;

Sưu tầm bởi: www.daihoc.com.vn

Khi $a = b \rightarrow \overline{a \oplus b} = \overline{\bar{a}.b + \bar{b}.a} = 1.$ (4-1)

Vậy, mạch so sánh hai bit nhị phân thực chất là mạch của phần tử tương đương (xem mục 1-7-3) nhưng có 3 đầu ra để chỉ kết quả so sánh. Hình 4-1a là mạch so sánh hai bit nhị phân, thành lập dựa trên quan hệ logic (4-1). Mạch có 3 đầu ra (a > b, a < b, a = b) để chỉ kết quả so sánh. Quan hệ giữa a và b như thế nào thì đầu ra tương ứng với quan hệ đó sẽ có giá trị 1 logic (tương ứng với mức điện áp cao H), hai đầu ra còn lại ở giá trị 0 logic (mức thấp L). Trên hình 4-1a



Hình 4-1. Mạch và kí hiệu của phần tử so sánh hai bit nhị phân

còn bổ xung thêm đầu điều khiển "cho phép làm việc" E (Enable). Khi E = 0 logic, cả ba phần tử VÀ số 1, 2, 3 đều đóng, ba đầu ra của mạch đều có giá trị 0 logic, độc lập với quan hệ a và b. Vậy, khi E = 0 mạch bị khoá, không được phép làm việc. Khi E = 1, các phần tử VÀ mở và chuyển kết quả so sánh tới ba đầu ra. hình 4-1b là kí hiệu của phần tử so sánh một cặp bit a, b.

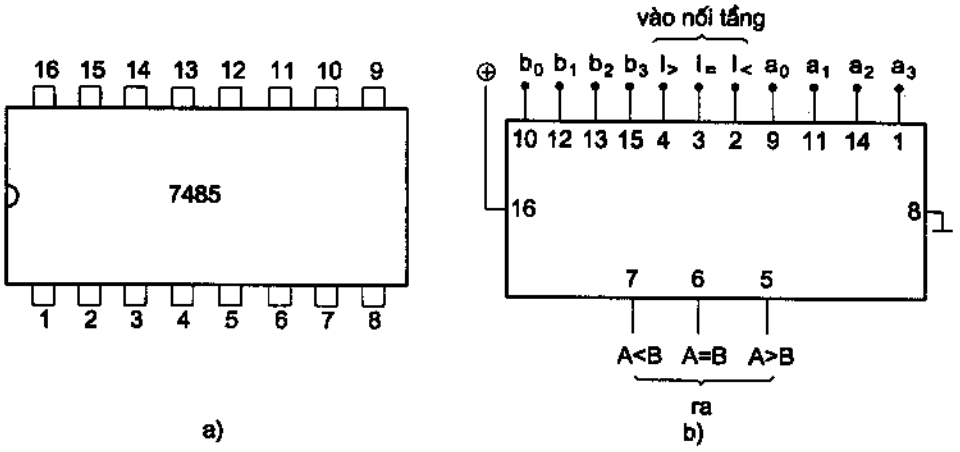
• Khi so sánh hai số nhị phân n bít, ta so sánh tuần tự từng cặp bít có trọng số tương đương, bắt đầu từ cặp có trọng số lớn nhất, dần tới cặp có trọng số nhỏ nhất. Cách so sánh này gọi là so sánh kiểu tuần tự. Bài tập 4-4 giới thiệu mạch so sánh hai số nhị phân kiểu tuần tự gồm các phần tử so sánh một cặp bit nối tầng với nhau. Mạch so sánh kiểu này có tốc độ so sánh chậm.

Để tăng tốc độ so sánh, các vi mạch so sánh số hiện nay đều thành lập dựa trên việc *so sánh đồng thời* các cặp bít cùng trọng số. Mạch so sánh 4 bít kiểu này chỉ có thời gian so sánh khoảng vài chục ns.

4-2. VI MẠCH SO SÁNH 74xx85

Có các chip vi mạch so sánh 4, 8, 12, 16 bit. Thông dụng và dễ kiếm nhất là các vi mạch so sánh 4 bít ; Ví dụ các "chip" 74××85 họ TTL hoặc 4585 họ CMOS.

Sưu tầm bởi: www.daihoc.com.vn

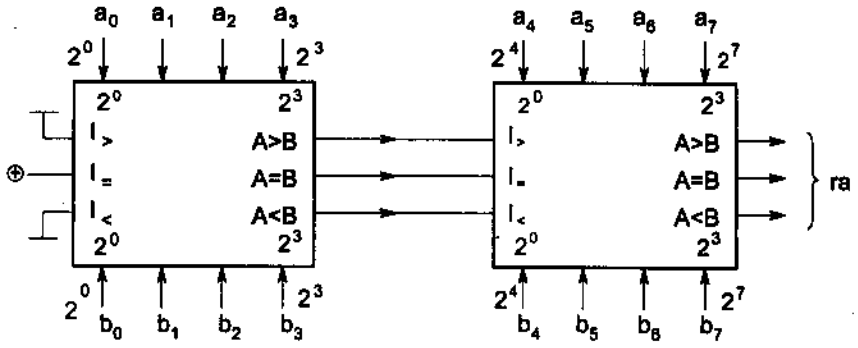


Hình 4-2. Vỏ và sơ đồ chân của IC 7485

• Hình 4-2a là vỏ kiểu hai hàng chân song song của vi mạch so sánh 4 bit họ TTL, IC.74××85. Nó có 16 chân, đánh số từ 1 ÷ 16 theo chiều ngược kim đồng hồ.Hình 4-2b là sơ đồ bố trí các chân của IC. Hai số nhị phân 4 bit cần so sánh là A{$a_3a_2a_1a_0$} và B{$b_3b_2b_1b_0$}, trong đó a_0, b_0 là các bit có trọng số thấp nhất (2^0) và a_3, b_3 là bit có trọng số lớn nhất (2^3). Những chữ số trong hình vẽ chỉ số thứ tự các chân. Chân số 5, 6, 7 là ba đầu ra tương ứng chỉ quan hệ lớn hơn, bằng và bé hơn của hai số A và B. Quan hệ A và B như thế nào thì đầu ra có quan hệ tương ứng sẽ nhảy lên mức logic cao H, hai đầu còn lại ở mức logic thấp L. Ví dụ nếu A > B thì đầu ra số 5 sẽ ở mức H. Vi mạch có ba đầu vào nối tầng $I_>$, $I_=$, $I_<$, (các chân số 4, 3, 2). Các chân này dùng khi cần nối tầng các IC 7485. Nguồn cung cấp +5V và "mát" đặt ở chân 16 và 8. Khi dùng riêng lẻ IC 7485 để so sánh hai số nhị phân 4 bit, đầu vào nối tầng $I_=$ (chân số 3) phải treo lên mức logic cao H (điện áp nguồn cung cấp), hai đầu $I_>$, $I_<$ (chân 2, 4) cần nối với "mát".

• Để có được mạch so sánh hai số nhị phân dài hơn 4 bit, ta phải nối tầng các IC 7485. hình 4-3 là mạch so sánh gồm hai IC 7485 nối tầng. Chúng tạo thành mạch so sánh hai số nhị phân 8 bit : A{a_7a_6... a_1a_0} và B{b_7b_6... b_1b_0}. Ba đầu ra của "chip" trọng số thấp ($2^0 \div 2^3$) phải nối với ba đầu vào nối tầng của "chip" có trọng số cao hơn liền kề ($2^4 \div 2^7$).

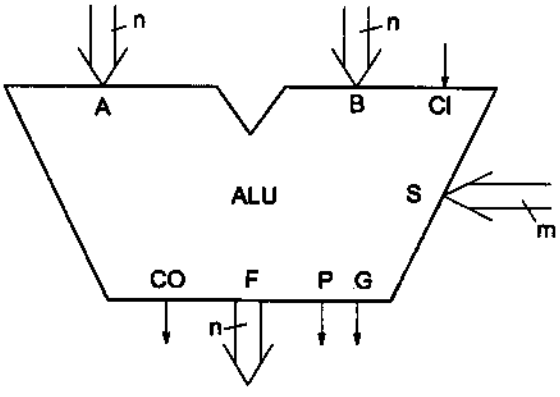
Sưu tầm bởi: www.daihoc.com.vn



Hình 4-3. Nối tầng hai IC 7485

4-3. BỘ SỐ HỌC VÀ LOGIC (Arithmetic and Logic Unit → ALU)

1. Bộ số học và logic (ALU) là một "chip" vi mạch có khả năng làm nhiều các phép tính số học và logic khác nhau trên hai toán hạng nhị phân n bit.



Hình 4-4. Sơ đồ khối của ALU

Hình 4-4 là sơ đồ khối của một ALU. Nó gồm những loại kênh vào/ra sau :

• ***Hai kênh vào số liệu*** (Data bus) A, B có độ dài n bit để đặt các toán hạng (Mỗi kênh có n dây dẫn để dẫn n bit của một toán hạng). Ngoài ra còn có một đầu vào CI, gọi là *đầu vào mang sang* (Carry In). Nó dùng để nhận giá trị nhớ/vay gửi sang từ "chip" ALU có trọng số thấp hơn (khi nối tầng các ALU) trong phép tính cộng/trừ số học.

• Kênh ***chọn thuật toán*** S có độ dài m bit. Ứng với mỗi tổ hợp của S, ALU sẽ được lệnh thực hiện một phép tính xác định trên hai toán hạng A, B.

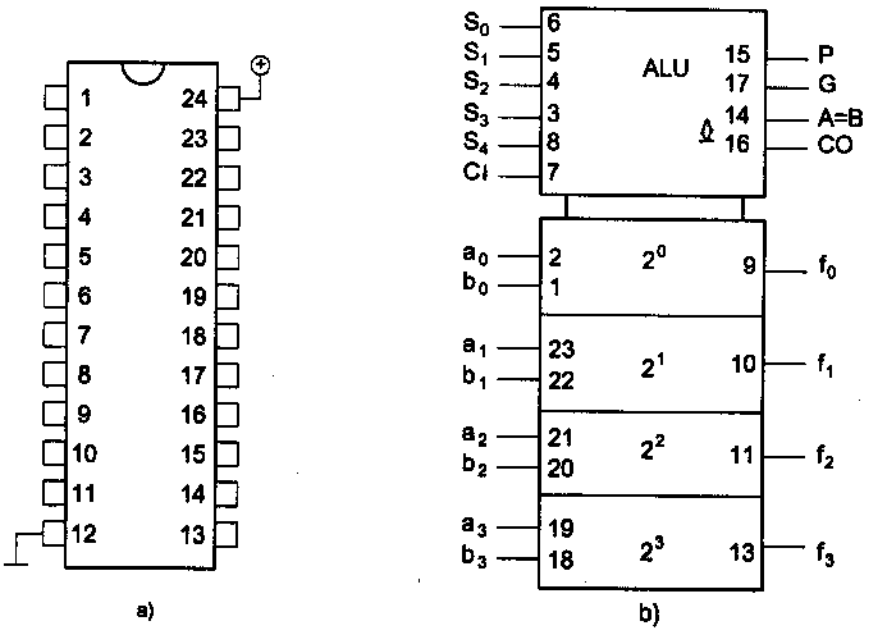
Sưu tầm bởi: www.daihoc.com.vn

• Kết quả tính toán được chuyển tới ***kênh ra số liệu*** F có độ dài n bít và ***đầu ra mang sang*** CO (Carry Out). Như đã biết ở phụ lục 3, khi cộng số học hai số nhị phân n bit, kết quả nhận được có thể là n + 1 bit. Giá trị 1/0 của bit có trọng số cao nhất (2^n) sẽ được đưa tới đầu ra CO, kết quả của n bit còn lại (trọng số $2^0 \div 2^{n-1}$) được gửi tới kênh ra số liệu F. Ví dụ : Một ALU 4 bit thực hiện phép cộng số học hai số nhị phân A = 0110 và B = 1110 sẽ cho kết quả ở cửa ra như sau :

Mang sang C		1	1	1	0	
A	=		0	1	1	0
+						
B	=		1	1	1	0
A + B	=	1	0	1	0	0
		CO	F			

Ở cửa ra ALU cho kết quả : CO = 1, F = 0100. Khi cần nối tầng các ALU n bit để được một ALU có độ dài lớn hơn n bit, đầu ra CO chính là số nhớ/vay mang sang đầu CI của ALU có trọng số cao hơn trong phép tính cộng/trừ số học.

Ngoài ra, ở cửa ra ALU còn có hai đầu ra P, G. Các đầu này được sử dụng khi ta cần nối tầng các ALU theo kiểu "nhớ song song".



Hình 4-5. Vỏ và sơ đồ khối của IC.74181

Sưu tầm bởi: www.daihoc.com.vn

2. *Vi mạch 74181.* Các "chip" ALU thường gặp như IC.74181, 74381, 74382 (họ TTL) và 40181, 4581 (họ CMOS) đều là các ALU 4 bit.

Hình 4-5a, b tương ứng giới thiệu vỏ và sơ đồ khối chỉ rõ sự bố trí các chân của IC.74181. Các số ghi ở các đầu vào/ra trên hình 4-5b chỉ số thứ tự chân trên vỏ. Hai kênh số liệu vào 4 bit là $A\{a_3a_2a_1a_0\}$ và $B\{b_3b_2b_1b_0\}$. Kênh ra số liệu 4 bit là $F\{f_3f_2f_1f_0\}$. Đặc biệt IC 74181 còn có đầu ra A = B (chân số 14) chỉ sự bằng nhau của hai toán hạng. Đầu ra này là loại cực góp để hở (xem mục 1-10-3b). Với phép tính trừ số học đặt vào ALU ($S_4S_3S_2S_1S_0 = 00110$), nếu A = B thì đầu ra A = B sẽ nhảy lên mức logic cao H.

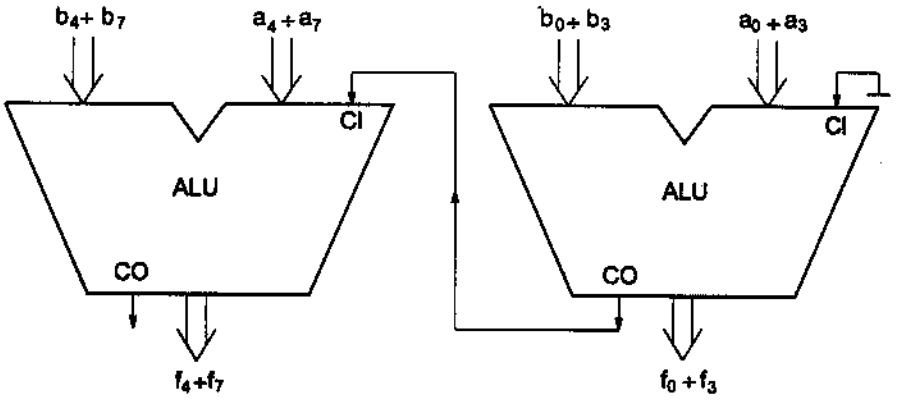
IC 74181 có 5 đầu vào chọn thuật toán $S_4 \div S_0$ để lệnh cho ALU các phép tính mà nó cần thực hiện. Với 5 đầu chọn thuật toán, ALU có thể thực hiện được $2^5 = 32$ phép tính số học và logic khác nhau. Bảng 4-1 dưới đây giới thiệu các phép tính ALU thực hiện ứng với những tổ hợp $S_4S_3S_2S_1S_0$ khác nhau.

Bảng 4-1

$S_3S_2S_1S_0$	$S_4 = 1$	$S_4 = 0$	
	Phép tính F =	Cl = 1	Cl = 0
		Phép tính F =	Phép tính F =
0000	$\overline{A}$	A	A + 1
0001	$\overline{A \vee B}$	$A \vee B$	
0010	$\overline{A}B$	$A \vee \overline{B}$	
0011	0	-1	0
0100	$\overline{AB}$	$A + A\overline{B}$	
0101	$\overline{B}$	$(A \vee B) + A\overline{B}$	
0110	$A \oplus B$	A - B - 1	A - B
0111	$A\overline{B}$	$A\overline{B} - 1$	
1000	$\overline{A} \vee B$	A + AB	
1001	$\overline{A \oplus B}$	$A + \overline{B}$	
1010	B	$(A \vee \overline{B}) + AB$	
1011	AB	AB - 1	
1100	1	A + A = 2A	
1101	$A \vee \overline{B}$	$(A \vee B) + A$	
1110	$A \vee B$	$(A \vee \overline{B}) + A$	
1111	A	A - 1	

Sưu tầm bởi: www.daihoc.com.vn

Trong bảng 4-1, các kí hiệu AB, A ∨ B tương ứng là phép nhân và phép cộng logic giữa hai toán hạng A, B. Các kí hiệu A + B, A – B tương ứng là phép cộng và phép trừ số học của hai toán hạng.



Hình 4-6. Nối tầng hai ALU kiểu "nhớ nối tiếp".

3. Nối tầng các ALU. Khi cần có ALU với các toán hạng dài hơn 4 bit, ta có thể nối tầng các "chip" ALU 4 bit kể trên. Có hai cách nối tầng :

• Nối tầng "nhớ nối tiếp" (hình 4-6). Ưu điểm của cách nối tầng này là đơn giản nhưng tốc độ tính toán chậm.

• Nối tầng "nhớ song song". Ta sử dụng các đầu ra P, G của các ALU để xây dựng một mạch logic tổ hợp đặc biệt, cho phép tính đồng thời các giá trị nhớ mang sang của các ALU, để đưa vào các đầu CI của ALU có trọng số cao hơn liền kề. Do vậy mà tốc độ tính toán sẽ nhanh hơn. Mạch logic tổ hợp đặc biệt này gọi là "mạch nhớ nhanh" và cũng được chế tạo dưới dạng các vi mạch. Ví dụ IC 74182 là "mạch nhớ nhanh" dùng kèm với các IC 74181 để có được mạch nối tầng nhớ song song ; IC 4582 là "mạch nhớ nhanh" dùng cho việc nối tầng nhớ song song của các IC 4581. Ở đây ta không xét chi tiết kiểu nối tầng này.

4-4. ỨNG DỤNG CỦA CÁC PHÉP TÍNH LOGIC TRÊN HAI TOÁN HẠNG NHỊ PHÂN n BIT

Khi xét về bộ số học và logic ở trên, ta có nói tới các phép tính logic trên hai toán hạng nhị phân n bit. Vậy quy tắc thực hiện các phép tính này như thế nào ? Chúng được ứng dụng làm gì ? Mục này sẽ trả lời cho hai câu hỏi trên.

4-4-1. Các phép tính logic trên hai toán hạng nhị phân

Một phép tính logic trên hai toán hạng nhị phân n bit A, B đặt ở ALU được hiểu là : Ta thực hiện phép tính logic đó riêng rẽ cho từng cặp bit tương ứng của

Sưu tầm bởi: www.daihoc.com.vn

hai toán hạng trên ALU và kết quả cũng đưa ra bit tương ứng của kênh ra số liệu F. Ví dụ $A = a_3a_2a_1a_o$, $B = b_3b_2b_1b_o$ và $F = f_3f_2f_1f_o$ thì :

$$F = A \vee B \text{ hiểu là } \begin{cases} f_3 = a_3 \vee b_3 \\ f_2 = a_2 \vee b_2 \\ f_1 = a_1 \vee b_1 \\ f_o = a_o \vee b_o \end{cases}$$

Lấy các ví dụ cụ thể ; cho A = 1101, B = 0101 thì :

$$\begin{array}{rl} & A = 1101 \\ \vee & B = 0101 \\ \hline & F = 1101 \end{array} \qquad \begin{array}{rl} & A = 1101 \\ \wedge & B = 0101 \\ \hline & F = 0101 \end{array} \qquad \begin{array}{rl} & A = 1101 \\ \oplus & B = 0101 \\ \hline & F = 1000 \end{array}$$

Cần lưu ý là đầu vào CI của ALU không có ảnh hưởng gì tới kết quả của các phép tính logic trên hai toán hạng. Đầu ra CO cũng không chịu ảnh hưởng của phép tính logic.

4-4-2. Ứng dụng

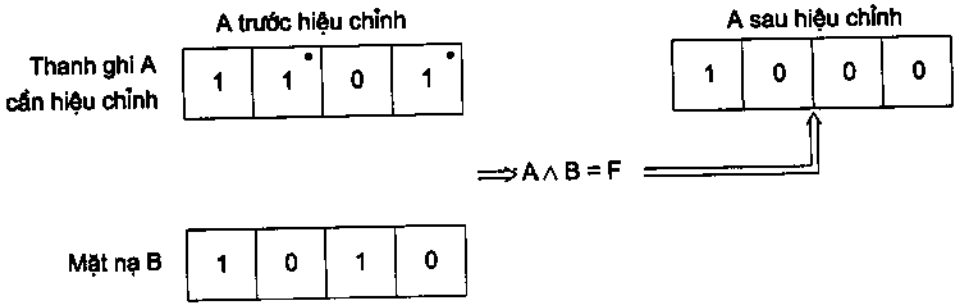
Có rất nhiều ứng dụng của các phép tính logic trên hai toán hạng nhị phân n bit. Một ứng dụng phổ biến và cũng dễ thấy nhất là dùng các phép tính logic để ***xoá, dựng, hay đảo*** một số bit nào đó của dữ liệu đã chứa ở một thanh ghi.

Khái niệm về thanh ghi sẽ trình bày ở mục 6-1. Ở đây ta hiểu thanh ghi là một phần tử dùng để ghi và lưu giữ các bit thông tin.

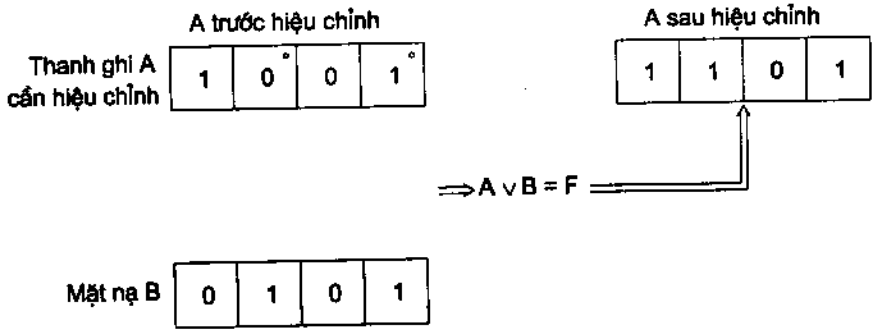
• Ta dùng phép tính nhân logic trên hai toán hạng n bit để ***xoá*** một số bit nào đó trong một thanh ghi n bit. Cách làm như sau : Xây dựng một thanh ghi n bit gọi là "mặt nạ" (Mask). Trong "mặt nạ" ta ghi giá trị 0 vào vị trí các bit tương ứng với vị trí của các bit ta định xoá trong thanh ghi cần hiệu chỉnh ; các bit còn lại của "mặt nạ" ghi giá trị 1 logic. Sau đó ta làm phép nhân logic giữa nội dung trong hai thanh ghi "mặt nạ" và thanh ghi cần hiệu chỉnh. Cuối cùng kết quả đem ghi trở lại vào thanh ghi cần hiệu chỉnh. Hình 4-7 cho một ví dụ về cách xoá hai bit ở các ô có dấu "." trong thanh ghi cần hiệu chỉnh A.

• Có thể dùng phép cộng logic trên hai toán hạng n bit để ***dựng*** (ghi giá trị 1) một số bit nào đó trong một thanh ghi n bit. Cách làm như sau : Tạo một "mặt nạ", trong đó ta ghi giá trị 1 vào vị trí các bit tương ứng với vị trí các bit ta định dựng trong thanh ghi cần hiệu chỉnh ; các bit còn lại của "mặt nạ" đặt giá trị 0 logic. Sau đó làm phép cộng logic giữa "mặt nạ" và thanh ghi cần hiệu chỉnh. Kết quả đem ghi trở lại vào thanh ghi cần hiệu chỉnh. Hình 4-8 là một ví dụ về cách dựng hai bit ở các ô có dấu "." trong thanh ghi cần hiệu chỉnh.

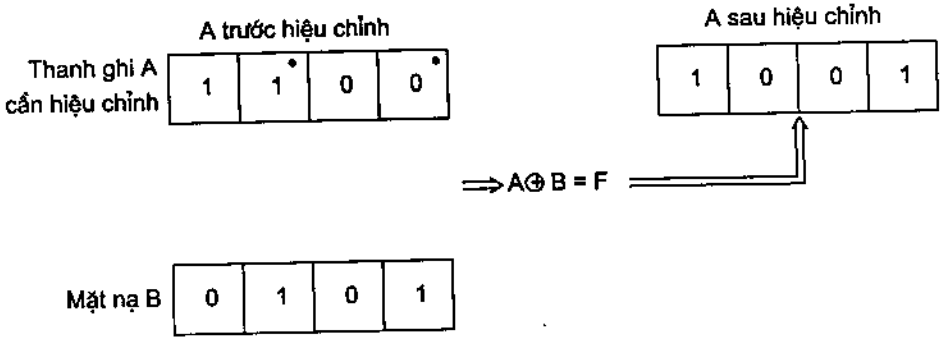
Sưu tầm bởi: www.daihoc.com.vn



Hình 4-7. Xoá một số bit trong thanh ghi



Hình 4-8. Cách dựng một số bit trong thanh ghi



Hình 4-9. Cách đảo một số bit trong thanh ghi

• Để *đảo* một số bit trong thanh ghi ta có thể dùng phép tính XOR (HOẶC LOẠI TRỪ) trên hai toán hạng nhị phân n bit. Cách làm tương tự đã trình bày ở

Sưu tầm bởi: www.daihoc.com.vn

trên. Trong "mặt nạ", vị trí tương ứng với các bit cần đảo ở thanh ghi cần hiệu chỉnh ta ghi giá trị 1, các bit còn lại của mặt nạ đặt giá trị 0 logic. Hình 4-9 cho một ví dụ về cách đảo hai bit ở các ô có dấu "." trong thanh ghi cần hiệu chỉnh.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 4

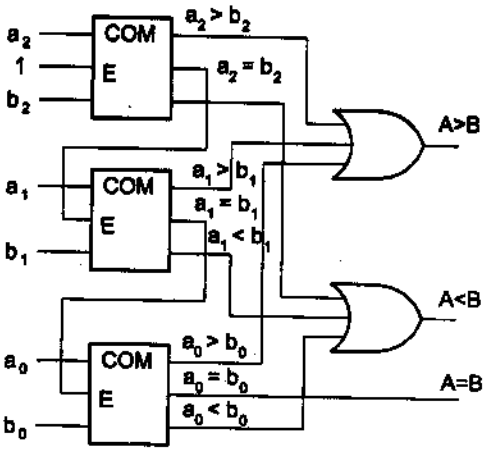
4-1. Mạch so sánh số là gì ? Xây dựng mạch so sánh 12 bit từ các IC 7485.

4-2. ALU là gì ? Sơ đồ khối của nó ?

4-3. Nối tầng "nhớ nối tiếp" và nối tầng" nhớ song song của các ALU khác nhau ở chỗ nào ? Ưu nhược điểm của mỗi cách.

4-4. Hình 4-10 là mạch so sánh hai số nhị phân ba bit A{$a_2a_1a_o$} và B{$b_2b_1b_o$}, kiểu tuần tự.

Hãy thuyết minh hoạt động của mạch và chỉ ra nhược điểm về tốc độ hoạt động của nó.



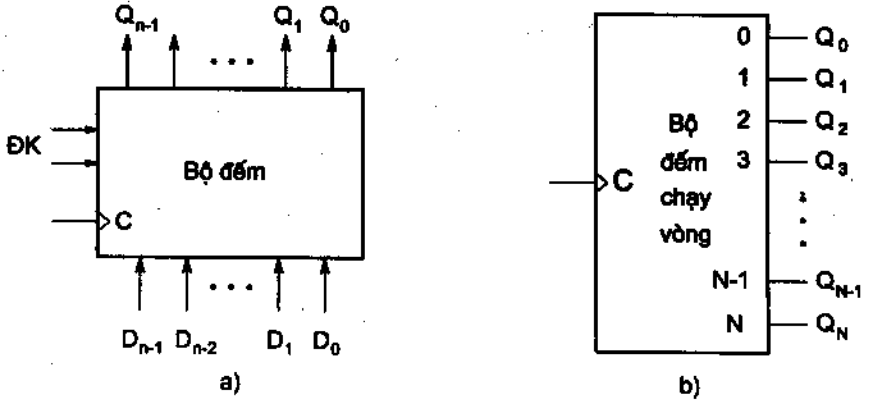
Hình 4-10. Bài tập 4-4

Sưu tầm bởi: www.daihoc.com.vn

Chương 5 CÁC BỘ ĐẾM VÀ ỨNG DỤNG

5-1. KHÁI NIỆM CHUNG VỀ BỘ ĐẾM

Bộ đếm là mạch logic gồm một dãy các Flip-Flop với ghép nối thích hợp để có khả năng đếm các xung đi tới. Kết quả đếm được chỉ thị và lưu giữ ở đầu ra các Flip Flop dưới dạng một mã nhị phân nào đó. Hình 5-1a là sơ đồ khối của bộ đếm. Nó gồm có đầu vào C để nhận các xung đếm ; n đầu ra (Q_0 ÷ Q_{n-1}), chúng chính là đầu ra của các Flip-Flop. Ngoài ra, rất nhiều bộ đếm còn có n đầu vào số liệu (D_0 ÷ D_{n-1}), hoặc gọi là các đầu vào đặt trước, dùng để đưa một nội dung cho trước vào trong bộ đếm. Một số đầu điều khiển ĐK để điều khiển sự làm việc của mạch. Bộ đếm có thể là loại ***hoạt động theo sườn lên*** hoặc ***theo sườn xuống*** của các xung đếm ; nghĩa là chúng chỉ nhận biết có xung tới trong thời gian tương ứng với sườn lên hoặc sườn xuống của xung. Kí hiệu đầu vào C như trên hình 5-1a là tương ứng với loại hoạt động theo sườn lên. Ở loại hoạt động theo sườn xuống thì kí hiệu đầu vào C có thêm khuyên tròn phía trước (xem hình 5-4).



Hình 5-1. Sơ đồ khối bộ đếm - Sơ đồ khối bộ đếm chạy vòng

Sưu tầm bởi: www.daihoc.com.vn

1. Phân loại các bộ đếm

Tùy theo mã nhị phân biểu thị kết quả đếm ở cửa ra mà các bộ đếm chủ yếu được chia thành :

• ***Bộ đếm nhị phân n bit*** gồm n Flip Flop. Mã ở cửa ra là số nhị phân thuần tuý n bit (xem phụ lục 3). ***Dung lượng*** bộ đếm (số xung cực đại mà nó có thể đếm và lưu giữ kết quả đếm ở cửa ra) là $N_{max} = 2^n - 1$.

• ***Bộ đếm BCD***, hay còn gọi là ***bộ đếm thập phân***. Mã chỉ thị kết quả đếm ở cửa ra là mã BCD (phụ lục 3). Nếu số BCD ở cửa ra gồm k decad thì bộ đếm gọi là bộ đếm thập phân k decad. Nó có 4k Flip Flop và có dung lượng $N_{max} = 10^k - 1$.

• ***Bộ đếm Gray***. Mã ở cửa ra là mã Gray (phụ lục 3).

• Ngoài ra, còn một loại bộ đếm cũng thường được sử dụng là ***bộ đếm chạy vòng***, có sơ đồ khối ở hình 5-1b. Nó gồm đầu vào C và N + 1 đầu ra, đánh số từ 0 đến N. Khi làm việc luôn luôn chỉ có một đầu ra có chỉ số tương ứng với số xung đã tới đầu vào C là thay đổi trạng thái (từ 0 logic sang 1 logic hay ngược lại). Ví dụ, nếu không có xung nào tới thì chỉ $Q_o = 1$ logic, có một xung tới thì chỉ $Q_1 = 1$ logic, có xung thứ 4 tới thì chỉ $Q_4 = 1$... ; các đầu còn lại đều có giá trị 0 logic.

2. Phương thức đếm

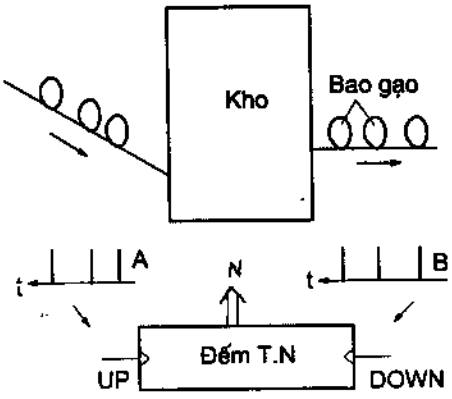
Khi làm việc, bộ đếm có thể có các cách đếm khác nhau :

• ***Đếm thuận*** hay còn gọi là đếm tăng (UP) : Nội dung bộ đếm (kết quả đếm lưu giữ ở cửa ra) tăng thêm một đơn vị khi có một xung tới.

• ***Đếm ngược*** hay còn gọi là đếm giảm (Down) : Nội dung bộ đếm giảm một đơn vị khi có một xung tới.

• ***Đếm thuận - nghịch*** : Bộ đếm hoạt động đồng thời với cả hai cách đếm thuận và ngược. Chỉ có những bộ đếm có hai đầu vào dẫn xung đếm (đầu vào UP dùng cho đếm thuận và đầu vào DOWN dùng cho đếm ngược) mới thực hiện được cách đếm này. Hình 5-2 là một ví dụ về ý nghĩa sử dụng của bộ đếm thuận nghịch. Có hai dây chuyền chuyển các bao gạo vào và ra khỏi kho. Trên mỗi dây chuyền người ta đặt một "chuyển đổi sơ cấp" (sensor) để phát hiện có bao gạo đi qua nó. Cứ mỗi lần có bao gạo đi qua là bộ chuyển đổi lại phát ra một xung. Như vậy, ở đầu ra hai bộ chuyển đổi sơ cấp tương tứng sẽ có một dãy xung A chỉ số bao gạo đi vào kho và một dãy xung B báo số bao gạo ra khỏi kho. Đưa dãy xung A vào đầu UP một bộ đếm thuận nghịch TN, dãy xung B vào đầu DOWN. Kết quả đếm N của bộ đếm sẽ chỉ số bao gạo còn tồn ở trong kho.

Sưu tầm bởi: www.daihoc.com.vn



Hình 5-2. Ví dụ về ý nghĩa sử dụng của bộ đếm thuận nghịch

3. Tính hoạt động chu trình

Hoạt động của các bộ đếm bán trên thị trường đều có tính chu trình, nghĩa là : Khi đã đếm được số xung cực đại, bằng dung lượng của nó, nếu có thêm một xung tới thì bộ đếm tự động quay về trạng thái ban đầu (bằng 0 với cách đếm thuận, và bằng N_{max} với cách đếm ngược) để tiếp tục một chu trình đếm mới. Như vậy, một chu trình đếm của bộ đếm là $N = N_{max} + 1$. Ta gọi bộ đếm có chu trình đếm N là ***bộ đếm modul N***.

4. Tính lập trình

Rất nhiều bộ đếm bán trên thị trường hiện nay là những ***bộ đếm lập trình*** (programmable Counter). Ở các bộ đếm này, thông qua các đầu vào đặt trước $D_0 \div D_{n-1}$ (xem hình 5-1a), ta có thể đưa vào bộ đếm một số định trước để nó bắt đầu đếm từ số đó.

5. Bộ đếm đồng bộ và không đồng bộ

Theo trình tự hoạt động của các Flip - Flop trong bộ đếm, ta có hai loại :

• ***Bộ đếm không đồng bộ*** : Ở loại này, khi có một xung tới thì sự lật trạng thái của các Flip Flop (nếu có) *xảy ra không đồng thời*. Ưu điểm của bộ đếm không đồng bộ là có cấu trúc đơn giản. Tuy nhiên sự lật trạng thái không đồng thời của các Flip Flop làm cho bộ đếm khi chuyển từ trạng thái ổn định này sang trạng thái ổn định khác phải qua nhiều trạng thái sai. Người ta hay dùng bộ đếm không đồng bộ với chức năng của một mạch chia tần số.

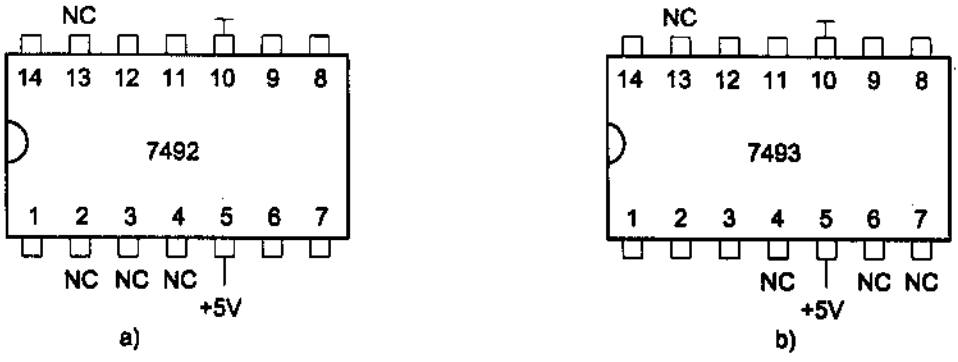
• ***Bộ đếm đồng bộ*** là loại mà khi có xung tới thì các Flip Flop cần lật trạng thái sẽ lật đồng thời. Cấu trúc của loại đồng bộ phức tạp hơn loại không đồng bộ nhưng nó khắc phục được nhược điểm đã kể trên của loại không đồng bộ.

Chúng ta không xét cấu trúc bên trong của các bộ đếm. Dưới đây chỉ khảo sát sơ đồ khối một số "chip" vi mạch đếm thông dụng, cách sử dụng chúng và một vài ứng dụng.

Sưu tầm bởi: www.daihoc.com.vn

5-2. MỘT SỐ VI MẠCH ĐẾM KHÔNG ĐỒNG BỘ

Các IC 8290, 8291 Signetic, IC 74××92, 74××93 đều là những bộ đếm không đồng bộ 4 bit. Hình 5-3 là vỏ của các IC 7492, 7493. Chúng có 14 chân, đánh số từ 1 ÷ 14 theo chiều ngược kim đồng hồ. Các chân NC là không được dùng tới.



Hình 5-3. Vỏ của IC 7492, 7493

1. Xét sơ đồ khối của IC 7493 (hình 5-4a). Nó gồm 2 mạch có thể hoạt động độc lập nhau : Một mạch chia đôi tần số (DIV2) với đầu vào là CLK1 và đầu ra là Q_o ; Một mạch chia 8 tần số, với đầu vào là CLK2 và đầu ra là Q_3. Đặt ở CLK2 dãy xung vuông góc lặp với tần số f thì ở đầu ra Q_3 sẽ có dãy xung vuông góc tần số f/8. Mạch DIV.8 cũng có thể sử dụng như bộ đếm không đồng bộ nhị phân 3 bit. Xung đếm dẫn vào CLK2, số nhị phân ở cửa ra là $Q_3Q_2Q_1$ (Q_1 có trọng số thấp nhất -2°, Q_3 có trọng số cao nhất -2^2).

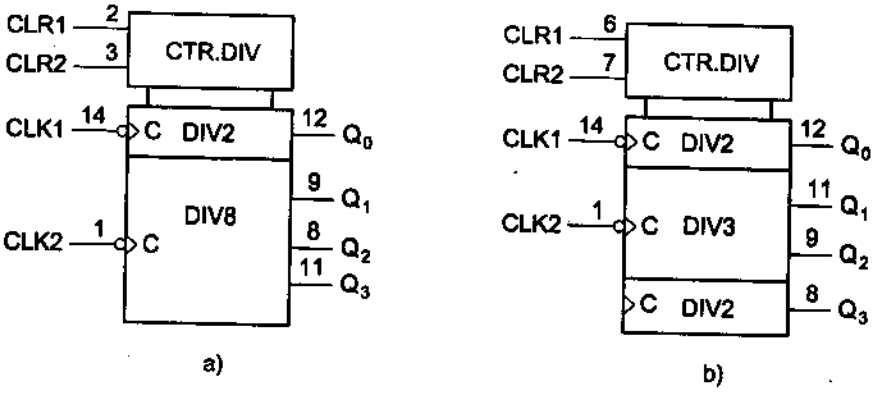
Tóm lại :

• IC 7493 có thể sử dụng làm bộ đếm nhị phân ba bit (bộ đếm modul 8). Nó cũng có thể dùng làm bộ đếm nhị phân không đồng bộ 4 bit, với đầu vào xung đếm đặt ở CLK1, số nhị phân ở cửa ra là $Q_3Q_2Q_1Q_o$ (Q_o có trọng số 2°, Q_3 có trọng số 2^3) và đầu Q_o phải nối với CLK2.

• Có thể sử dụng IC 7493 làm các bộ chia 2, chia 8 và chia 16 tần số. Hãy xem phải nối thế nào để có được bộ chia 16 tần số ?

Hai đầu CLR1, CLR2 là hai đầu "xoá". Khi CLR1 = CLR2 = 1 logic thì các đầu ra bị xoá. Vậy để mạch hoạt động phải nối "mát" hai đầu này (CLR1 = CLR2 = 0 logic).

Sưu tầm bởi: www.daihoc.com.vn



Hình 5.4. Sơ đồ khối của IC 7493, 7492.

2. Xét sơ đồ khối của IC 7492 (hình 5-4b). Nó gồm hai mạch có thể hoạt động độc lập nhau : Mạch chia đôi tần số DIV.2, và mạch chia 3-2 DIV3 - DIV2. Mạch chia 3-2 tần số gồm mạch chia 3-DIV.3 nối tầng với mạch chia 2-DIV.2 (đầu Q_2 nối ở bên trong với đầu C của DIV.2). Vì vậy, nếu đặt dãy xung tần số f vào CLK2 thì ta sẽ có ở đầu ra Q_2 dãy xung tần số f/3 và ở đầu ra Q_3 dãy xung tần số f/6.

Tóm lại :

• Bằng các cách nối khác nhau, ta có thể sử dụng IC 7492 làm các mạch chia 2, chia 3 và chia 6 tần số. Cũng có thể dùng IC 7492 làm mạch chia 12 tần số. Hãy suy nghĩ xem lúc đó phải nối thế nào ?

•.Nếu đặt vào CLK2 các xung đếm thì ta sẽ có bộ đếm nhị phân 3 bit với số nhị phân ở cửa ra là $Q_3Q_2Q_1$. Đem nối Q_o với CLK2 và đặt các xung đếm vào CLK1, ta sẽ có bộ đếm nhị phân 4 bit, với số nhị phân ở cửa ra là $Q_3Q_2Q_1Q_o$. Tương tự như IC 7493, các đầu CLR1, CLR2 là những đầu xoá. Muốn mạch làm việc phải nối "mát" hai đầu này.

Các chữ số ghi cạnh các đầu vào / ra ở hình 5-4 là số thứ tự chân tương ứng ở trên vỏ IC.

5-3. MỘT SỐ VI MẠCH ĐẾM ĐỒNG BỘ THÔNG DỤNG

Các vi mạch đếm đồng bộ trên thị trường thường là những IC đếm 4 bit, họ TTL hay CMOS. Nó có thể là bộ đếm modul 10 (còn gọi là IC đếm BCD một decad) hoặc bộ đếm modul 16 (bộ đếm nhị phân 4 bit). Dưới đây xét vài IC đếm thông dụng họ TTL.

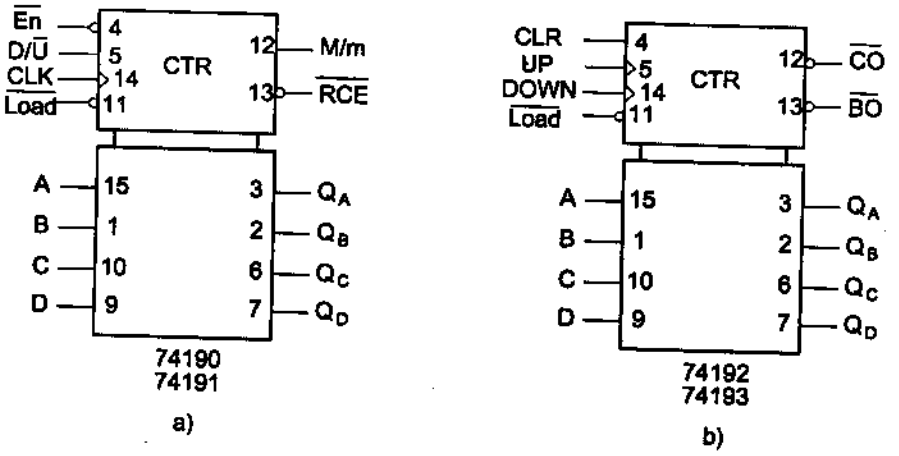
Sưu tầm bởi: www.daihoc.com.vn

5-3-1. Vi mạch 74190, 74191

IC 74190 là vi mạch đếm BCD một decad, IC 74191 là vi mạch đếm nhị phân 4 bit. Như vậy, dung lượng của IC 74190 là 9 xung, chu trình đếm là 10 xung ; nghĩa là IC có thể đếm tối đa là 9 xung, nếu có xung thứ 10 tới thì nội dung bộ đếm tự động trở về 0 (nếu là đếm thuận), hoặc nhảy lên 9 (nếu là đếm ngược). IC 74191 có dung lượng là 15 xung, chu trình đếm là 16 xung. Vỏ và cách bố trí chân của hai IC là hoàn toàn giống nhau. Vỏ có 16 chân, kiểu hai hàng chân song song, đánh số từ 1 ÷ 16, tựa như cách đánh số ở hình 5-3. Chân số 16 nối với nguồn cung cấp +5V, chân số 8 nối "mát". Các chân còn lại có vai trò thể hiện trên sơ đồ khối ở hình 5-5. Xét vai trò các chân của IC.

• Các đầu vào số liệu (hoặc gọi là đầu vào đặt trước) A, B, C, D dùng đặt một số cho trước vào bộ đếm. Theo thứ tự từ A đến D thì A là bit có trọng số thấp nhất (2^0) và D là bit có trọng số cao nhất (2^3). Đầu $\overline{Load}$ (tích cực thấp) để điều khiển nạp số liệu đặt trước vào IC. Khi cho $\overline{Load}$ = 0 logic, các giá trị đặt ở A, B, C, D tương ứng sẽ truyền tới các đầu ra Q_A, A_B, Q_C, Q_D. Sau khi nạp phải chuyển $\overline{Load}$ sang giá trị 1 logic thì bộ đếm mới hoạt động được.

• Đầu $\overline{En}$ (Enable, tích cực thấp) để điều khiển cho phép IC làm việc. Khi $\overline{En}$ = 0 logic, mạch được phép làm việc. Nếu $\overline{En}$ = 1 logic, mạch không thể hoạt động.



Hình 5-5. Sơ đồ khối của các IC 74190÷ 74193

• Đầu $D/\overline{U}$ để chọn phương thức đếm. Khi $D/\overline{U}$ = 0 logic, mạch sẽ đếm thuận. Cho $D/\overline{U}$ = 1 logic thì mạch đếm ngược.

• Chân CLK là đầu vào của các xung đếm. Mạch hoạt động ở sườn lên của xung.

Sưu tầm bởi: www.daihoc.com.vn

• Ngoài các đầu ra $Q_A \div Q_D$ để chỉ kết quả đếm (Q_A có trọng số thấp nhất là 2^0, các bit sau có trọng số tăng dần và Q_D là bit có trọng số cao nhất -2^3), mạch còn có đầu ra M/m (Max/min) và đầu ra $\overline{RCE}$. Hai đầu ra này sẽ lật trạng thái khi bộ đếm đã đếm tới giá trị tới hạn (Max khi đếm thuận, và min = 0 khi đếm ngược).

– Đầu M/m chỉ nhảy lên 1 logic khi bộ đếm đang đếm thuận và nội dung trong nó đã đạt cực đại (ở IC 74190 là N_{max} = 9, ở IC 74191 là N_{max} = 15), hoặc khi bộ đếm đang đếm ngược và nội dung trong nó đã về số 0.

– Đầu ra $\overline{RCE}$ có quan hệ logic với các đầu vào / ra khác như sau :

$$\overline{RCE} = \overline{En} + CLK + \overline{M/m}$$

Ta thấy nếu IC không được phép làm việc ($\overline{En}$ = 1 logic) thì $\overline{RCE}$ = 1 logic. Đầu $\overline{RCE}$ chỉ có thể chuyển về 0 logic khi bộ đếm đang được phép làm việc ($\overline{En}$ = 0) và nó đã đếm đến giá trị tới hạn (M/m = 1), đồng thời không có xung đếm ở đầu vào CLK.

Tóm lại, phụ thuộc giá trị logic đặt ở các đầu điều khiển, IC 74190 và 74191 hoạt động như sau :

– Khi $\overline{Load}$ = 0 logic, bộ đếm được nạp số cho trước từ các đầu vào A, B, C, D (Q_A = A, Q_B = B, Q_C = C và Q_D = D).

– Bộ đếm chỉ có thể đếm khi $\overline{Load}$ = 1 logic và $\overline{En}$ = 0 logic. Lúc đó, nếu $D/\overline{U}$ = 0 logic : đếm thuận, nếu $D/\overline{U}$ = 1 logic : đếm ngược.

5-3-2. Vi mạch 74192, 74193. IC 74192 là bộ đếm BCD một decad (modul 10), IC 74193 là bộ đếm nhị phân 4 bit (modul 16). Cả hai IC có vỏ và cách bố trí chân hoàn toàn giống nhau. Sơ đồ khối của chúng vẽ ở hình 5-5 và có một số khác biệt so với loại 74190, 74191 đã khảo sát ở trên :

• Các IC 74192, 74193 có hai đầu vào đếm UP và DOWN. Nếu xung đếm đưa vào UP (còn đầu DOWN đặt giá trị 1 logic) thì bộ đếm sẽ đếm thuận. Ngược lại, nếu xung đếm vào DOWN (còn UP = 1 logic), bộ đếm sẽ đếm ngược. Nếu đồng thời có hai dãy xung đưa vào UP và DOWN thì mạch sẽ hoạt động theo cách đếm thuận nghịch.

• Mạch có đầu CLR (CLEAR) để xoá nội dung bộ đếm. Khi CLR =1 logic, bộ đếm bị xoá. Vậy, để mạch có thể đếm được thì phải đặt CLR = 0 logic và $\overline{Load}$ = 1 logic.

• Các đầu ra $\overline{BO}$, $\overline{CO}$ có quan hệ logic với các đầu vào / ra khác như sau :

$$\overline{BO} = \overline{\overline{DOWN} \cdot \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} \cdot \overline{Q_D}}$$

$$\overline{CO} = \overline{\overline{UP} \cdot Q_A \cdot Q_D} \quad \text{(đối với IC 74192)}$$

$$\overline{CO} = \overline{\overline{UP} \cdot Q_A \cdot Q_B \cdot Q_C \cdot Q_D} \quad \text{(đối với IC 74193).}$$

Sưu tầm bởi: www.daihoc.com.vn

Ta thấy khi đếm ngược thì $\overline{CO}$ luôn luôn bằng 1 logic (vì UP = 1 logic), còn đầu ra $\overline{BO}$ chỉ nhảy từ giá trị 1 logic xuống 0 logic khi nội dung bộ đếm giảm xuống số 0 ($Q_A = Q_B = Q_C = D_D = 0$) và không có xung đếm ở đầu vào DOWN. Lúc đếm thuận thì ngược lại đầu $\overline{BO}$ luôn bằng 1 logic ; đầu ra $\overline{CO}$ chỉ nhảy từ 1 logic xuống 0 logic khi bộ đếm đã đạt tới dung lượng của nó N_{max} ($N_{max} = 9$ với IC 74192 và $N_{max} = 15$ với IC 74193) và không có xung ở đầu vào UP.

Các IC 74190, 74191 có tần số làm việc từ 25 MHz trở xuống. Các IC 74192, 74193 có thể làm việc ở tần số cao hơn một chút, cỡ khoảng 32 MHz trở xuống.

Một số IC đếm 4 bit họ CMOS :

4160, 4162, 40160, 40162 : Đếm BCD 1 decad, có thể lập trình.

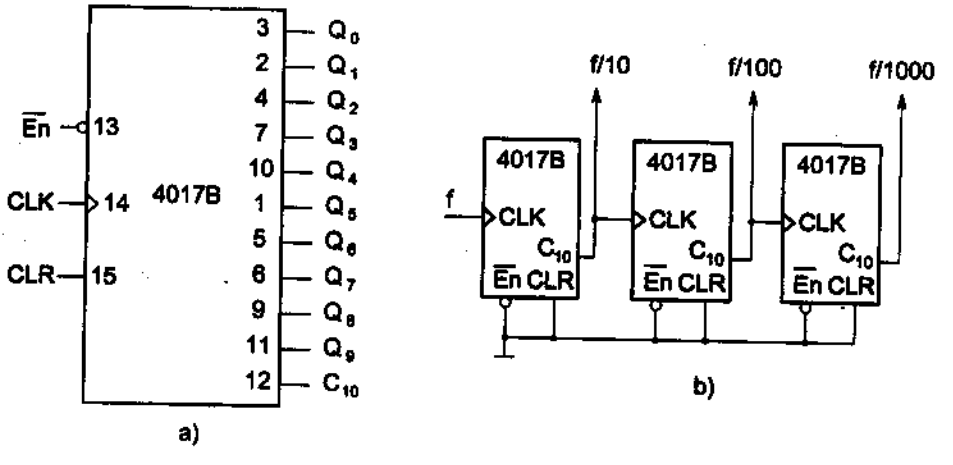
4518 : gồm hai mạch đếm BCD 1 decad độc lập nhau trong một "chip", chỉ đếm thuận.

4520 : gồm hai mạch đếm nhị phân 4 bit độc lập nhau trong một "chip", chỉ đếm thuận.

Các IC đếm họ CMOS có tần số làm việc cực đại thấp hơn họ TTL. Ví dụ IC 4520 có tần số làm việc cực đại chỉ 6 MHz (ứng với nguồn cung cấp +10V).

5-4. VI MẠCH ĐẾM CHẠY VÒNG 4017B

Khái niệm về bộ đếm chạy vòng đã trình bày ở mục 5-1. Ở đây trình bày "chip" 4017B là một vi mạch đếm chạy vòng modul 10 (chu trình đếm là 10 xung). Vỏ gồm 16 chân, kiểu hai hàng chân song song, đánh số từ 1 ÷ 16 tựa như cách đánh số ở hình 5-3. Chân số 16 nối với nguồn cung cấp +3 ÷ +15V, chân số 8 nối "mát". Các chân còn lại có vai trò thể hiện trên sơ đồ khối hình 5-6a.



Hình 5-6. Sơ đồ khối của IC 4017B và cách nối tầng

Sưu tầm bởi: www.daihoc.com.vn

Mạch có 11 đầu ra ($Q_0 \div Q_9$, C_{10}). Xung đếm vào ở đầu CLK. Đầu vào $\overline{En}$ để điều khiển sự làm việc của IC. Nối "mát" đầu $\overline{En}$ thì mạch mới làm việc. Nếu đặt vào đầu xoá CLR giá trị 1 logic thì Q_o = 1 logic. Sau đó, với $\overline{En}$ = CLR = 0 logic, trạng thái các đầu ra sẽ thay đổi tuần tự theo các xung đếm ở đầu vào CLK như trong bảng 5-1.

Bảng 5-1

Số xung đếm	Q_o	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9	C_{10}
0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	1
3	0	0	0	1	0	0	0	0	0	0	1
4	0	0	0	0	1	0	0	0	0	0	1
5	0	0	0	0	0	1	0	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0	0
7	0	0	0	0	0	0	0	1	0	0	0
8	0	0	0	0	0	0	0	0	1	0	0
9	0	0	0	0	0	0	0	0	0	1	0
10	1	0	0	0	0	0	0	0	0	0	1

một chu trình đếm

Từ bảng 5-1 ta có nhận xét sau :

• Đếm đến xung thứ 10 thì các đầu ra quay lại trạng thái ban đầu, khi chưa có xung nào tới. Vậy bộ đếm có chu trình đếm là 10 xung.

• Sự thay đổi mức logic của đầu ra C_{10} như ở bảng 5-1 sẽ rất thuận tiện để tạo thành mạch chia tần số cho 10^k (k nguyên dương). hình 5-6b là một sơ đồ nối tầng các IC 4017 để tạo thành mạch chia tần số cho 10^k, k = 1, 2, 3. Dãy xung vào có tần số f, các đầu ra C_{10} sẽ cho các dãy xung vuông góc ***đối xứng***, tần số $f/10^k$.

• Nếu đem nối đầu CLR với một đầu ra Q_i nào đó (i = 2 ÷ 9) thì IC sẽ hoạt động như một bộ đếm chạy vòng modul i (chu trình đếm là i xung). Ví dụ đem nối Q_6 với CLR thì chỉ các xung từ 1 ÷ 5 làm các đầu ra $Q_1 \div Q_5$ lần lượt thay đổi trạng thái. Đến xung thứ 6 thì Q_6 = 1 = CLR nên bộ đếm bị xoá và quay về trạng thái ban đầu, với Q_o = 1 logic. Vậy chu trình đếm của IC là 6 xung.

5.5. SỬ DỤNG CÁC VI MẠCH ĐẾM

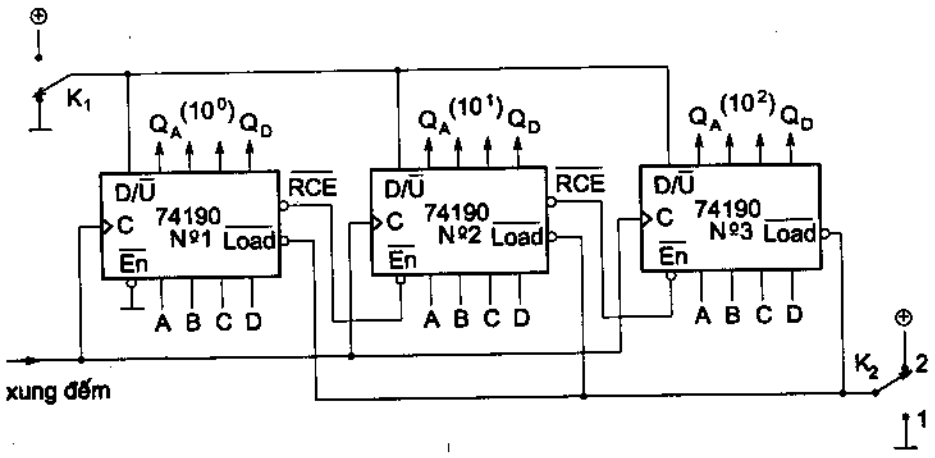
5-5-1. Nối tầng các IC đếm

Các IC đếm 4 bit BCD hoặc nhị phân thuần tuý chỉ có dung lượng đếm tương ứng là 9 và 15 xung. Để mở rộng dung lượng bộ đếm ta phải thực hiện

Sưu tầm bởi: www.daihoc.com.vn

việc nối tầng các IC. Tuỳ thuộc từng loại IC đếm mà ta có các cách nối tầng khác nhau. Nếu nắm tường tận vai trò của các đầu vào / ra trong IC, thì việc tìm ra cách nối tầng chúng cũng tương đối đơn giản. Dưới đây ta xét cách nối tầng các IC 74190 ÷ 74193 vừa khảo sát ở trên.

• *Nối tầng các IC 74190, 74191.* Hình 5-7 là một ví dụ về cách nối tầng ba IC 74190 để tạo thành bộ đếm BCD 3 decad. Trong cách này, xung đếm đến đầu vào C của tất cả các tầng. Nhưng chỉ có đầu vào $\overline{En}$ của tầng ứng với decad có trọng số nhỏ nhất (tầng N°1, với trọng số 10^0) là nối "mát" cố định. Ở các tầng khác thì đầu $\overline{En}$ được nối với đầu $\overline{RCE}$ của tầng có trọng số nhỏ hơn liền kề.

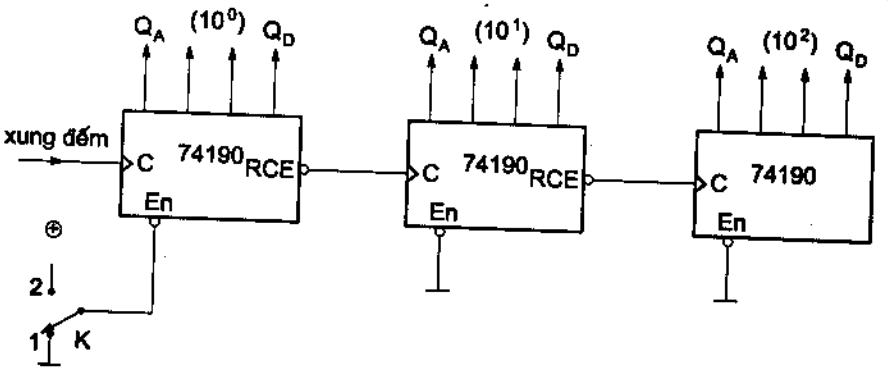


***Hình 5-7.** Một cách nối tầng của IC 74190, 74191*

Hoạt động của mạch như sau : Khoá K_1 để chọn cách đếm. Ở hình vẽ là chọn cách đếm thuận. Khởi động đóng K_2 sang vị trí 1, $\overline{Load}$ = 0 logic → số liệu đặt trước ở A, B, C, D nạp vào bộ đếm ; ví dụ số liệu nạp ban đầu bằng 0. Đóng K sang vị trí 2, bộ đếm bắt đầu đếm thuận từ 0. Tuy nhiên chỉ có tầng N°1 là được phép đếm, các tầng N°2, N°3 có $\overline{En} = \overline{RCE} = 1$ logic nên bị khoá, không đếm được. Khi tầng N°1 đếm tới 9 xung thì đầu ra $\overline{RCE}$ của nó tụt xuống 0 logic và cho phép tầng N°2 có thể đếm. Khi có xung thứ 10 đi tới thì nội dung của tầng N°1 quay về số 0 và tầng N°2 đếm xung đầu tiên. Đầu ra $\overline{RCE}$ của N°1 lại nhảy lên 1 logic và tầng N°2 lại bị khoá. Do đó ở chu trình đếm thứ 2 của N°1 cũng chỉ có tầng này đếm. Đến xung thứ 19 thì đầu ra $\overline{RCE}$ của tầng N°1 lần nữa lại tụt xuống 0 logic và cho phép tầng N°2 đếm. Xung thứ 20 đi đến thì nội dung của tầng N°1 lại bị xoá và tầng N°2 đếm xung thứ 2. Vậy

Sưu tầm bởi: www.daihoc.com.vn

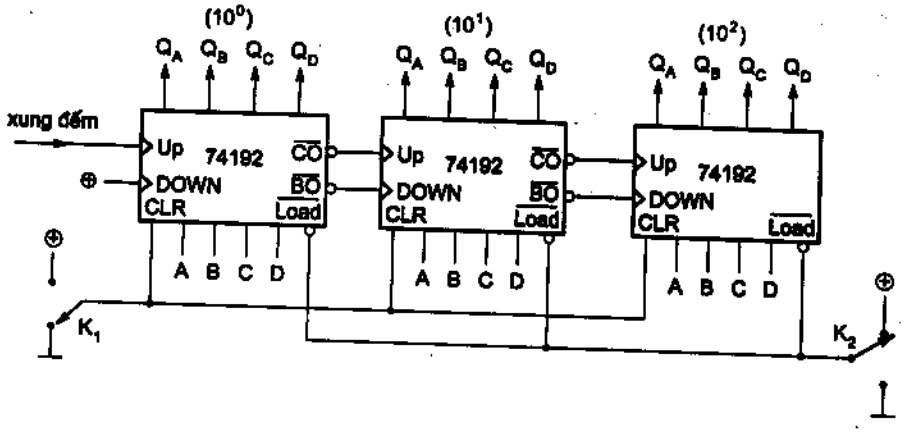
cứ 10 xung tới tầng N°1 thì tầng N°2 mới đếm 1 xung, và tầng N°2 đếm 10 xung thì tầng N°3 mới đếm 1 xung. Do đó tầng N°1 tương ứng với decad hàng đơn vị, tầng N°2 tương ứng với decad hàng chục và tầng N°3 tương ứng với decad hàng trăm của bộ đếm BCD 3 decad. Dung lượng của bộ đếm là $10^3 - 1 = 999$.



Hình 5-8. Một cách nối tầng khác của IC 74190, 74191

Nếu trên hình 5-7, thay vì các IC 74190 là ba IC 74191 ta sẽ có bộ đếm nhị phân (thuần tuý) 12 bit. Dung lượng bộ đếm sẽ là $2^{12} - 1 = 4095$ xung. Bạn hãy tự suy ra trọng số của 12 bit ở cửa ra bộ đếm.

Hình 5-8 giới thiệu một cách nối tầng khác của các IC 74190, 74191. Tương tự như đã trình bày ở trên, bạn có thể tự thuyết minh hoạt động của mạch. Để đơn giản, trên hình vẽ không vẽ cách nối các đầu $\overline{\text{Load}}$ và D/$\overline{\text{U}}$. Khoá K dùng điều khiển cho phép hoặc không cho phép mạch làm việc.



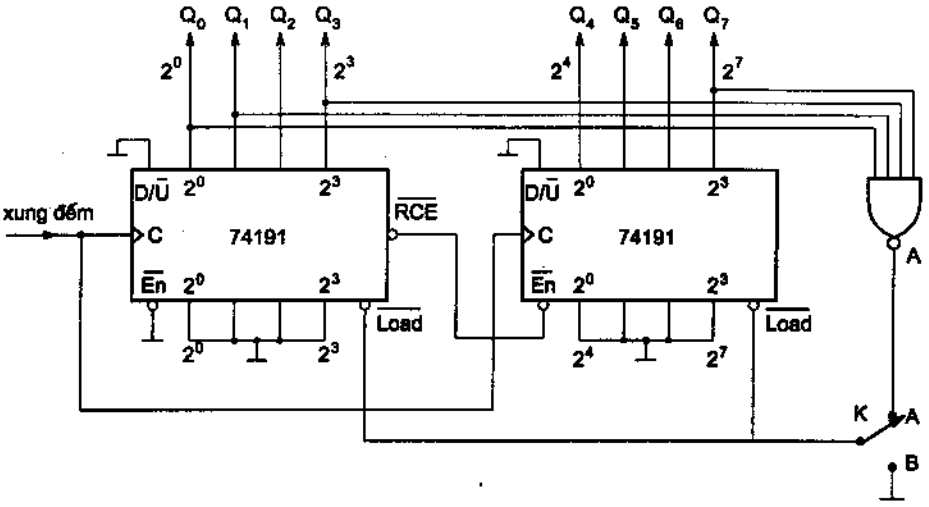
Hình 5-9. Cách nối tầng các IC 74192, 74193

Sưu tầm bởi: www.daihoc.com.vn

• ***Nối tầng các IC 74192, 74193***. Hình 5-9 giới thiệu cách nối tầng các IC 74192, 74193. Xung đếm chỉ đi vào tầng có trọng số nhỏ nhất. Nếu đếm thuận thì xung đếm dẫn vào đầu UP, đầu DOWN cố định giá trị 1 logic. Nếu đếm ngược thì xung đếm dẫn tới đầu DOWN và UP = 1 logic. Nếu đếm thuận - nghịch thì hai dãy xung đến dẫn tới hai đầu UP và DOWN. Xem hoạt động của các đầu ra $\overline{BO}$, $\overline{CO}$ ở mục 5-3-2, ta sẽ thuyết minh được hoạt động của mạch đếm hình 5-9.

5-5-2. Xây dựng bộ đếm với chu trình đếm tuỳ chọn

Việc nối tầng các IC đếm 4 bit BCD hoặc nhị phân như đã trình bày ở trên sẽ tạo ra được các bộ đếm BCD k decad, hoặc bộ đếm nhị phân 4k bit (k là số tầng của bộ đếm thành lập từ các IC 4 bit). Như vậy ta sẽ có các bộ đếm với chu trình đếm xác định là 10^k hoặc 2^{4k}. Trong thực tế nhiều khi người ta cần có các bộ đếm với chu trình đếm tuỳ chọn. Có phương pháp chung để tổng hợp bộ đếm đồng bộ modul N bất kì từ các Flip Flop. Tuy nhiên với người sử dụng thì điều quan trọng hơn là biết cách ghép nối các vi mạch đếm 4 bit sẵn có trên thị trường thành một mạch đếm modul N yêu cầu. Ví dụ : Hãy dùng các IC 74191 để thành lập bộ đếm thuận modul 139. Ta thấy :



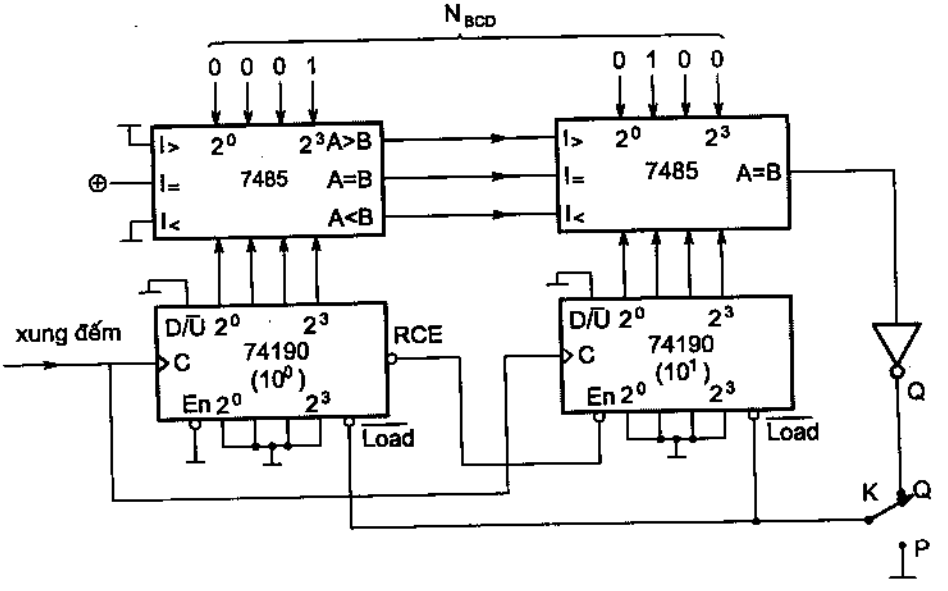
Hình 5-10. Thành lập bộ đếm nhị phân modul 139

Sưu tầm bởi: www.daihoc.com.vn

• Để có được bộ đếm modul 139 thì phải dùng 2IC 74191 nối tầng, ví dụ theo cách ở hình 5-7, ta sẽ được bộ đếm nhị phân 8 bit với chu trình đếm lên tới $2^8 = 256$ xung.

• Vậy phải bổ sung một mạch logic phụ sao cho khi đếm tới xung thứ 139 thì đầu $\overline{\text{Load}}$ tự động về 0 logic để xoá bộ đếm. Sau đó nó lại tự động nhảy lên 1 logic để bộ đếm sẵn sàng cho một chu trình đếm tiếp theo. Mạch logic phụ đó đơn giản chỉ là một phần tử NAND. Tín hiệu đặt trên các đầu vào phần tử này dẫn từ các bít đầu ra có giá trị 1 logic của bộ đếm khi nó đếm tới 139 xung (các đầu Q_7, Q_3, Q_1, Q_0). Cách chuyển số thập phân 139 thành số nhị phân xem ở phục lục 3. Cuối cùng ta có mạch đếm nhị phân 8 bit với chu trình đếm 139 như ở hình 5-10.

Xét hoạt động của mạch. Khởi động đóng khoá K sang B, bộ đếm bị xoá, đầu ra A của phần tử NAND ở 1 logic. Chuyển khoá K sang A, mạch sẽ đếm bắt đầu từ số 0. Tới xung thứ 139 thì các đầu Q_7, Q_3, Q_1, Q_o đều bằng 1 logic và $A = \overline{\text{Load}} = 0$ logic. Bộ đếm bị xoá, A lập tức lại chuyển lên 1 logic và mạch sẵn sàng cho một chu trình đếm mới. Vậy mạch hình 5.10 là bộ đếm nhị phân chu trình 139 xung (bộ đếm modul 139).



Hình 5-11. Bộ đếm với chu trình đếm có thể lập trình

Sưu tầm bởi: www.daihoc.com.vn

5-5-3. Xây dựng bộ đếm với chu trình đếm lập trình

Tiến thêm một bước, người ta đòi hỏi từ các vi mạch đếm chuẩn hoá 4 bit, xây dựng một bộ đếm với chu trình đếm có thể thay đổi chỉ bằng cách đưa yêu cầu của chu trình mới vào, kết cấu bộ đếm (phần cứng) vẫn giữ nguyên không thay đổi. Bộ đếm như vậy gọi là bộ đếm với ***chu trình đếm có thể lập trình***. Ví dụ sau : Hãy thành lập bộ đếm từ các IC 74190 để có bộ đếm modul N. Số N có thể thay đổi từ 99 trở xuống.

Ý tưởng chính để giải bài toán vẫn như vừa trình bày ở mục 5-5-2. Tuy nhiên ở đây, để có thể thay đổi modul N thì thay vì phần tử NAND ta dùng mạch so sánh số ghép từ các IC 7485 (xem mục 4-2). Kết quả đếm ở cửa ra bộ đếm được so sánh với số N đặt ở một cửa vào của mạch so sánh. Ta có sơ đồ mạch ở hình 5-11.

Xét hoạt động của mạch hình 5-11. Trước hết đặt chu trình đếm N yêu cầu lên một cửa vào của mạch so sánh (ví dụ kênh A), kênh vào B của mạch so sánh là kết quả đưa ra từ bộ đếm. Đóng khoá K sang vị trí P, bộ đếm bị xoá, số liệu trên hai cửa vào mạch so sánh $A \neq B$ nên đầu ra $A = B$ ở 0 logic và đầu ra Q của phần tử ĐẢO ở 1 logic. Đóng khoá K sang Q, bộ đếm đếm thuận từ số 0. Khi kết quả đếm ở cửa ra bộ đếm đạt số N thì $A = B$ và đầu ra $A = B$ có giá trị 1 logic $\rightarrow$ Q = 0 logic = $\overline{\text{Load}}$ $\rightarrow$ bộ đếm bị xoá và $A \neq B \rightarrow$ đầu ra $A = B$ lại tụt xuống 0 logic $\rightarrow$ Q = $\overline{\text{Load}}$ = 1 logic và mạch lại sẵn sàng cho một chu trình đếm mới. Muốn thay đổi chu trình đếm N, ta chỉ cần thay đổi số N đặt trên kênh A của mạch so sánh. Vậy sơ đồ hình 5-11 là một bộ đếm modul N có thể lập trình. Chú ý rằng bộ đếm ghép từ hai IC 74190, nên nó là bộ đếm BCD hai decad. Do đó số N đặt vào cũng phải ở dạng số BCD. Ví dụ trên hình vẽ ta có :

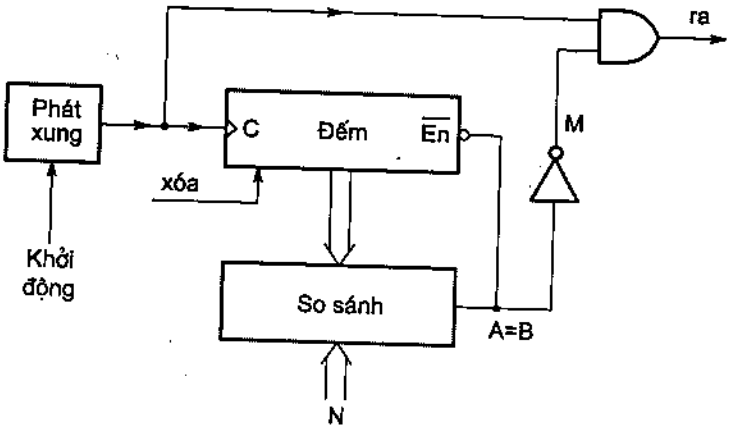
$$N_{BCD} = 00101000 = 28$$

5-6. MỘT SỐ ỨNG DỤNG CỦA BỘ ĐẾM

Bộ đếm là một trong những mạch logic được dùng rộng rãi nhất trong kĩ thuật số. Thật khó mà kể hết được những ứng dụng cụ thể của bộ đếm trong các hệ thống đo lường và điều khiển số. Trong các chương sau bạn sẽ thấy rõ vai trò của bộ đếm. Dưới đây chỉ đơn cử vài ví dụ điển hình.

1. Trong nhiều trường hợp người ta dùng bộ đếm để tạo lập mạch phát ra một dãy xung có số xung xác định trước (hình 5-12).

Sưu tầm bởi: www.daihoc.com.vn

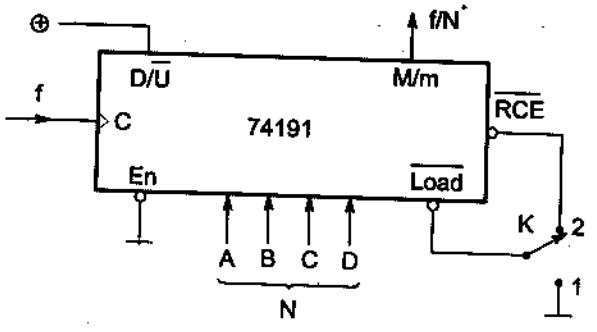


Hình 5-12. Mạch phát dãy xung có số xung xác định trước

Trên hình 5-12, số xung định trước N của dãy xung phát ra được đặt trên một cửa vào của mạch so sánh. Mạch phát xung phát dãy xung vào bộ đếm, đồng thời cũng đưa tới cổng VÀ để truyền qua đầu ra. Khi số xung phát ra đạt giá trị N định trước thì đầu ra A = B của mạch so sánh, nhảy lên 1 logic. Do đó cổng VÀ đóng, chặn dãy xung tới ; bộ đếm cũng bị khoá, không làm việc được.

2. Một ứng dụng khá phổ biến của bộ đếm là sử dụng nó làm mạch chia tần số của một dãy xung. Ta có thể :

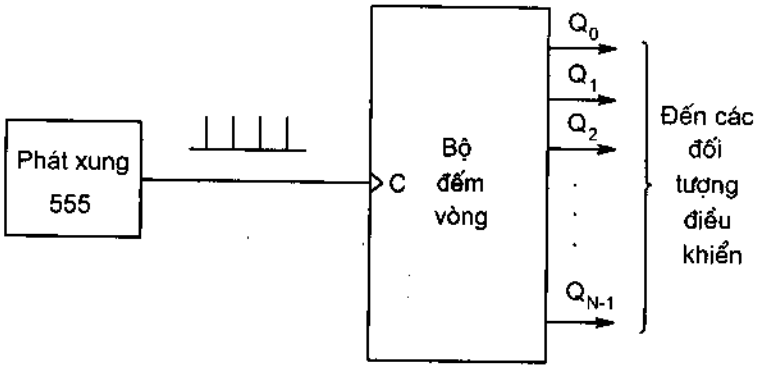
- Dùng các IC đếm không đồng bộ để tạo thành các mạch chia tần số (xem mục 5-2).
- Dùng mạch đếm vòng cho việc chia tần số (xem mục 5-4).
- Hình 5-13 giới thiệu mạch chia tần số với số chia N có thể lập trình, bộ đếm là IC 74191.



Hình 5-13. Mạch chia tần số có thể lập trình

Sưu tầm bởi: www.daihoc.com.vn

Xét hoạt động của mạch. Đặt số chia N vào các đầu vào số liệu A, B, C, D. Cho bộ đếm làm việc theo cách đếm ngược ($D/\overline{U} = 1$ logic). Dãy xung tần số f cần chia dẫn vào đầu C. Đầu M/m chính là đầu ra mạch chia tần. Khởi động đóng K sang vị trí 1, số N được nạp vào bộ đếm. Đầu $\overline{RCE}$ ở 1 logic. Đóng K sang vị trí 2, bộ đếm đếm ngược từ số N. Đếm được N xung thì nội dung bộ đếm về số 0, đầu $\overline{RCE}$ tụt xuống 0 logic và số N lại được nạp vào bộ đếm. Đầu ra M/m phát ra một xung và $\overline{RCE}$ lại nhảy lên mức cao. Bộ đếm tiếp tục một chu trình đếm mới. Quá trình cứ liên tục tiếp diễn như trên. Ta thấy, cứ N xung vào bộ đếm thì đầu M/m cho một xung ra. Vậy dãy xung ở đầu ra M/m có tần số là f/N.



Hình 5-14. Mạch điều khiển những hoạt động trình tự và chu trình

3. Người ta còn hay dùng bộ đếm chạy vòng để ***điều khiển những hoạt động có tính trình tự và chu trình***, ví dụ điều khiển ánh sáng chạy của một dãy đèn quảng cáo (hình 5-14). Trên hình vẽ, tín hiệu ở các đầu ra $Q_o \div Q_{N-1}$ sẽ dẫn tới điều khiển sự làm việc của N đối tượng, ví dụ những công tắc các mạch chiếu sáng hàng đèn quảng cáo. Dãy xung nhịp từ mạch phát xung dùng timer 555 làm thay đổi một cách tuần tự mức logic trên các đầu ra bộ đếm vòng, từ Q_o đến Q_{N-1} và lại lặp lại sau N xung tới bộ đếm. Kết quả là ta tạo được một ánh sáng chạy vòng phát ra từ hàng đèn quảng cáo.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 5

5-1. Bộ đếm là gì ? Thế nào là bộ đếm BCD k decad ? Thế nào là bộ đếm nhị phân n bit ? Thế nào là đếm thuận, đếm ngược, đếm thuận - nghịch ? Thế nào là bộ đếm lập trình ?

Sưu tầm bởi: www.daihoc.com.vn

5-2. Hãy chỉ ra vai trò của các đầu vào / ra trên các vi mạch đếm : IC 74190 ÷ 74193.

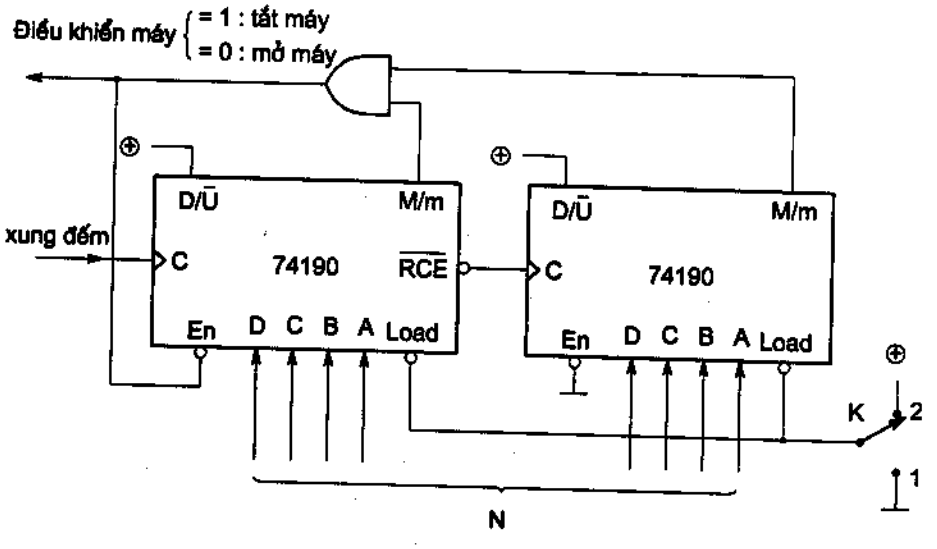
5-3. Bộ đếm chạy vòng là gì ? Hãy chỉ ra hoạt động của IC 4017B.

5-4. Dung lượng của bộ đếm là gì ? Thế nào là bộ đếm modul N ?

5-5. Mục đích của nối tầng các IC đếm là gì ? Hãy chỉ ra cách nối tầng các IC 74190 ÷ 74193.

5-6. Dùng các IC 74190 và phần tử NAND để xây dựng bộ đếm thuận modul 150.

5-7. Dùng các IC 74191 và các IC 7485 để xây dựng bộ đếm thuận với chu trình đếm N có thể lập trình. Yêu cầu bộ đếm có chu trình đếm lớn nhất là $N_{max} = 255$.



Hình 5-15. Bài tập 5-8

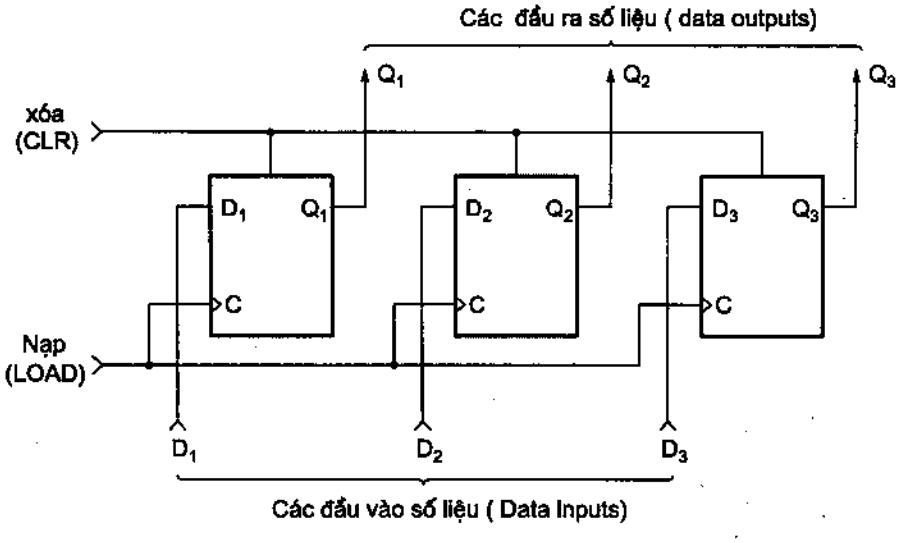
5-8. Hình 5-15 là ví dụ về mạch điều khiển sự hoạt động của một máy dập. Cứ mỗi lần dập được một thành phẩm thì mạch đo lường và kiểm tra của máy phát ra một xung để đưa đến bộ đếm. Số lượng thành phẩm cần dập N được đặt trước vào bộ đếm thông qua mạch mã hoá thập phân / BCD. (Xem chương 7, trên hình 5-15 không vẽ). Khởi động đóng khoá K sang vị trí 1, sau đó chuyển sang vị trí 2. Thuyết minh sự làm việc của mạch.

Sưu tầm bởi: www.daihoc.com.vn

Chương 6 THANH GHI VÀ THANH GHI DỊCH

6-1. KHÁI NIỆM VỀ THANH GHI (Register)

• Thanh ghi n bit là mạch gồm n D Flip Flop đứng độc lập ; Những đầu vào / ra số liệu của chúng không có liên hệ với nhau. Thanh ghi dùng để lưu giữ n bit dữ liệu.



Hình 6-1. *Thanh ghi 3 bit*

Hình 6-1 vẽ mạch của một thanh ghi 3 bit. Ngoài các đầu vào / ra số liệu, mạch còn có đầu "nạp" và "xoá". Đầu "nạp" còn gọi là đầu "cho phép làm việc". Khi có tín hiệu logic đặt lên đầu này, dữ liệu ở các đầu vào sẽ truyền qua đầu ra tương ứng. Không còn dữ liệu ở cửa vào, các đầu ra vẫn giữ nguyên dữ liệu nó đã ghi. Khái niệm về D-Flip Flop đã trình bày ở mục 3-1.

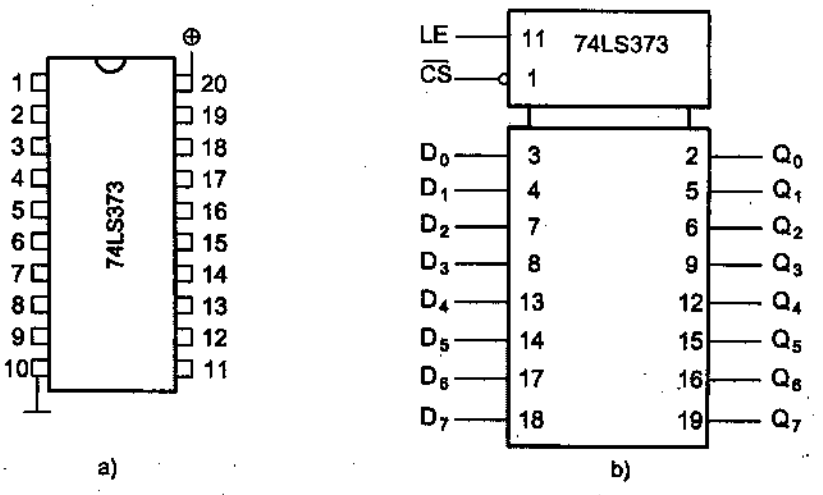
Sưu tầm bởi: www.daihoc.com.vn

• Các thanh ghi hiện nay đều là các vi mạch họ TTL hay CMOS, gồm ba loại :

– Loại thanh ghi chốt (Latch) là loại thanh ghi có thể ghi dữ liệu ở cửa vào trong suốt thời gian đầu "nạp" nằm ở mức logic cao H (hoặc thấp L). Ví dụ 7475, 74116.

– Loại thanh ghi hoạt động theo sườn xung là các thanh ghi chỉ ghi được số liệu trên cửa vào trong khoảng thời gian ứng với sườn lên (hoặc sườn xuống) của xung đặt ở đầu vào "nạp". Ví dụ IC 74273 : 8 bit, họ TTL ; IC 4174, 40174 : 6 bít, họ CMOS.

– Loại thanh ghi đầu ra ba trạng thái (xem mục 1-10-3b), ví dụ IC 74373, 74374 (họ TTL) IC 40374 (họ CMOS) là các "chip" thanh ghi 8 bit, đầu ra ba trạng thái.



Hình 6-2. Vỏ và sơ đồ khối của IC 74LS373

Hình 6-2a, b tương ứng là vỏ và sơ đồ khối của IC. 74LS373. Mạch có hai đầu điều khiển : Đầu cho phép nạp LE (Latch Enable), tích cực cao, và đầu "chọn chip" $\overline{CS}$ (hay còn gọi là đầu điều khiển cửa ra $\overline{OE}$). Các thao tác điều khiển thanh ghi gồm :

LE = 0 logic, $\overline{CS}$ *= 1 logic* : dữ liệu ở cửa vào $D_0 \div D_7$ không nạp được vào thanh ghi. Các đầu ra $Q_0 \div Q_7$ ở trạng thái tổng trở cao. Thanh ghi coi như cách li với bên ngoài, cả ở phía cửa vào lẫn cửa ra.

LE = 1, $\overline{CS}$ *= 1* : Dữ liệu ở cửa vào nạp được vào thanh ghi. Nội dung trong thanh ghi luôn thay dổi theo sự biến động của dữ liệu đặt trên các đầu vào $D_0 \div D_7$, với thời gian trễ khoảng vài chục ns. Tuy nhiên các đầu ra $Q_0 \div Q_7$

Sưu tầm bởi: www.daihoc.com.vn

vẫn ở trạng thái tổng trở cao ; nghĩa là thanh ghi thực chất vẫn bị tách khỏi kênh truyền dữ liệu chung nối với $Q_0 \div Q_7$. Thao tác ứng với LE = 1, $\overline{CS}$ = 1 gọi là thao tác *ghi* (write) dữ liệu vào thanh ghi.

LE = 0, $\overline{CS}$ = 0 gọi là thao tác *đọc* (read) thanh ghi. Lúc này thanh ghi lại bị cách li với dữ liệu ở cửa vào, nhưng được nối với kênh truyền dữ liệu chung ở phía cửa ra của nó. Nội dung trong thanh ghi được gửi ra kênh truyền chung, nhưng thanh ghi không bị xoá, vẫn giữ dữ liệu đã ghi trong nó.

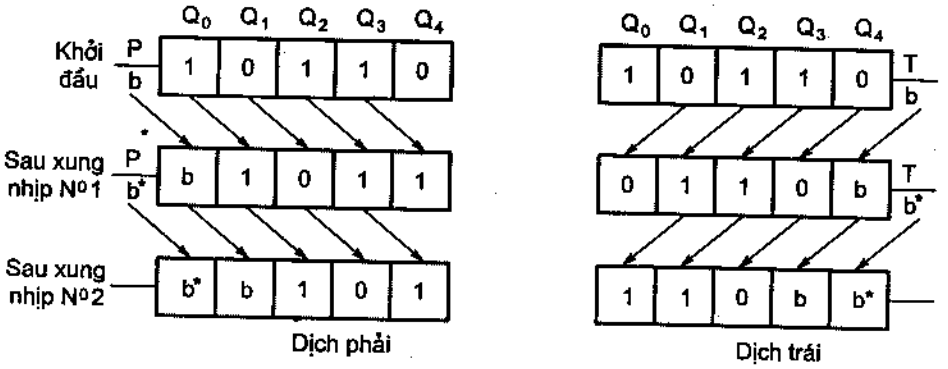
LE = 1, $\overline{CS}$ = 0 là thao tác "mở toang" thanh ghi cho dữ liệu ở cửa vào chạy thông tới cửa ra.

• Nhìn chung thanh ghi được dùng làm phần tử nhớ (lưu giữ thông tin) tạm thời trong quá trình xử lí dữ liệu. Việc ghi / đọc dữ liệu vào thanh ghi được thực hiện nhanh hơn vào bộ nhớ (xem chương 9). Do đó thanh ghi là phần không thể thiếu được trong các "chip" vi xử lí. Người ta cũng dùng thanh ghi để "nối" giữa hai thiết bị số. Lúc đó, nó đóng vai trò một *cổng* (port) để thực hiện việc truyền dữ liệu song song (truyền đồng thời n bit) giữa hai thiết bị.

6-2. THANH GHI DỊCH (Shift Register)

• Thanh ghi dịch là thanh ghi mà nội dung ghi trong nó có thể dịch (tịnh tiến) sang phải hoặc sang trái một bit, ứng với mỗi xung nhịp (clock) tới nó.

Để có thể dịch được tín hiệu logic đã ghi trên đầu ra các Flip Flop mỗi khi có xung nhịp, ta có *quy tắc ghép nối chúng trong thanh ghi dịch* như sau : Theo chiều dịch, tín hiệu ở đầu ra của Flip Flop đứng trước phải dẫn tới đầu vào tương ứng của Flip Flop đứng sau liền kề. Ta làm rõ hơn về khái niệm đứng trước / sau : Ví dụ theo chiều dịch từ trái sang phải, hai Flip Flop đứng cạnh nhau thì Flip Flop phía trái là đứng trước và Flip Flop bên phải là đứng sau. Xung nhịp đưa vào đầu vào đồng bộ C của tất cả các Flip Flop.

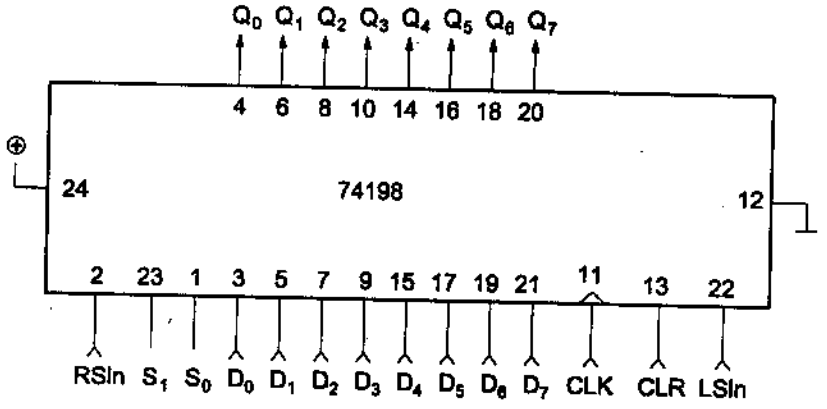


Hình 6-3. *Mô tả hoạt động của thanh ghi dịch*

Sưu tầm bởi: www.daihoc.com.vn

Hình 6-3 mô tả hoạt động của thanh ghi dịch 5 bit ($Q_o \div Q_4$) khi dịch trái / phải sau hai xung nhịp N^o1, N^o2. Trên hình vẽ, giá trị 1/0 ghi trong các ô là giá trị ở đầu ra $Q_o \div Q_4$ của các Flip Flop và ta thường gọi là nội dung ghi trong thanh ghi. Các đầu P, T tương ứng là đầu vào nối tiếp khi dịch phải và trái. Các kí hiệu b, b* là giá trị của bit trên đầu vào nối tiếp (b, b* có thể là 1 hoặc 0 logic). Trên hình vẽ không vẽ đầu vào đồng bộ để nhận các xung nhịp tới thanh ghi.

• Một thanh ghi dịch có ***đầu vào nối tiếp***, để nạp dần từng bit vào thanh ghi. Nó cũng có thể có các ***đầu vào song song*** để nạp đồng thời n bit dữ liệu. ***Đầu ra nối tiếp*** của thanh ghi dịch chính là đầu ra của Flip Flop đứng tận cùng phía phải hoặc trái (tuỳ theo chiều dịch là phải hay trái). Sau mỗi xung nhịp, nội dung một bit trong thanh ghi lại được chuyển tới đầu ra này. Thanh ghi dịch cũng có thể có các ***đầu ra song song*** ; Chúng chính là đầu ra của các Flip Flop được dẫn ra ngoài. Một thanh ghi dịch có đầy đủ các đầu vào / ra nối tiếp và song song, có thể dịch trái lẫn dịch phải thì gọi là ***thanh ghi dịch đa năng***.



Hình 6-4. Thanh ghi dịch đa năng - IC 74198

Hình 6-4 là sơ đồ khối của một thanh ghi dịch đa năng 8 bit, IC 74198 với 24 chân ra (1 ÷ 24). Tám đầu vào dữ liệu song song là $D_o \div D_7$. Tám đầu ra song song là $Q_o \div Q_7$. Đầu Q_o/Q_7 cũng là đầu ra nối tiếp khi dịch trái / phải. Đầu RSIn (Right Serial Input) là đầu vào nối tiếp khi dịch phải ; Đầu LSIn (Left Serial Input) là đầu vào nối tiếp lúc dịch trái. Các xung nhịp được dẫn tới đầu

Bảng 6-1

S_1	S_0	Phương thức hoạt động
0	0	Chặn xung nhịp
0	1	dịch phải
1	0	dịch trái
1	1	Nạp song song

Sưu tầm bởi: www.daihoc.com.vn

CLK (Clock). Mạch còn có đầu xoá không đồng bộ CLR. Khi CLR = 1 logic thì nội dung trong thanh ghi bị xoá. Vậy muốn thanh ghi hoạt động phải cố định CLR ở 0 logic (nối "mát"). Hai đầu lựa chọn S_1S_0 dùng chọn phương thức làm việc của thanh ghi (xem bảng 6-1). Ta thấy, với $S_1S_0 = 00$, xung nhịp không vào được thanh ghi và nó không thể hoạt động được.

Không phải thanh ghi dịch nào cũng đều là thanh ghi dịch đa năng. Dưới đây là một số vi mạch thanh ghi dịch họ TTL và CMOS.

IC 7494 : 4 bit, dịch phải, chỉ có đầu vào nối tiếp và đầu ra nối tiếp ; có các đầu vào nạp song song.

IC 74164 : thanh ghi dịch 8 bit, dịch phải, đầu vào nối tiếp và các đầu ra song song.

IC 74165 : thanh ghi dịch 8 bit, dịch phải có các đầu vào song song, đầu ra nối tiếp.

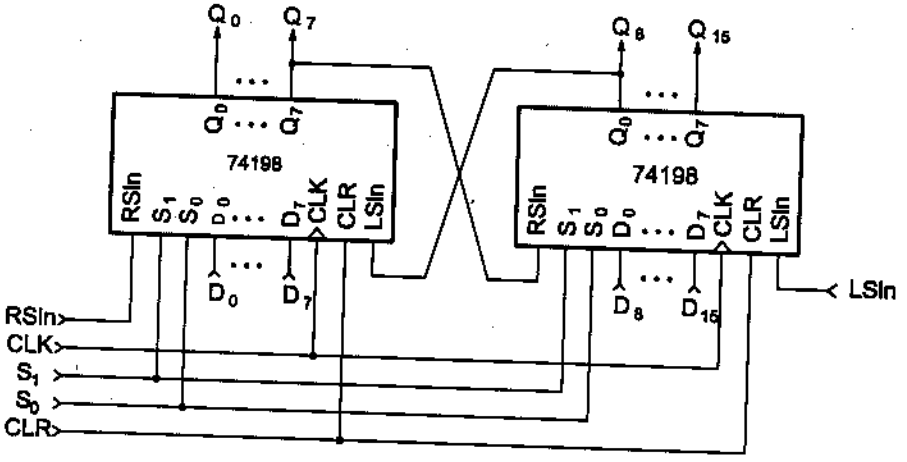
IC 74194 : thanh ghi dịch đa năng 4 bit.

IC 40194 : thanh ghi dịch đa năng 4 bit

IC 4014 : thanh ghi dịch 8 bit, có đầu vào nối tiếp và các đầu vào song song, đầu ra nối tiếp, dịch phải.

6-3. SỬ DỤNG THANH GHI DỊCH

1. ***Mở rộng thanh ghi dịch*** : Từ k "chip" vi mạch thanh ghi dịch n bit, ta phải biết cách ghép nối để có được một thanh ghi dịch nk bit. Nguyên tắc chung của việc nối tầng này là : Đầu ra nối tiếp dịch trái / phải của thanh ghi tầng trước phải được nối với đầu vào nối tiếp dịch trái / phải của thanh ghi tầng sau.

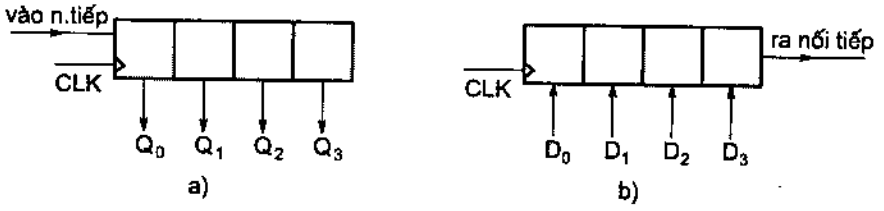


Hình 6-5. Nối tầng hai "chip" thanh ghi IC. 74198

Sưu tầm bởi: www.daihoc.com.vn

Hình 6-5 cho một ví dụ về nối tầng hai IC 74198, để có thanh ghi dịch vạn năng 16 bit $Q_0 \div Q_{15}$. Phương thức hoạt động của mạch tuỳ thuộc mức logic trên hai đầu lựa chọn (bảng 6-1).

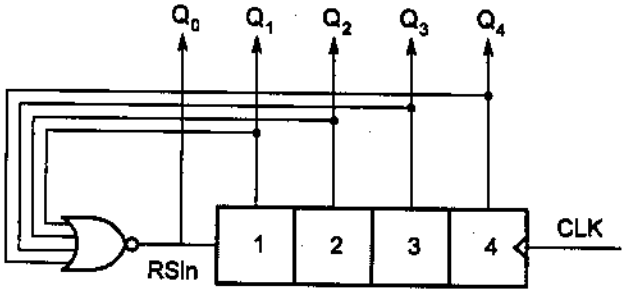
2. Một ứng dụng cơ bản của thanh ghi dịch là dùng nó để ***truyền dữ liệu trên một đường dây*** : Ta sử dụng thanh ghi dịch đặt ở nơi phát để chuyển thông tin n bit nhận được một cách đồng thời (song song) thành thông tin chuyển đi từng bit kế tiếp nhau trên một đường dây, theo sự điều khiển của các xung nhịp CLK. Trên hình 6-6b, ta dùng thanh ghi dịch 4 bit để nhận 4 bit dữ liệu $D_0 \div D_3$ nạp đồng thời vào nó. Sau đó, dưới sự cầm chịch của các xung CLK, từng bit dữ liệu (từ D_3 dần tới D_0) sẽ được chuyển ra đường dây truyền tin qua đầu ra nối tiếp. Ta nói, thanh ghi dịch đã ***biến thông tin từ song song sang nối tiếp***.



Hình 6-6. *Biến đổi thông tin song song - nối tiếp của thanh ghi dịch*

Ở nơi thu tin ta cũng cần một thanh ghi dịch nhận từng bit thông tin đến nối tiếp, để có được một mã thông tin hoàn chỉnh n bit. Hình 6-6a là thanh ghi dịch 4 bit để nhận từng bit thông tin đến. Sau 4 xung nhịp CLK thì 4 bit thông tin tới nối tiếp đã được chuyển thành mã thông tin hoàn chỉnh $Q_3Q_2Q_1Q_0$ ở cửa ra thanh ghi dịch. Ngược với hình 6-6b, ta nói ở đây thanh ghi dịch đã ***biến thông tin nối tiếp sang song song***.

3. Người ta cũng sử dụng thanh ghi dịch để ***tạo thành bộ đếm chạy vòng*** (xem mục 5-4) với chu trình đếm N, nhằm mục đích điều khiển những hoạt động có tính trình tự và chu trình (xem mục 5-6-3). Bài tập 6-6 cũng cho ta thêm một ví dụ về dùng thanh ghi dịch để điều khiển những hoạt động trình tự.



Hình 6-7. *Thành lập bộ đếm chạy vòng từ thanh ghi dịch*

Sưu tầm bởi: www.daihoc.com.vn

Hình 6-7 là sơ đồ nguyên lí thành lập bộ đếm chạy vòng từ thanh ghi dịch. Dùng thanh ghi dịch 4 bit $Q_1 \div Q_4$, với đầu vào nối tiếp dịch phải RSIn nối như hình vẽ, ta sẽ được bộ đếm chạy vòng chu trình đếm 5 xung, với 5 đầu ra $Q_o \div Q_4$. Xung đếm tới đầu vào CLK của thanh ghi dịch. Xét hoạt động của mạch : Khi thanh ghi bị xoá thì $Q_1 = Q_2 = Q_3 = Q_4 = 0$ logic và bit Q_o ở đầu ra phần tử NOR có giá trị 1 logic. Xung đếm thứ 1 tới đầu CLK, làm bit $Q_o = 1$ ở đầu vào nối tiếp RSIn sẽ dịch vào bit Q_1 và $Q_1 = 1$. Lúc đó :

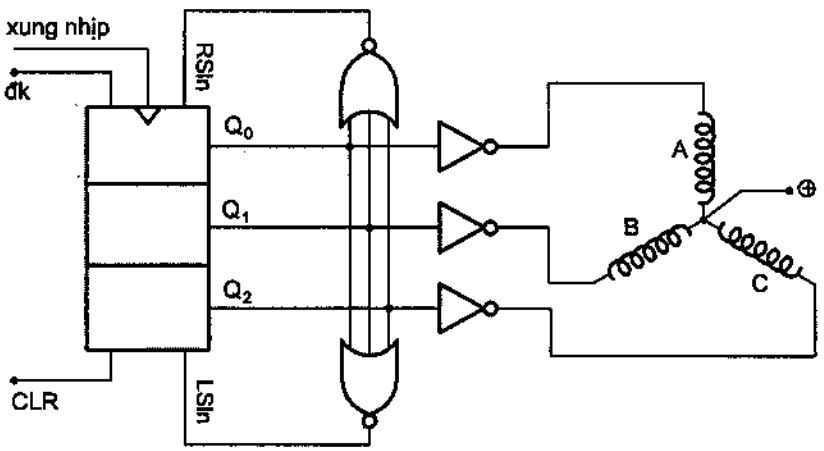
$$Q_o = \overline{Q_1 + Q_2 + Q_3 + Q_4} = 0 \text{ logic} \qquad (6\text{-}1)$$

Sau xung đếm thứ 2 vào CLK thì $Q_1 = 1$ dịch sang Q_2 còn $Q_o = 0$ dịch vào Q_1 ; bit Q_o tính theo (6-1) vẫn giữ giá trị 0 logic. Quá trình dịch cứ tiếp diễn theo bảng 6-2.

Bảng 6-2

Số xung đếm vào CLK		Q_o	Q_1	Q_2	Q_3	Q_4
Một chu trình đếm	0	1	0	0	0	0
	1	0	1	0	0	0
	2	0	0	1	0	0
	3	0	0	0	1	0
	4	0	0	0	0	1
	5	1	0	0	0	0
	⋮	⋮	⋮	⋮	⋮	⋮

Từ bảng 6-2 ta thấy mạch là bộ đếm chạy vòng với chu trình đếm là 5 xung thì nó lại trở về trạng thái ban đầu ($Q_o = 1$, $Q_1 = Q_2 = Q_3 = Q_4 = 0$) và sẵn sàng cho một chu trình đếm mới.



Hình 6-8. Dùng thanh ghi dịch điều khiển động cơ bước.

Sưu tầm bởi: www.daihoc.com.vn

4. Dùng thanh ghi dịch ***điều khiển động cơ bước***. Động cơ bước là loại động cơ công suất rất nhỏ, hay sử dụng trong đo lường điều khiển. Hình 6-8 là mạch điều khiển động cơ bước với ba cuộn dây A, B, C. Tại một thời điểm luôn luôn chỉ có dòng điện qua một trong ba cuộn dây và nó làm rôto động cơ quay 1 góc θ (gọi là 1 bước). Nếu dòng điện vào ba cuộn dây theo trình tự A → B → C → A... thì động cơ sẽ quay từng bước theo chiều, ví dụ thuận kim đồng hồ. Nếu dòng vào ba cuộn dây theo trình tự C → B → A → C... thì rôto dịch từng bước theo chiều ngược kim đồng hồ. Trên hình vẽ ta dùng một thanh ghi dịch 3 bit, có thể dịch trái và dịch phải theo tín hiệu điều khiển đk để điều khiển động cơ. Ứng với một xung nhịp tới thanh ghi, động cơ sẽ quay 1 bước θ theo một chiều xác định, tuỳ theo chiều dịch của thanh ghi. Bảng 6-3 mô tả sự chuyển dịch của động cơ bước theo chiều giả định là thuận kim đồng hồ, theo chiều dịch phải của thanh ghi dịch (ứng với đk = 1 logic). Khởi đầu cho CLR = 1 để xoá thanh ghi dịch.

Bảng 6-3

Số xung nhịp	RSIn	Q_0	Q_1	Q_2	Cuộn dây có điện	Góc quay của động cơ
Khởi đầu	1	0	0	0	Không có	Ở vị trí xuất phát
1	0	1	0	0	A	θ
2	0	0	1	0	B	θ + θ = 2θ
3	0	0	0	1	C	2θ + θ = 3θ
4	1	0	0	0	Không có	3θ + 0 = 3θ
5	0	1	0	0	A	3θ + θ = 4θ
6	0	0	1	0	B	4θ + θ = 5θ
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.

Nếu cho đk = 0, thanh ghi sẽ dịch trái và động cơ sẽ quay dịch từng bước theo chiều ngược lại.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 6

6-1. Thanh ghi n bit là gì ? Ứng dụng của nó.

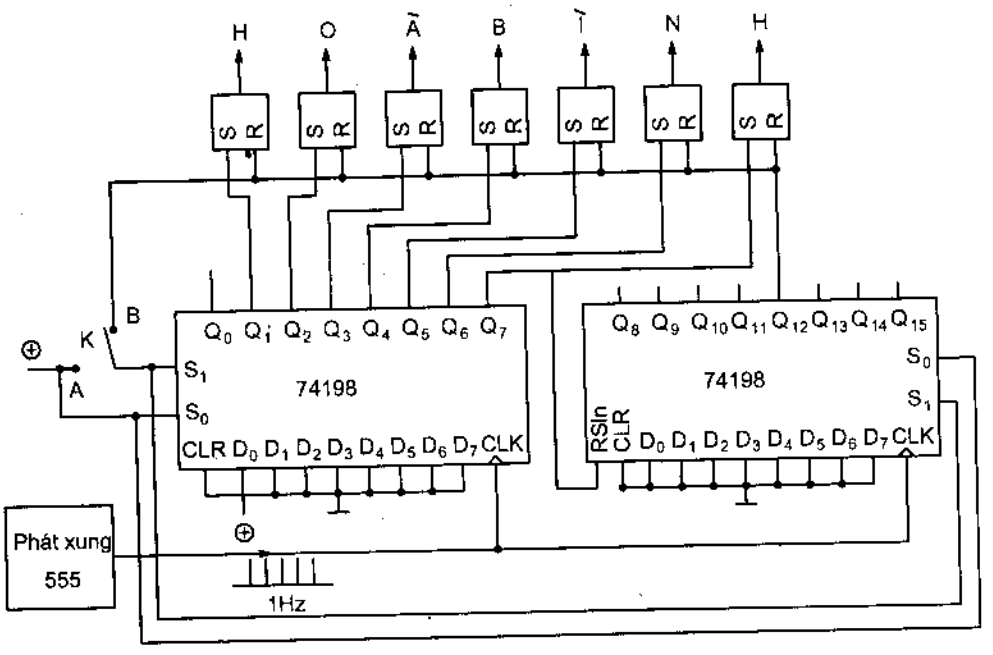
6-2. Có mấy thao tác điều khiển của thanh ghi đầu ra ba trạng thái ? Cho ví dụ với IC 74LS373.

Sưu tầm bởi: www.daihoc.com.vn

6-3. Thanh ghi dịch là gì ? Từ quy tắc ghép nối các Flip-Flop trong thanh ghi dịch, hãy thành lập thanh ghi dịch 4 bit, dịch phải, do bốn D-Flip Flop tạo thành.

6-4. Thế nào là thanh ghi dịch đa năng ? Nguyên tắc chung của việc nối tầng các IC thanh ghi dịch.

6-5. Nêu vài ứng dụng cơ bản của thanh ghi dịch.



Hình 6-9. *Bài tập 6-6*

6-6. Hình 6-9 là sơ đồ dùng các IC 74198 và các S-R Flip Flop để xây dựng mạch điều khiển sự thắp sáng tuần tự và chu trình hàng chữ HOÀ BÌNH. Khởi đầu đóng khoá K sang vị trí A, sau đó chuyển sang vị trí B. Hàng chữ sẽ tuần tự sáng theo trật tự sau : $H \xrightarrow{1s} O \xrightarrow{1s} Ă \xrightarrow{1s} B \xrightarrow{1s} Ĩ \xrightarrow{1s} N \xrightarrow{1s} H \rightarrow$ duy trì sáng cả 7 chữ trong 5s → tắt cả trong 2s → bắt đầu chu trình mới. Các chữ liền kề sáng chậm sau nhau là 1s. Hãy thuyết minh hoạt động của mạch. Đầu ra các Flip Flop điều khiển đóng / mở mạch chiếu sáng các chữ.

Sưu tầm bởi: www.daihoc.com.vn

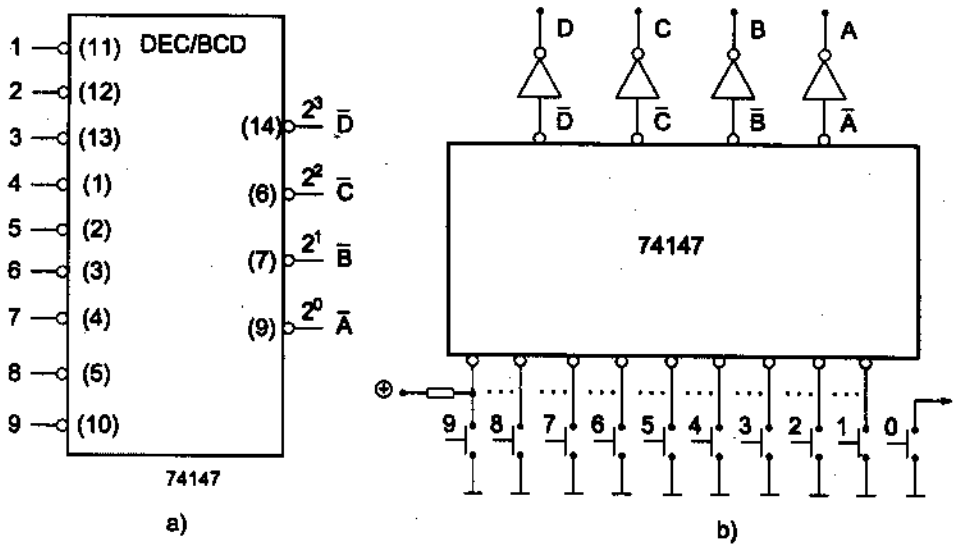
Chương 7

CÁC MẠCH BIẾN ĐỔI MÃ - HỆ THỐNG HIỂN THỊ

Mạch biến đổi mã hiểu theo nghĩa chung là một mạch logic nhằm chuyển thông tin từ dạng mã này sang dạng mã khác tương ứng. Khái niệm về mã và các hệ đếm đã trình bày ở phụ lục 2 và 3. Đa số các mạch biến đổi mã trong kĩ thuật số là để chuyển số N ở dạng mã này sang dạng mã khác. Chương này sẽ trình bày vài mạch mã hoá và giải mã thông dụng nhất, đồng thời cũng đề cập đến các hệ thống hiển thị dùng trong kĩ thuật số.

7-1. BỘ MÃ HOÁ THẬP PHÂN

Mạch mã hoá thập phân chuyển một số biểu diễn trong hệ đếm thập phân thành số tương ứng biểu diễn bằng mã BCD. Một vi mạch mã hoá thập phân thông dụng là IC 74147. Nó biến các số 0 ÷ 9 trong mỗi decad số thập phân thành số nhị phân 4 bit.



Hình 7-1. Sơ đồ khối của IC 74147 và bộ mã hoá thập phân bàn phím

Sưu tầm bởi: www.daihoc.com.vn

1. Xét IC 74147.

Vỏ IC 74147 là kiểu hai hàng chân song song, gồm 16 chân. Cách đánh số chân từ 1 đến 16 tăng dần theo ngược chiều kim đồng hồ, như đã trình bày ở các chương trước. Chân 16 nối với nguồn +5V, chân 8 nối "mát". Hình 7-1a là sơ đồ khối của IC 74147. Mạch gồm 9 đầu vào, biểu thị cho 9 giá trị (1 ÷ 9) của một decad trong số thập phân. Cửa ra là 4 bit nhị phân với trọng số 8421. Các số trong dấu ngoặc đơn là số thứ tự chân tương ứng trên vỏ. Khi một trong 9 đầu vào chuyển từ mức logic cao H xuống mức thấp L, thì một số trong 4 bit nhị phân ở cửa ra sẽ thay đổi trạng thái (từ H → L), sao cho chúng chỉ số nhị phân tương ứng với giá trị của đầu vào bị thay đổi mức logic. Bảng 7-1 chỉ rõ sự hoạt động của mạch và ta thường gọi là bảng chân lí (xem phụ lục 4).

Bảng 7-1

Bảng chân lí của IC 74147

Số thập phân đưa vào	Đầu vào									Đầu ra			
	1	2	3	4	5	6	7	8	9	$\overline{D}$	$\overline{C}$	$\overline{B}$	$\overline{A}$
0	H	H	H	H	H	H	H	H	H	H	H	H	H
1	L	H	H	H	H	H	H	H	H	H	H	H	L
2	×	L	H	H	H	H	H	H	H	H	H	L	H
3	×	×	L	H	H	H	H	H	H	H	H	L	L
4	×	×	×	L	H	H	H	H	H	H	L	H	H
5	×	×	×	×	L	H	H	H	H	H	L	H	L
6	×	×	×	×	×	L	H	H	H	H	L	L	H
7	×	×	×	×	×	×	L	H	H	H	L	L	L
8	×	×	×	×	×	×	×	L	H	L	H	H	H
9	×	×	×	×	×	×	×	×	L	L	H	H	L

Từ bảng chân lí ta thấy IC 74147 có các đặc điểm sau :

• Các đầu vào và ra đều là tích cực thấp. Số nhị phân ở cửa ra cho theo quy ước của logic âm (1 → L, 0 → H).

• Không có đầu vào để chuyển giá trị 0 của số thập phân. Số 0 tương ứng với khi cả 9 đầu vào đều ở mức cao H và 4 đầu ra cũng đều ở mức H.

• Dấu × trong bảng chân lí có ý nghĩa là "tuỳ chọn", có thể nó là mức L, có thể là mức cao H. Như vậy, khi cùng một lúc có vài đầu vào chuyển từ H sang L thì cửa ra chỉ phản ứng theo đầu vào có giá trị cực đại bị thay đổi trạng thái. Ta nói IC 74147 là ***mạch mã hoá có ưu tiên.***

Sưu tầm bởi: www.daihoc.com.vn

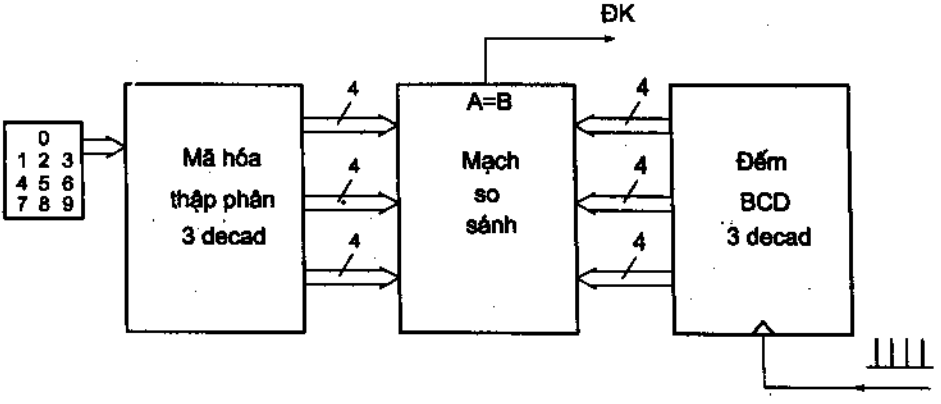
2. Bộ mã hoá thập phân bàn phím.

Bộ mã hoá thập phân bàn phím (hình 7-1b) thực chất là một vi mạch mã hoá thập phân, ví dụ IC 74147 có kèm theo 10 phím nhấn, đánh số từ 0 đến 9, để chuyển số cần biến đổi (0 ÷ 9) vào IC. Bình thường, chín đầu vào của IC 74147 đều ở mức logic cao H vì chúng đều được nối với nguồn +5V thông qua các điện trở "treo cao", có trị số 1 ÷ 5KΩ (trên hình vẽ chỉ vẽ đầy đủ cho một đầu vào số 9 làm điển hình ; các đầu vào khác cũng nối tương tự). Bốn đầu ra của IC 74147 cho theo quy ước mạch logic âm. Vì vậy, để dùng quy ước mạch logic dương quen thuộc, ta nối chúng qua các phần tử ĐẢO. Bây giờ, dùng tay nhấn một nút, ví dụ nút nhấn số 6, mức logic thấp L (0V) sẽ được chuyển tới đầu vào số 6 của IC 74147, và cửa ra mạch sẽ phản ứng để cho số BCD tương ứng :

DCBA = 0110 = LHHL.

Trên hình 7-1b ta thấy nút nhấn số 0 hình như là "thừa" ! Thực ra với IC 74147 lúc bình thường, khi cả 9 đầu vào đều ở mức cao H, thì cửa ra của nó đã mặc nhiên chỉ số 0 của mã BCD (DCBA = 0000 = LLLL). Tuy vậy, nút nhấn số 0 sẽ cần thiết để thành lập bộ mã hoá thập phân bàn phím k decad (xem bài tập 7-4).

Cuối cùng, cần phân biệt bộ mã hoá thập phân bàn phím ở trên, với bộ mã hoá bàn phím dùng trong một số máy tính cá nhân khi xử lí văn bản. Bộ mã hoá bàn phím này chuyển những kí tự ghi trên các phím (kể cả các chữ số 0 ÷ 9) thành mã ASCII (xem phụ lục 2) để hiển thị chúng trên màn hình máy tính.



Hình 7-2. Ví dụ về ứng dụng bộ mã hoá thập phân bàn phím 3 decad

3. Bộ mã hoá thập phân bàn phím k decad

Rất nhiều trường hợp cần dùng bộ mã hoá thập phân bàn phím k decad (k là số nguyên, dương) để chuyển một số thập phân k decad thành số BCD tương ứng. Hình 7-2 là ví dụ về mạch tự động điều khiển hoạt động của máy photocopy, với số bản in có thể đặt trước được (có thể lập trình). Người sử dụng

Sưu tầm bởi: www.daihoc.com.vn

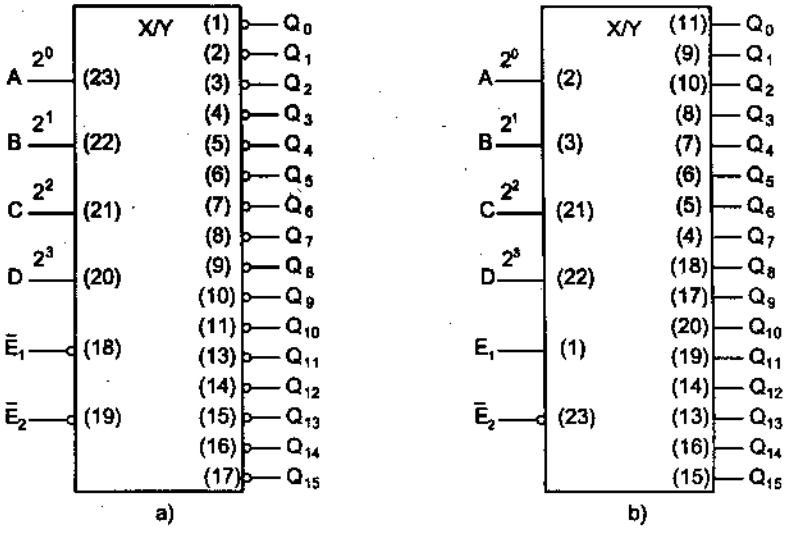
máy chỉ việc ấn các nút nhấn (0 ÷ 9) để định số bản in và chuyển nó thành số BCD k decad (trên hình vẽ k = 3) đặt trên một cửa vào của bộ so sánh. Kết quả đếm ở cửa ra bộ đếm sẽ dẫn tới cửa vào còn lại của bộ so sánh. Cứ mỗi lần in được một bản thì máy lại phát ra một xung đưa vào bộ đếm. Khi số tờ in được đã bằng số bản in định trước thì đầu ra A = B phát tín hiệu điều khiển ĐK thích hợp làm dừng máy.

Việc thiết lập mạch so sánh và mạch đếm BCD k decad từ các IC chuẩn hoá đã trình bày ở chương 4, 5. Vấn đề còn lại ở đây là xét thành lập bộ mã hoá thập phân bàn phím k decad. Một điều hiển nhiên và đơn giản nhất là ta sử dụng độc lập k bộ mã hoá thập phân bàn phím đã trình bày ở trên (hình 7-1b). Phương pháp này đòi hỏi phải có k bàn phím 10 nút nhấn, làm phức tạp mặt điều khiển và dễ gây nhầm lẫn cho người sử dụng. Trên hình 7-2, bộ mã hoá thập phân 3 decad chỉ sử dụng duy nhất một bàn phím với 10 phím nhấn. Bài tập 7-4 sẽ giới thiệu sơ đồ của bộ mã hoá bàn phím này.

7-2. MẠCH GIẢI MÃ 1 TỪ N

1. Định nghĩa

Giải mã 1 từ N là một mạch logic tổ hợp, cửa vào đặt số nhị phân n bit, cửa ra có $N = 2^n$ đầu ra và đánh số từ 0 đến N-1. Khi mạch hoạt động, luôn luôn chỉ có duy nhất một đầu ra có chỉ số bằng số nhị phân đặt ở cửa vào là thay đổi trạng thái : Chuyển từ 0 logic lên 1 logic đối với loại ***đầu ra tích cực cao***, và ngược lại từ 1 logic sang 0 logic với loại ***đầu ra tích cực thấp***. Tên gọi "1 từ N" chính là để diễn đạt hoạt động của mạch : luôn luôn chỉ có một trong số N đầu ra là thay đổi mức logic.



Hình 7-3. Sơ đồ khối của IC 74154 và IC 4514

Sưu tầm bởi: www.daihoc.com.vn

2. Một số vi mạch giải mã 1 từ N

• *Họ TTL :* IC 74137, 74138 là các mạch giải mã "1 từ 8" ; IC 74139, 74155, 74156, mỗi IC có hai mạch giải mã "1 từ 4" ; IC 74154, 74159 là các mạch giải mã "1 từ 16".

• *Họ CMOS :* IC 4514, 4515 là các mạch giải mã "1 từ 16", IC 4555, 4556, mỗi "chip" có 2 mạch "1 từ 4".

Hình 7-3a, b tương ứng là sơ đồ khối của IC 74154 và IC 4514. Các đầu ra Q_i của IC 74154 là tích cực thấp, của IC 4514 là tích cực cao. Chỉ số i ở mỗi đầu ra (i = 0 ÷ 15) là tương ứng với số nhị phân DCBA đặt ở cửa vào. Khi DCBA = i thì đầu ra Q_i sẽ lật trạng thái. Ví dụ, DCBA = 0110 = 6, đầu ra Q_6 ở IC 74154 sẽ chuyển từ 1 logic sang 0 logic (ngược lại, ở IC 4514 thì Q_6 chuyển từ 0 sang 1 logic). Mạch có thêm hai đầu điều khiển "cho phép làm việc" ($\overline{E}_1$, $\overline{E}_2$ ở IC 74154 và E_1, $\overline{E}_2$ ở IC 4514). Chỉ khi $\overline{E}_1 = \overline{E}_2 = 0$ logic thì IC 74154 mới được phép hoạt động, và khi $E_1 = 1$, $\overline{E}_2 = 0$ thì IC 4514 mới được phép làm việc. Nếu không được phép làm việc, tất cả các đầu ra đều ở 1 logic (với IC 74154) hoặc 0 logic (với IC 4514). Các số trong dấu ngoặc đơn chỉ số chân tương ứng trên vỏ IC. Vỏ có 24 chân, chân số 24 nối với cực dương nguồn cung cấp, chân số 12 nối "mát".

3. Mở rộng số đầu ra của mạch giải mã "1 từ N"

Các "chip" vi mạch giải mã "1 từ N" thông dụng trên thị trường có số đầu ra N không vượt quá 16. Vậy, yêu cầu người sử dụng phải biết cách nối các "chip" vi mạch giải mã chuẩn hoá, để có được một mạch giải mã "1 từ N" với số đầu ra lớn hơn.

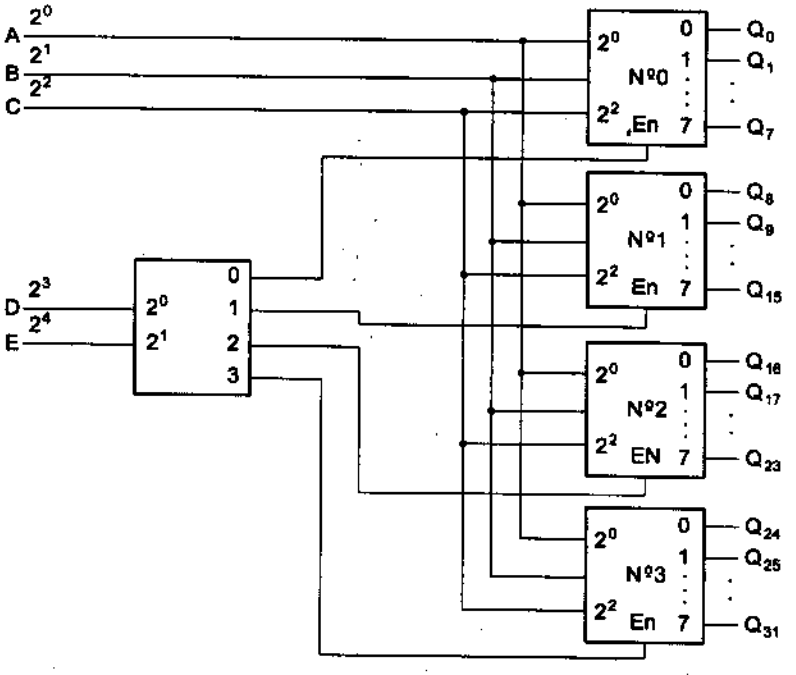
Nguyên tắc chung là ghép nối các IC giải mã thành hai tầng. Tầng thứ 2 gồm M "chip", sao cho tổng số đầu ra của chúng phải ít nhất bằng số đầu ra yêu cầu. Tầng đầu là một "chip" giải mã "1 từ N", với các đầu ra nối tới đầu điều khiển "cho phép làm việc" của các "chip" ở tầng 2. Vì vậy số đầu ra của "chip" ở tầng đầu phải ít nhất bằng M. Các bit có trọng số cao của số nhị phân cần biến đổi (giải mã) đưa tới các đầu vào của "chip" giải mã ở tầng 1, các bit còn lại đưa đồng thời tới các đầu vào của tất cả các chip ở tầng 2.

Hình 7-4 là ví dụ về thành lập mạch giải mã 1/32 (để cho gọn, mạch giải mã "1 từ N" thường viết là mạch giải mã 1/N). Mạch có 5 đầu vào E, D, C, B, A để đặt số nhị phân 5 bit, và 32 đầu ra $Q_o \div Q_{31}$.

Tầng ra của mạch gồm 4 "chip" giải mã 1/8 với đầu điều khiển cho phép làm việc En, tích cực cao. Tầng đầu là "chip" giải mã 1/4 để điều khiển bốn "chip" tầng sau. Hoạt động của mạch như sau : Khi ED = 00, chỉ "chip" N°0 của

Sưu tầm bởi: www.daihoc.com.vn

tầng ra được phép làm việc, các "chip" còn lại bị khoá. Do đó, ứng với số nhị phân ở cửa vào từ 00000 đến 00111, chỉ các đầu ra $Q_0 \div Q_7$ là có thể lật trạng thái. Với số nhị phân từ 11000 ÷ 11111 (từ 24 ÷ 31) thì chỉ "chip" N°3 được phép làm việc và chỉ các đầu ra $Q_{24} \div Q_{31}$ là có thể lật trạng thái... Tóm lại, tuỳ theo tổ hợp giá trị của 2 bit E, D mà luôn luôn chỉ có một "chip" tương ứng ở tầng ra được phép làm việc. Như vậy, với một giá trị của số nhị phân 5 bit ở cửa vào, chỉ có 1 đầu ra Q_i có chỉ số tương ứng là thay đổi giá trị logic, và mạch hình 7-4 là mạch giải mã 1/32. Nếu sử dụng các vi mạch giải mã có nhiều đầu vào điều khiển cho phép làm việc, ví dụ IC 74154, thì việc mở rộng số đầu ra của mạch giải mã sẽ linh hoạt hơn (xem bài tập 7-5).



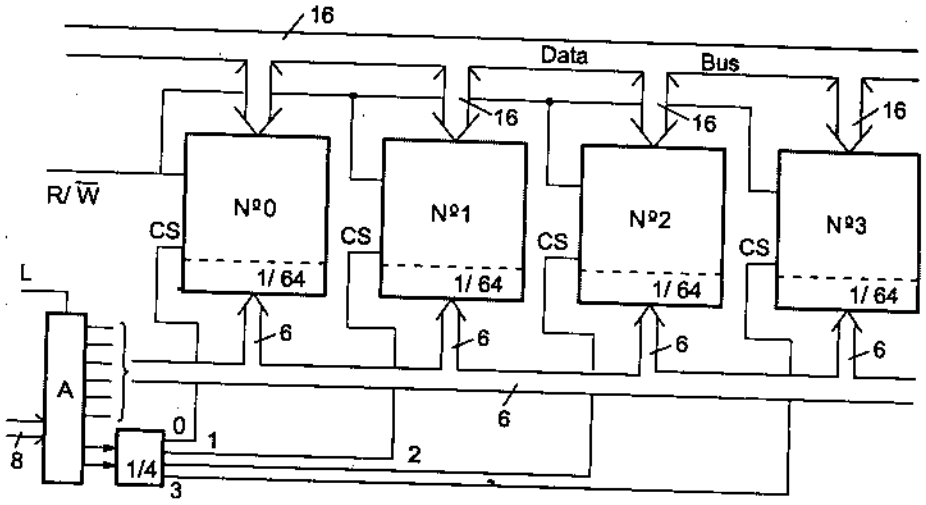
Hình 7-4. Thành lập mạch giải mã "1 từ 32"

7-3. NHỮNG ỨNG DỤNG CHÍNH CỦA GIẢI MÃ 1/N

1. Xác định địa chỉ

Một ứng dụng điển hình của giải mã 1/N là dùng để xác định địa chỉ của các phần tử trong một hệ thống điều khiển số. Giả sử ta cần tổ chức một hệ thống trao đổi dữ liệu giữa các bộ nhớ truy cập kiểu trực tiếp (xem mục 9-4) với những thiết bị ngoại vi, để lúc thì các thiết bị ngoại vi gửi dữ liệu đến lưu giữ trong bộ nhớ, lúc thì chúng lại yêu cầu lấy dữ liệu từ bộ nhớ về để xử lí.

Sưu tầm bởi: www.daihoc.com.vn



Hình 7-5. Hệ thống trao đổi dữ liệu

Hình 7-5 giới thiệu cấu trúc một hệ thống trao đổi dữ liệu giữa 4 bộ nhớ (Nº 0 ÷ Nº 3) với kênh truyền dữ liệu chung 16 bit (Data bus). Kênh truyền này là cầu liên lạc để truyền dữ liệu giữa bộ nhớ với các thiết bị ngoại vi. Giả sử mỗi bộ nhớ gồm 64 ô nhớ, có địa chỉ từ 0 ÷ 63. Tại mỗi ô nhớ có thể lưu giữ 16 bit thông tin, gọi là một "từ nhớ". Như vậy, bản thân trong cấu trúc mỗi bộ nhớ đã có một mạch giải mã 1/64 để tìm địa chỉ của từng ô nhớ. Đưa số nhị phân 6 bit vào kênh địa chỉ của bộ nhớ, ô nhớ có địa chỉ tương ứng sẽ được chỉ định để ghi một từ nhớ vào nó, hoặc đọc một từ nhớ đã ghi trên nó ra kênh dữ liệu 16 bit. Ta thấy, một bộ nhớ truy cập trực tiếp luôn luôn có ba loại kênh thông tin vào / ra :

– Kênh địa chỉ m bit để tìm địa chỉ của một trong 2^m ô nhớ mà ta cần truy cập thông tin. Mạch giải mã $1/2^m$ có trong bộ nhớ sẽ đảm nhận nhiệm vụ này.

– Kênh dữ liệu n bit để chuyển mã dữ liệu vào / ra trên ô nhớ đã chỉ định, khi bộ nhớ thực hiện lệnh ghi / đọc.

– Kênh điều khiển gồm một số đầu vào để nhận các tín hiệu điều khiển, ví dụ $R/\overline{w}$ để nhận lệnh đọc / ghi ; CS (gọi là đầu chọn "chip") để nhận tín hiệu cho phép bộ nhớ làm việc hoặc không...

Quay trở lại với hình 7-5. Ta thấy, ngoài 4 bộ nhớ và kênh truyền dữ liệu chung (Data bus), hệ thống còn có kênh địa chỉ gồm thanh ghi A, bộ giải mã 1/4 và các kênh dẫn (những đường dây dẫn tín hiệu). Tám bit địa chỉ gửi đến từ

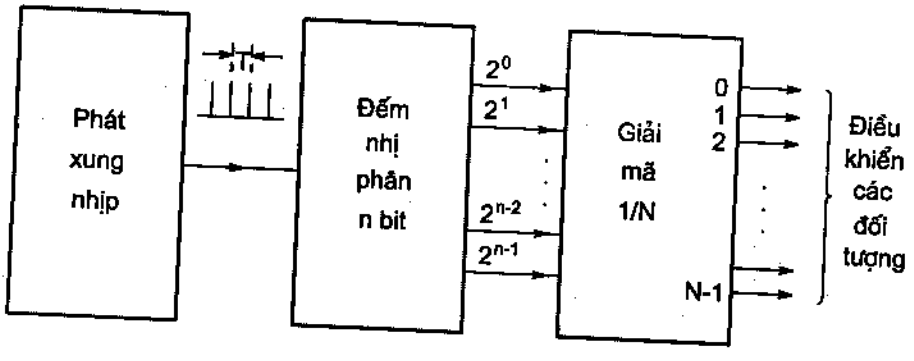
Sưu tầm bởi: www.daihoc.com.vn

trung tâm điều khiển được nạp vào thanh ghi A và chia thành hai nhóm : Một nhóm gồm 6 bit dẫn đồng thời tới 4 bộ nhớ để xác định địa chỉ của ô nhớ cần truy cập trong bộ nhớ ; Một nhóm gồm 2 bit, gửi tới bộ giải mã 1/4 để chọn một trong bốn bộ nhớ (N° 0 ÷ N° 3) cho phép nó làm việc (khi CS = 1 logic thì bộ nhớ được phép làm việc). Như vậy, trong quá trình trao đổi dữ liệu, tuỳ theo 2 bit địa chỉ của nhóm này và nhờ bộ giải mã 1/4, mà luôn luôn chỉ có một bộ nhớ được phép làm việc. Các đầu ra của ba bộ nhớ còn lại không được chọn là ở trạng thái tổng trở cao ; thực tế coi như chúng bị tách rời khỏi kênh truyền dữ liệu chung. Đương nhiên hệ thống còn phải có kênh điều khiển, ví dụ đường $R/\overline{w}$ để điều khiển việc đọc / ghi của các bộ nhớ, đường L để điều khiển "nạp" thanh ghi.

Tóm lại, qua ví dụ trên ta thấy : Ứng dụng tìm địa chỉ của giải mã 1/N là rất phổ biến. Nó có ngay trong cấu trúc của một số mạch logic chức năng như bộ nhớ, mạch dồn kênh analog (xem mục 8-**1-1**). Khi cần điều khiển một cách có lựa chọn theo địa chỉ của một trong N phần tử của hệ thống số nào đó, ta phải nghĩ ngay tới việc dùng giải mã 1/N. Vì ứng dụng này mà một số người gọi giải mã 1/N là ***giải mã địa chỉ***.

2. Điều khiển hoạt động có tính trình tự và chu trình

Ứng dụng để điều khiển những hoạt động có tính trình tự và chu trình của giải mã 1/N thực chất chỉ là trường hợp đặc biệt của điều khiển có lựa chọn theo địa chỉ mà ta vừa nêu ở trên : Trong điều khiển các hoạt động có tính trình tự, sự lựa chọn không phải theo địa chỉ tuỳ ý, mà cần tuân theo một trật tự địa chỉ đã định trước, từ địa chỉ thấp dần lên địa chỉ cao hơn, hoặc ngược lại.



Hình 7-6. Điều khiển theo trình tự nhờ giải mã 1/N.

Hình 7-6 là sơ đồ nguyên lí mạch điều khiển theo trình tự dùng giải mã 1/N. Trong mạch, các đối tượng có địa chỉ từ 0 ÷ N-1 sẽ lần lượt được điều

Sưu tầm bởi: www.daihoc.com.vn

khiển nhờ tín hiệu ở các đầu ra giải mã 1/N. Dãy xung nhịp chu kì lặp T giữ vai trò người "cầm chịch" cho sự điều khiển trình tự. Cứ 1 xung tới bộ đếm thì đối tượng có địa chỉ cao hơn (hoặc thấp hơn nếu bộ đếm là đếm ngược) liền kề lại được điều khiển. Bộ đếm có chu trình đếm N, nên sau N xung nhịp thì kết thúc một vòng điều khiển và mạch lại sẵn sàng cho chu trình điều khiển mới, bắt đầu từ đối tượng có địa chỉ 0 (nếu bộ đếm là đếm thuận), hoặc bắt đầu từ địa chỉ N-1 (nếu là đếm ngược).

Cần nhắc lại rằng, ta cũng có thể dùng bộ đếm chạy vòng (xem mục 5-4) hoặc thanh ghi dịch (mục 6-2) để thực hiện việc điều khiển trình tự và chu trình hoạt động của các đối tượng. Nối tầng bộ đếm nhị phân và giải mã 1/N như ở hình 7-6 thực ra là ta đã tạo nên một bộ đếm chạy vòng với chu trình đếm N.

3. Sử dụng giải mã 1/N để tổng hợp mạch logic tổ hợp

Phụ lục 4 đã giới thiệu phương pháp tổng hợp mạch logic tổ hợp từ các phần tử logic cơ bản. Tuy nhiên, ta cũng có thể dùng một "chip" vi mạch giải mã 1/N để thực hiện việc tổng hợp, tạo ra một mạch thoả mãn nhiều hàm logic. Phương pháp chung vẫn như đã trình bày ở phụ lục 4, nghĩa là từ bảng chân lí biểu diễn một hàm, ta tìm một trong hai biểu thức logic tương đương (dạng tuyển chuẩn toàn phần hoặc hội chuẩn toàn phần). Sau đó dùng giải mã 1/N để xây dựng mạch thoả mãn biểu thức logic tìm được.

Bảng 7-2 cho ví dụ về bảng chân lí của hai hàm logic $Z_1(A, B, C)$ và $Z_2(A, B, C)$.

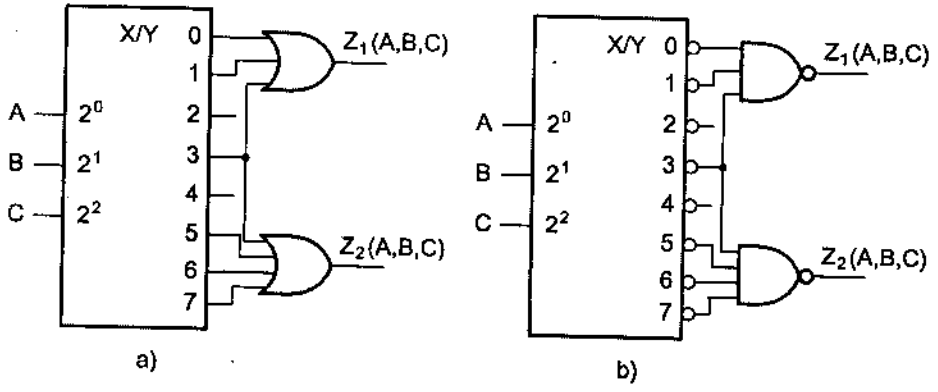
Bảng 7-2

Số thứ tự hàng	Biến độc lập			Biến phụ thuộc	
	C	B	A	$Z_1(A, B, C)$	$Z_2(A, B, C)$
0	0	0	0	1	0
1	0	0	1	1	0
2	0	1	0	0	0
3	0	1	1	1	1
4	1	0	0	0	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	0	1

Khi dùng giải mã 1/N để xây dựng mạch thực hiện hai hàm $Z_{1,2}(A, B, C)$ cho trong bảng chân lí 7-2, ta làm như sau :

Sưu tầm bởi: www.daihoc.com.vn

• Chọn "chip" vi mạch giải mã có số đầu vào ít nhất bằng số biến độc lập trên bảng chân lí (ở đây là 3 biến). Các đầu ra mạch giải mã có thể là tích cực cao hoặc tích cực thấp. Các biến độc lập sẽ đặt lên những đầu vào có trọng số tương ứng của giải mã 1/N.



Hình 7-7. Ví dụ về tổng hợp mạch dùng giải mã 1/N

• Nếu định xây dựng mạch ***trên cơ sở biểu thức logic dạng tuyển chuẩn toàn phần*** (tổng của các mintéc), ta làm như sau : Tìm trên bảng chân lí tất cả các hàng mà hàm $Z_{1,2}$ có giá trị 1 logic (hàng 0, 1, 3 đối với hàm Z_1 và hàng 3, 5, 6, 7 đối với hàm Z_2). Sau đó, từ cửa ra của giải mã 1/N, ta dẫn các đầu ra có chỉ số tương ứng với số thứ tự các hàng vừa tìm được vào một phần tử HOẶC, nếu đầu ra là tích cực cao ; hay đưa vào một phần tử NAND, nếu đầu ra là loại tích cực thấp. Đầu ra của phần tử HOẶC / NAND chính là hàm Z(A, B, C) cần tìm. Hình 7-7 là những mạch của hàm $Z_{1, 2}$(A, B, C) xây dựng theo quy tắc vừa phát biểu.

• Nếu định xây dựng mạch ***trên cơ sở biểu thức logic dạng hội chuẩn toàn phần*** (tích của các maxtéc), ta cũng làm tương tự : Tìm trên bảng chân lí tất cả các hàng mà hàm $Z_{1,2}$ có giá trị 0 logic. Sau đó, từ cửa ra của mạch giải mã loại đầu ra tích cực thấp, ta dẫn vào phần tử VÀ tất cả các đầu có chỉ số tương ứng với số thứ tự các hàng vừa tìm được trên bảng chân lí. Nếu dùng bộ giải mã loại đầu ra tích cực cao, thay vì dẫn tới phần tử VÀ, ta phải dẫn tới phần tử NOR. Đầu ra của phần tử VÀ/NOR là hàm Z(A, B, C) cần tìm. Trên cơ sở bảng chân lí 7-2, bạn đọc hãy tự xây dựng mạch theo quy tắc vừa nêu.

7-4. CÁC PHẦN TỬ HIỂN THỊ

Hệ thống hiển thị là một hệ thống điều khiển logic nhằm làm hiển thị các kí tự hoặc hình ảnh mong muốn (chữ số, chữ cái, các kí hiệu...). Một hệ thống hiển

Sưu tầm bởi: www.daihoc.com.vn

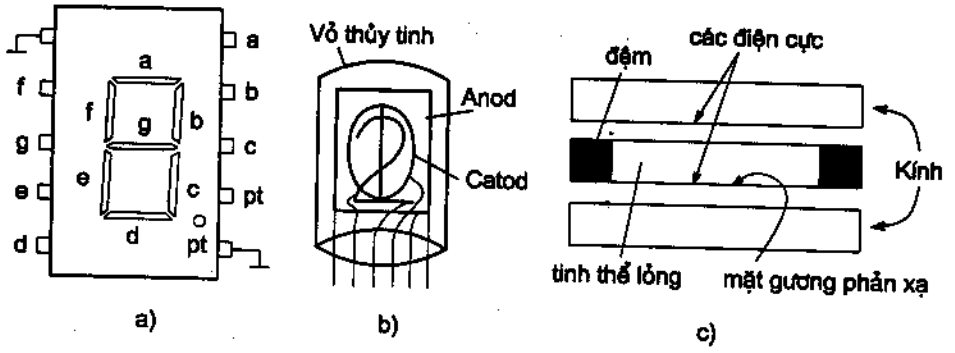
thị bao gồm các phần tử hiển thị và mạch điều khiển chúng. Ở đây trước hết xét các phần tử hiển thị thông dụng.

7-4-1. Đèn hiện số

Đèn hiện số là một đèn phóng điện có khí. Anod là một tấm kim loại phẳng. Đèn có 10 catod tách biệt ; chúng là những dây dẫn uốn thành dạng các chữ số từ 0 tới 9. Các anod và catod đặt trong vỏ thuỷ tinh chứa khí trơ, với các chân dẫn ra (hình 7-8b). Khi đặt điện áp 150 ÷ 200V giữa anod và một catod nào đó thì chất khí bị ion hoá do va chạm. Các ion dương chạy về catod với vận tốc cao, đập vào catod và làm bắn ra các điện tử thứ cấp. Các điện tử thứ cấp này lại gây nên sự ion hoá và tái hợp với các ion dương ở miền gần catod. Kết quả là chất khí ở miền quanh catod sẽ phát sáng và làm hiện lên chữ số đúng như dạng catod đã có. Các đèn hiện số cần điện áp kích thích cao, kích thước cồng kềnh nên hiện nay rất ít được sử dụng.

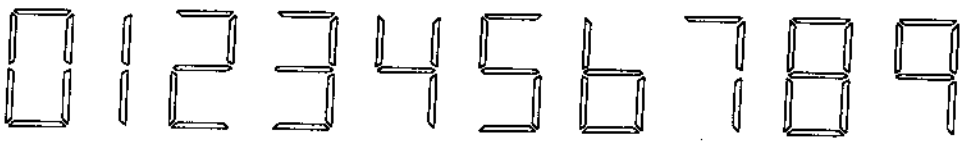
7-4-2. Hiển thị 7 thanh

Hiển thị 7 thanh là phần tử hiển thị thông dụng, để hiển thị các chữ số từ 0 ÷ 9 của các decad trong một số thập phân. Nó gồm 7 thanh (segment) xếp thành hình số 8. Mỗi thanh là một diod phát quang (LED) hoặc hiển thị tinh thể lỏng (LCD). Diod phát quang thực chất là một miền tiếp giáp p-n. Khi thiên áp thuận, dòng điện tử và lỗ qua miền tiếp giáp sẽ có sự tái hợp giữa chúng với nhau. Sự tái hợp này làm phát ra năng lượng dưới dạng nhiệt và ánh sáng. Nếu chất bán dẫn là trong suốt thì ta sẽ nhìn thấy ánh sáng phát ra từ miền tiếp giáp. Điện áp thuận rơi trên LED khoảng 1,2V và dòng thuận qua LED ứng với độ chói thích hợp là khoảng 10 ÷ 20 mA. Yêu cầu dòng lớn là nhược điểm chính của LED. Hiển thị 7 thanh dùng LED có hai loại : Anod chung và Catod chung. Hình 7-8a là vi mạch hiển thị LED loại catod chung, IC. HP. 5082. Tuỳ theo sự điều khiển tối, sáng của bảy thanh, các số 0 ÷ 9 sẽ được hiển thị lên (hình 7-9).



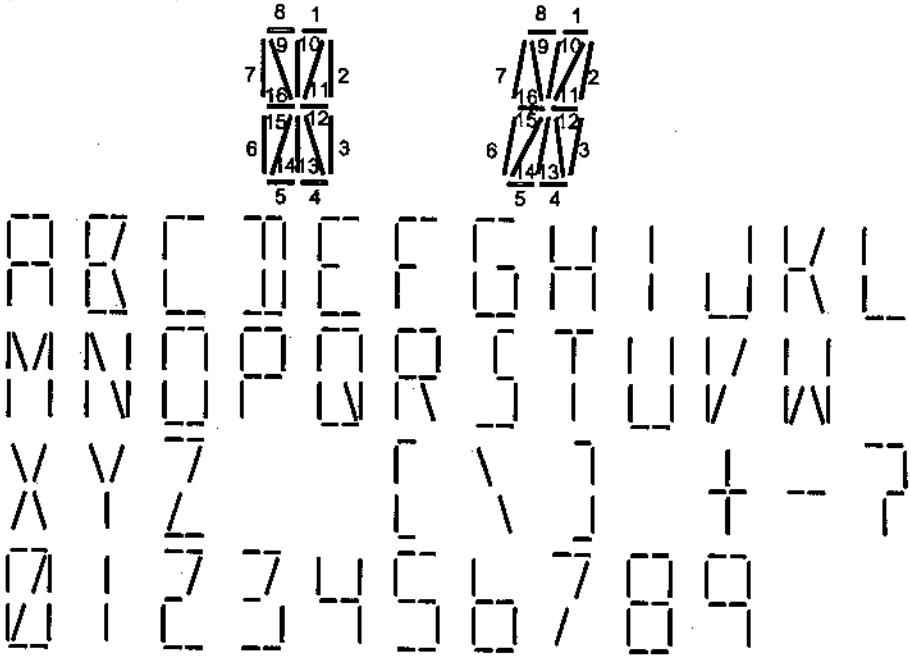
Hình 7-8. Đèn hiện số, hiển thị 7 thanh LED, LCD

Sưu tầm bởi: www.daihoc.com.vn



Hình 7-9. Hiển thị chữ số bằng hiển thị 7 thanh

Hình 7-8c vẽ mặt cắt của một thanh hiển thị tinh thể lỏng (LCD) kiểu cảm ứng trường. Tinh thể lỏng có thể là một trong những hợp chất hữu cơ có tính chất quang học của tinh thể, và được đặt thành lớp giữa hai tấm kính với các điện cực trong suốt kết tủa ở mặt trong. Bảy thanh tinh thể lỏng cũng ghép thành hình số 8 và đặt trên một mặt nền BP (back plane), tựa như hình 7-8a. Bảy điện cực của bảy thanh được dẫn ra mặt nền, tạo thành đầu ra chung gọi là cực nền BP. Nếu đặt lên cực nền và điện cực còn lại của thanh LCD hai dãy xung vuông góc đối xứng, tần số 50 ÷ 60Hz và lệch pha nhau 180°thì chất tinh thể lỏng được kích hoạt. Nó tán xạ ánh sáng ra mọi phía và thanh hiển thị tinh thể lỏng (LCD) sẽ nổi lên trên mặt nền. Khi không được kích hoạt, chất tinh thể lỏng cho ánh sáng đi qua và thanh LCD bị hoà lẫn vào mặt nền. Ưu điểm của hiển thị tinh thể lỏng là tiêu thụ dòng rất nhỏ, cả 7 thanh LCD loại nhỏ chỉ yêu cầu dòng khoảng 100μA. Cần chú ý là nếu đặt điện áp một chiều chỉ cỡ trên 50mV trong dăm phút lên hai điện cực thanh LCD cũng đủ để làm hỏng điện cực.



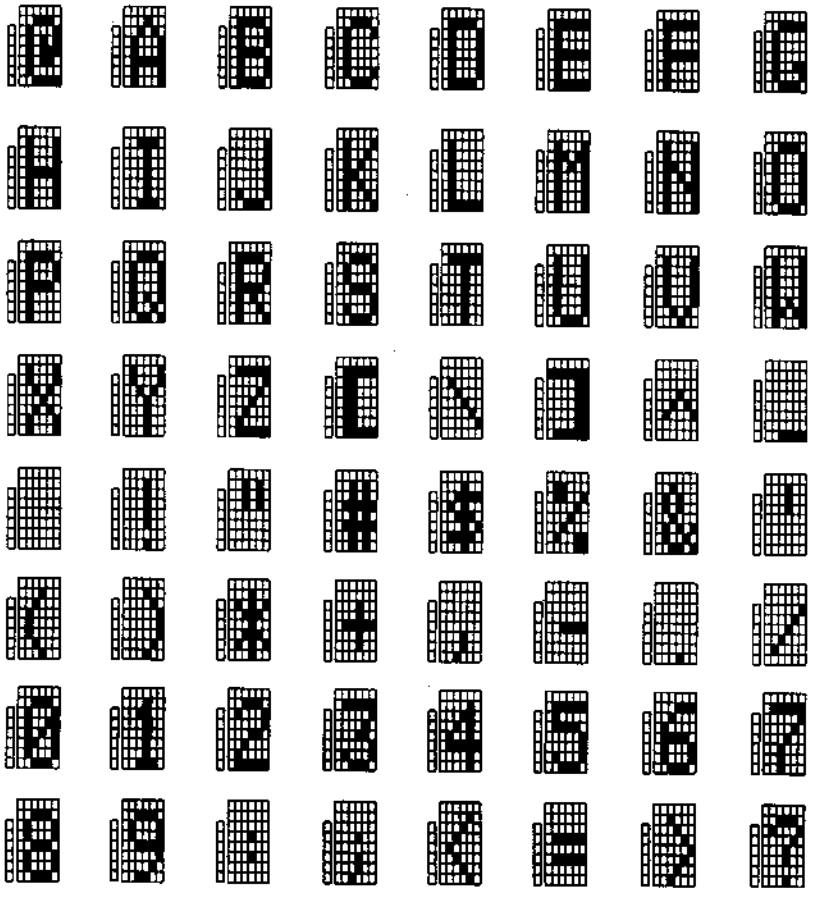
Hình 7-10. Hiển thị 16 thanh

Sưu tầm bởi: www.daihoc.com.vn

Ngoài hiển thị 7 thanh rất thông dụng vừa trình bày, người ta còn sử dụng *hiển thị 16 thanh* để hiển thị các chữ cái, chữ số và vài kí hiệu đặc biệt (hình 7-10).

7-4-3. Hiển thị ma trận điểm (dot-matrix display)

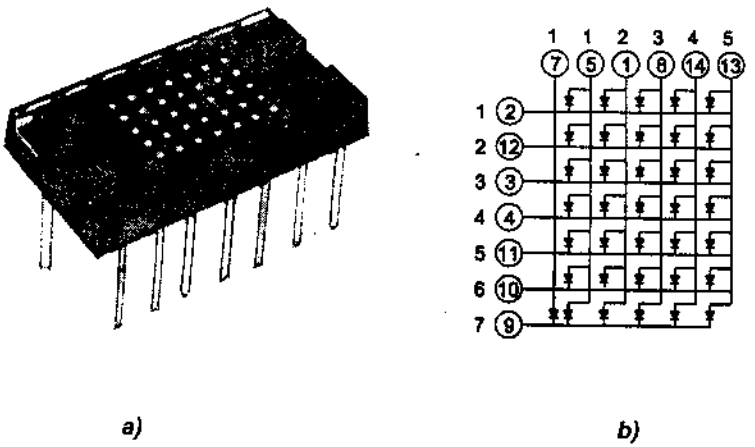
Ta có thể tạo hình các chữ cái, chữ số hoặc những kí hiệu và hình ảnh bằng một ma trận các điểm sáng (hình 7-11). Ở những bảng quảng cáo lớn, kích thước các ma trận này có thể tới 30 × 42 cm. Độ mịn của hình ảnh tuỳ thuộc vào số điểm sáng trên một đơn vị diện tích của ma trận.



***Hình 7-11.** Hiển thị bằng ma trận điểm*

Để hiển thị một số chữ cái riêng biệt với kích thước nhỏ, người ta đã chế tạo các "chip" vi mạch hiển thị ma trận điểm gồm 35 diod phát quang (LED). Các diod nối với nhau ở bên trong theo cách ở hình 7-12b. Việc điều khiển thắp sáng một diod dựa theo địa chỉ hàng – cột của nó.

Sưu tầm bởi: www.daihoc.com.vn



a) b)

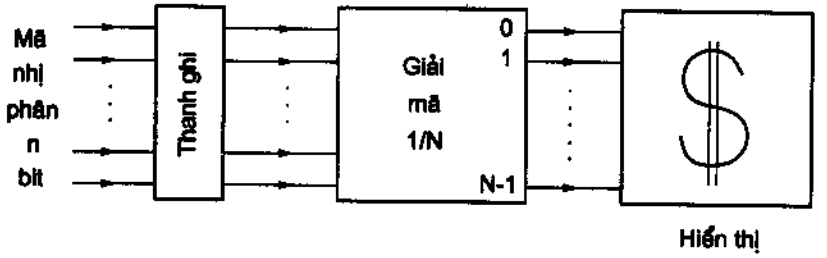
Hình 7-12. Một "chip" hiển thị ma trận điểm

7-5. MẠCH ĐIỀU KHIỂN CÁC HỆ THỐNG HIỂN THỊ

Ở đây chỉ giới hạn xét mạch điều khiển hiển thị một kí tự riêng lẻ.

7-5-1. Mạch giải mã 1/N

Ta có thể dùng giải mã 1/N, đã khảo sát ở mục 7-2, để điều khiển làm hiển thị một trong N hình ảnh (những câu, chữ, các kí hiệu đặc biệt...) đã được tạo hình sẵn trên bảng hiển thị. Mỗi hình ảnh được mã hoá bằng số nhị phân n bit ($N = 2^n$) và ta dùng bộ giải mã 1/N để chọn hình ảnh hiển thị phù hợp với mã nhị phân đặt ở cửa vào (hình 7-13).



Hình 7-13. Chọn hình ảnh hiển thị bằng giải mã 1/N.

Để biến số BCD 4 bit thành chữ số thập phân (0 ÷ 9) tương ứng hiển thị trong đèn hiện số (xem 7-4-1), ta dùng *mạch giải mã BCD*. Nó thực chất là một

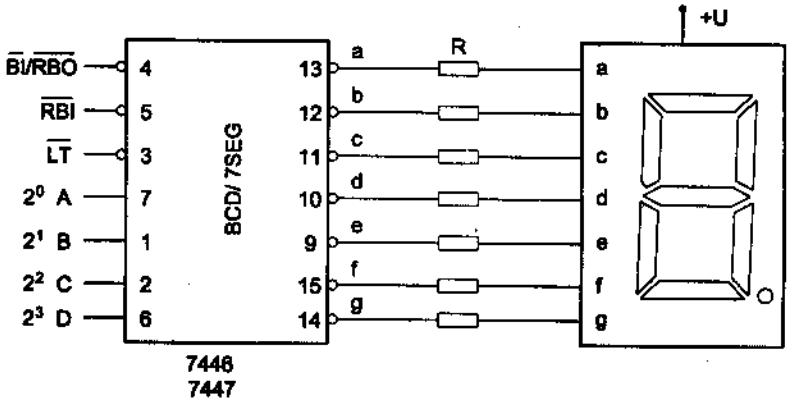
Sưu tầm bởi: www.daihoc.com.vn

mạch giải mã 1/N đặc biệt : Cửa vào đặt số nhị phân 4 bit, nhưng chỉ có 10 đầu ra, đánh số từ 0 ÷ 9, để chọn lựa các chữ số tương ứng trong đèn hiện số. Sau đây là vài IC giải mã BCD họ TTL và CMOS : 7442, 7445, 74141, 74445 ; Đây là các giải mã BCD họ TTL, đầu ra tích cực thấp ; ba loại sau là những phần tử cực góp để ngỏ. Vi mạch HEF 4028 là giải mã BCD họ CMOS, đầu ra tích cực cao.

7-5-2. Mạch giải mã BCD / 7 thanh

Giải mã BCD / 7 thanh là một mạch logic có 4 đầu vào để đặt số BCD 4 bit. Cửa ra có 7 đầu, kí hiệu a, b, c, d, e, f, g để điều khiển sự thắp sáng các thanh cùng kí hiệu của hiển thị 7 thanh (LED hoặc LCD). Ứng với số BCD 4 bit đặt ở cửa vào, một số đầu ra của giải mã sẽ thay đổi mức logic, để điều khiển hiển thị chữ số thập phân tương ứng trên hiển thị 7 thanh. Dưới đây là vài vi mạch giải mã BCD / 7 thanh thông dụng và cách ghép nối nó với hiển thị 7 thanh.

• **IC 7446, 7447** là các mạch giải mã BCD / 7 thanh, họ TTL. Các đầu ra là tích cực thấp, cực góp để ngỏ. Hình 7-14 vẽ sơ đồ khối của IC 7446, 7447 và cách nối chúng với hiển thị 7 thanh loại anod chung. Điện áp cung cấp cho hiển thị cũng chính là điện áp cung cấp cho IC giải mã (+U = +5V). Điện trở R = 150 ÷ 220Ω để hạn chế dòng.



Hình 7-14. IC 7446, 7447 và cách nối với hiển thị 7 thanh LED.

Ta thấy, ngoài 4 đầu vào DCBA để đặt số thập phân (0 ÷ 9) dạng mã BCD cần hiển thị, IC 7446, 7447 còn có ba đầu đặc biệt là $\overline{LT}$, $\overline{RBI}$, $\overline{BI}/\overline{RBO}$. Chúng có các chức năng sau :

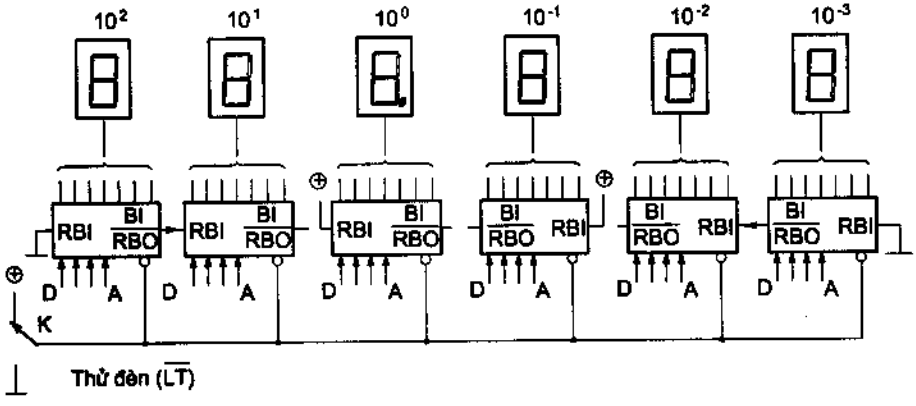
– Đầu vào thử đèn $\overline{LT}$ (Lamp test), tích cực thấp, dùng để thử hiển thị 7 thanh. Khi đầu $\overline{BI}/\overline{RBO}$ để hở hoặc đã đặt 1 logic ; nếu cho $\overline{LT}$ = 0 logic thì

Sưu tầm bởi: www.daihoc.com.vn

cả 7 đầu ra a ÷ g đều ở mức logic thấp L và cả 7 thanh hiển thị đều phải sáng, chứng tỏ hiển thị là tốt.

– Đầu $\overline{BI}/\overline{RBO}$ có thể đóng vai trò như một đầu vào làm trắng $\overline{BI}$ (Blanking Input). Khi cho $\overline{BI}/\overline{RBO}$ = 0 logic thì cả 7 thanh hiển thị đều tắt, không phụ thuộc mức logic ở các đầu vào khác. Đầu $\overline{BI}/\overline{RBO}$ cũng có thể đóng vai trò như một đầu ra làm trắng số thập phân 0 (Riple Blanking Output → RBO), sẽ trình bày ở dưới.

– Đầu $\overline{RBI}$, tích cực thấp, gọi là đầu vào làm trắng số thập phân 0 (Riple Blanking Input). Khi cho $\overline{RBI}$ = 0 logic, $\overline{LT}$ = 1 logic và cửa vào DCBA = 0000, cả 7 đầu ra a ÷ g đều ở mức logic cao H. Nghĩa là cả 7 thanh hiển thị đều tắt, thay vì cho việc lẽ ra phải hiển thị số 0. Đầu $\overline{BI}/\overline{RBO}$ lúc này cũng mang giá trị 0 logic, và nó đóng vai trò đầu ra làm trắng số thập phân 0 (Riple Blanking Output) trong hiển thị số thập phân nhiều decad, sẽ xét sau (hình 7-15).



Hình 7-15. Hiển thị số thập phân nhiều decad dùng các IC 7446

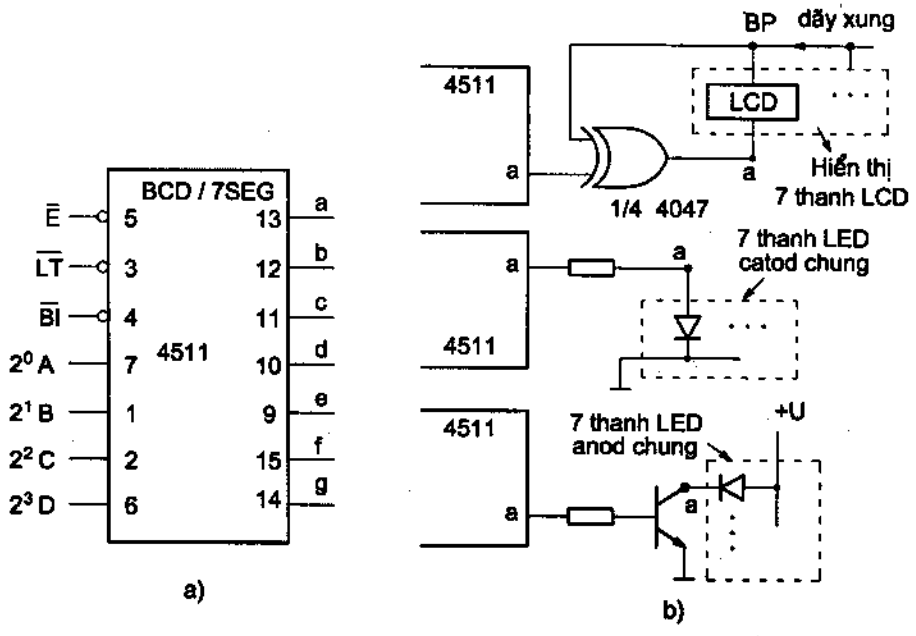
Tóm lại, khi sử dụng riêng lẻ một IC 7446, 7447 để làm hiển thị chỉ một hiển thị 7 thanh như hình 7-14, ta phải đặt đầu $\overline{LT}$ ở 1 logic, các đầu $\overline{RBI}$, $\overline{BI}/\overline{RBO}$ hoặc để hở, hoặc đặt 1 logic.

Hai đầu $\overline{RBI}$, $\overline{BI}/\overline{RBO}$ chỉ sử dụng khi dùng nhiều IC 7446 để thành lập mạch điều khiển hiển thị số thập phân nhiều decad (hình 7-15). Quy tắc nối như sau : Ở hai decad có trọng số cực đại và cực tiểu ta đặt 0 logic vào đầu $\overline{RBI}$. Đầu ra $\overline{BI}/\overline{RBO}$ của decad có trọng số cao / thấp nối với đầu vào $\overline{RBI}$ của decad có trọng số thấp hơn / cao hơn liền kề (tuỳ thuộc chúng ở phần nguyên hay phần lẻ của số thập phân). Các đầu $\overline{RBI}$ và $\overline{BI}/\overline{RBO}$ của decad hàng đơn

Sưu tầm bởi: www.daihoc.com.vn

vị (trọng số 10^0) và hàng 1/10 (trọng số 10^{-1}) thì luôn để hở hoặc đặt mức logic cao H (+5V). Hình 7-15 nối theo quy tắc vừa nêu trên. Nhờ các đầu $\overline{RBI}$ và $\overline{BI}/\overline{RBO}$ mà mạch hình 7-15 sẽ không hiển thị các số 0 không cần thiết trong dãy số hiển thị. Ví dụ, với số BCD ở cửa vào, đáng lẽ mạch phải hiển thị số 007.050, thì nó chỉ làm hiển thị số 7.05. Ta thấy, mạch đã "làm trắng" ba số 0 đáng lẽ phải hiển thị. Kết quả đọc trở nên rõ ràng hơn ! Bạn đọc có thể tự lí giải ví dụ vừa nêu trên. Chú ý là mức logic ở đầu $\overline{RBI}$ hoàn toàn không có ảnh hưởng tới việc làm hiển thị các số từ 1 đến 9.

• **IC 4511, 4543** là các vi mạch giải mã BCD / 7 thanh họ CMOS.



Hình 7-16. IC 4511 và cách nối với các hiển thị 7 thanh

Xét IC 4511. Hình 7-16a, b là sơ đồ khối của vi mạch và cách nối nó với các hiển thị 7 thanh. Các đầu $\overline{E}$, $\overline{LT}$, $\overline{BI}$ có tác dụng điều khiển như sau :

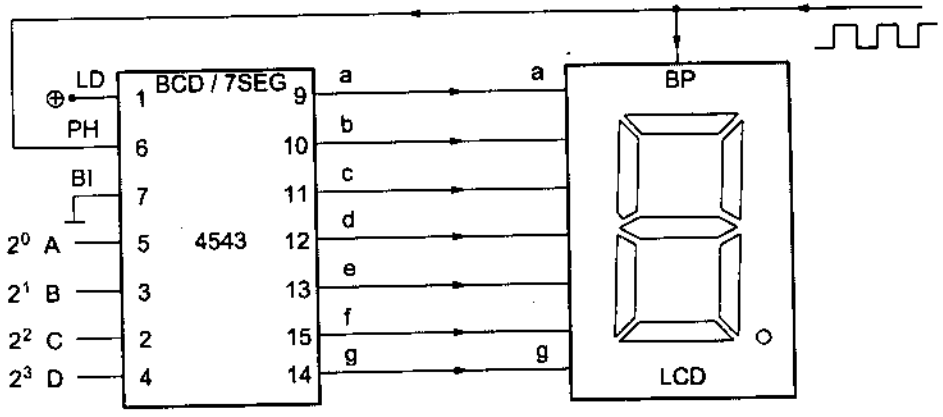
$\overline{LT}$ = 0 logic, $\overline{E}$ = x, $\overline{BI}$ = x : các đầu ra a ÷ g đều ở mức logic cao và cả 7 thanh của hiển thị đều sáng (thử đèn).

$\overline{LT}$ = 1 logic, $\overline{E}$ = x, $\overline{BI}$ = 0 logic : Các đầu a ÷ g đều ở mức logic thấp, cả 7 thanh hiển thị đều tối. Vậy đầu $\overline{BI}$ có tác dụng xoá (làm trắng).

$\overline{E}$ = 0 logic, $\overline{LT}$ = $\overline{BI}$ = 1 logic : mạch hoạt động theo chức năng mạch giải mã BCD / 7 thanh, đầu ra tích cực cao.

Sưu tầm bởi: www.daihoc.com.vn

Hình 7-16b trình bày cách nối mỗi đầu ra của IC 4511 với mỗi thanh tương ứng của các hiển thị 7 thanh. Trên hình là cách nối của đầu ra a với thanh a của các loại hiển thị 7 thanh. Đầu BP là cực nền chung của cả 7 thanh hiển thị tinh thể lỏng LCD. Sáu đầu ra còn lại của IC 4511 nối với 6 thanh tương ứng cũng hoàn toàn theo cách tương tự.



Hình 7-17. IC 4543 và cách nối với hiển thị 7 thanh LCD

Xét IC. 4543. Các đầu vào LD, BI, PH (hình 7-17) có vai trò như sau :

LD = x, BI = 1 logic, PH = 0 logic : 7 đầu ra đều ở mức thấp L (0 logic)

LD = x, BI = PH = 1 logic : 7 đầu ra đều ở mức cao H.

LD = 1 logic, BI = PH = 0 logic : Mạch hoạt động theo chức năng mạch giải mã BCD / 7 thanh với các đầu ra là tích cực cao.

LD = 1 logic, BI = 0 logic, PH = 1 logic : Mạch hoạt động theo chức năng mạch giải mã BCD / 7 thanh với các đầu ra là tích cực thấp.

Như vậy, nếu dùng IC 4543 cho hiển thị 7 thanh LED catod chung thì đặt PH = 0 logic. Nếu hiển thị 7 thanh là LED anod chung thì đặt PH = 1 logic. Nếu hiển thị 7 thanh là tinh thể lỏng LCD thì đặt dãy xung vuông vào đầu PH và cực nền chung BP của 7 thanh LCD (hình 7-17).

7-5-3. Mạch điều khiển hiển thị ma trận điểm

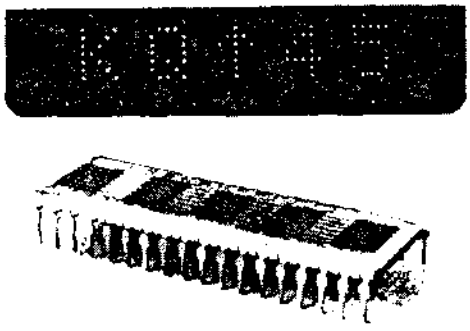
• Trước hết, đối với những yêu cầu hiển thị kích thước nhỏ, người ta đã tạo nên những "chip" vi mạch bao gồm :

– Một ma trận 4 × 7 hoặc 5 × 7 diod phát quang, để hiển thị 10 chữ số thập phân và vài chữ cái, kí hiệu.

– Một mạch giải mã BCD / ma trận.

Sưu tầm bởi: www.daihoc.com.vn

Như vậy, "chip" vi mạch chỉ cần có 4 chân (ngoại trừ 2 chân đặt nguồn cung cấp) để đặt vào mã BCD 4 bit cần làm hiển thị.



Hình 7-18. Một chip hiển thị ma trận điểm của Hewlett Pakard

Một số hãng như Hewlett - Packard còn bổ sung thêm vào "chip" bộ nhớ 4 bit để lưu giữ mã BCD, 1 bộ đếm 4 bit. Hình 7-18 là ví dụ về một con "chip" loại này. Nó có tới 5 hiển thị ma trận điểm.

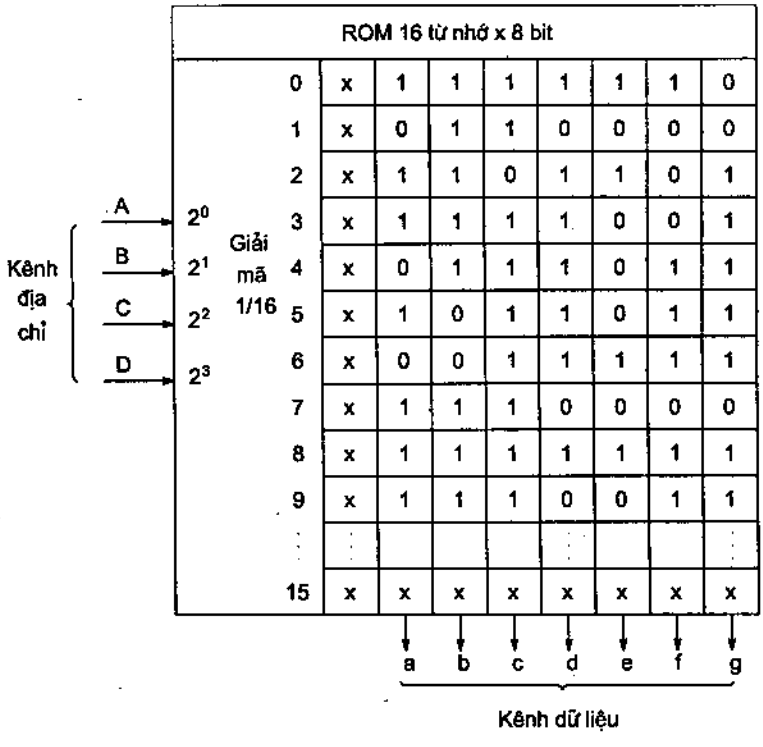
• ***Bộ chuyển mã*** (transcoder). Bộ chuyển (biến đổi) mã là một mạch logic nhằm chuyển thông tin từ dạng mã nhị phân n bit này, sang mã nhị phân m bit khác. Bài toán xây dựng mạch chuyển mã thực chất là bài toán tổng hợp mạch logic tổ hợp (xem phụ lục 4) với n biến độc lập ở cửa vào và m biến phụ thuộc ở cửa ra.

Tuy nhiên, hiện nay cách dùng phổ biến để thành lập những bộ chuyển mã phức tạp (nhiều đầu vào / ra) là dùng bộ nhớ ROM. Nó là bộ nhớ truy cập kiểu trực tiếp, có thể lưu giữ thông tin lâu dài. Khi làm việc, ta chỉ có thể lấy (đọc) thông tin đã ghi trong ROM ra, không thể đưa thông tin mới vào nó được. Chi tiết về ROM sẽ trình bày ở chương 9. Tuy vậy, mục 7-3-1 đã trang bị cho bạn đọc kiến thức tối thiểu về bộ nhớ truy cập trực tiếp, đủ để hiểu được những diễn giải ở phần này.

Hãy lấy một ví dụ cụ thể : Dùng ROM để thành lập bộ chuyển mã, biến đổi số BCD 4 bit thành mã nhị phân 7 bit a, b, c, d, e, f, g điều khiển thắp sáng hiển thị bảy thanh LED loại catod chung. Nói khác đi, hãy dùng ROM để thành lập mạch giải mã BCD / 7 thanh, đầu ra tích cực cao. Muốn vậy, trước hết ta phải chọn bộ nhớ ROM với kênh địa chỉ có ít nhất 4 bit để đặt mã BCD cần biến đổi. Như vậy trong ROM sẽ có $2^4 = 16$ ô nhớ, địa chỉ từ 0 đến 15. Mỗi ô nhớ của

Sưu tầm bởi: www.daihoc.com.vn

ROM phải chứa được một từ nhớ có độ dài ít nhất là 7 bit. Ví dụ ta sẽ chọn bộ nhớ dung lượng 16 từ nhớ × 8 bit. Công việc cuối cùng là ghi vào ROM mã nhị phân 7 bit tương ứng với mã BCD 4 bit cần biến đổi. Kết quả ta được mô hình bộ nhớ ROM đã lập trình (các ô nhớ đã được ghi thông tin) như ở hình 7-19. Bốn bit DCBA của mã BCD đặt lên kênh địa chỉ bộ nhớ. Bảy bit ra abcdefg của kênh dữ liệu được gửi đi điều khiển hiển thị 7 thanh. Bộ nhớ còn thừa 1 bit dữ liệu và 6 ô nhớ (địa chỉ 10 ÷ 15) không dùng tới (trên hình vẽ đánh dấu ×, ngụ ý là không cần quan tâm tới việc ghi 1/0 vào các vị trí này). Hoạt động của mạch chuyển mã hình 7-19 như sau : Khi mã BCD cần biến đổi DCBA = i (i = 0 ÷ 9), dữ liệu ghi trong ô nhớ địa chỉ thứ i sẽ được gọi ra kênh dữ liệu để điều khiển hiển thị 7 thanh. Ví dụ DCBA = 0110 thì dữ liệu ghi ở ô nhớ số 6 được gọi ra và abcdefg = 0011111.

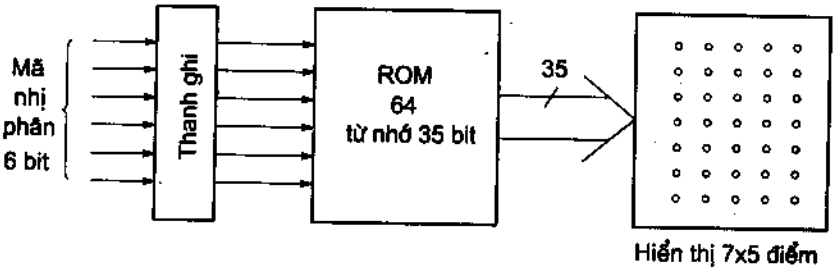


Hình 7-19. *Giải mã BCD / 7 thanh dùng ROM*

Bộ chuyển mã dùng ROM vừa giới thiệu rất thuận tiện để xây dựng mạch điều khiển hiển thị ma trận điểm. Hình 7-20 là sơ đồ nguyên lí bộ chuyển mã nhị phân 6 bit sang hiển thị ma trận 5 × 7 điểm. Bộ nhớ ROM được lập trình dựa

Sưu tầm bởi: www.daihoc.com.vn

trên quy tắc hiển thị các kí tự đã giới thiệu ở hình 7-11. Kênh dữ liệu của bộ nhớ phải có độ đài ít nhất là 35 bit để điều khiển sáng / tối của 35 điểm trên hiển thị.



Hình 7-20. Mạch điều khiển hiển thị ma trận điểm dùng ROM

Kết luận : Trong chương này ta đã lần lượt khảo sát các bộ biến đổi mã thông dụng và đặc biệt là những ứng dụng của chúng. Bắt đầu từ bộ mã hoá thập phân, bộ giải mã 1/N, các bộ giải mã BCD / 7 thanh, và kết thúc bằng bộ chuyển mã dùng ROM. Nó là bộ chuyển mã rất dễ xây đựng, đặc biệt đối với những yêu cầu biến đổi mã nhiều đầu vào / ra. Công việc xây dựng bộ chuyển mã dùng ROM đơn thuần chỉ là việc lập trình cho ROM : Ghi vào các ô nhớ những từ mã của mã mới, tương ứng với từ mã của mã cần biến đổi đặt ở kênh địa chỉ bộ nhớ. Một phần nội đung của chương đã đành để giới thiệu các loại hiển thị và cách điều khiển chúng, đặc biệt thông dụng là hiển thị 7 thanh.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 7

7-1. Bộ mã hoá thập phân là gì ? Bộ mã hoá thập phân bàn phím là gì ? Cho ví dụ với IC 74147.

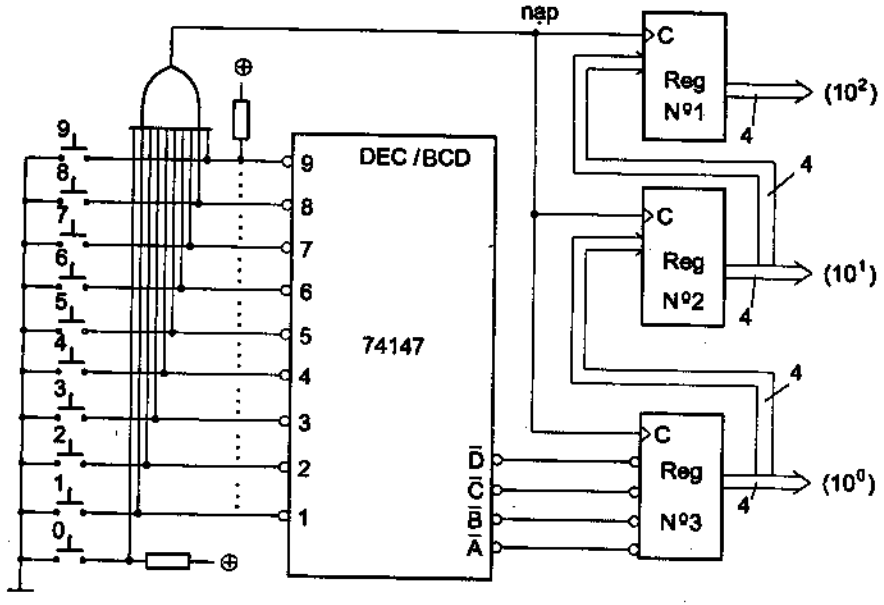
7-2. Mạch giải mã 1/N là gì ? Những ứng dụng chính của giải mã 1/N.

7-3. Mạch giải mã BCD / 7 thanh là gì ? Hãy đọc và giải thích cách nối của các IC 4511, 4543 với các loại hiển thị 7 thanh khác nhau.

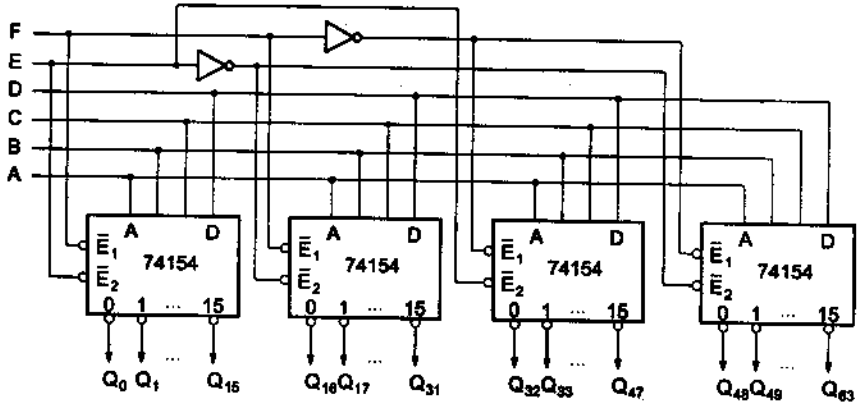
7-4. Hình 7-21 là sơ đồ nguyên lí một mạch mã hoá thập phân bàn phím 3 decad, chỉ dùng duy nhất 10 phím nhấn và một IC 74147. Người sử dụng chỉ việc nhấn tuần tự các phím, ví dụ theo trình tự 1 → 0 → 6 thì ở cửa ra của mạch sẽ cho mã BCD ứng với số 106. Giải thích hoạt động của mạch.

Trên hình vẽ, Reg Nº 1 ÷ Reg Nº 3 là ba thanh ghi 4 bit với đầu nạp C là tích cực theo sườn lên của xung nhịp (xung đồng bộ) : Nghĩa là dữ liệu đặt ở cửa vào thanh ghi chỉ được truyền qua đầu ra (nạp dữ liệu) trong thời khoảng ứng với sườn lên của xung vào đầu C.

Sưu tầm bởi: www.daihoc.com.vn



Hình 7-21. Bài tập 7-4



Hình 7-22. Bài tập 7-5

7-5. Hình 7-22 là mạch giải mã 1/64 thành lập từ bốn IC 74154. Ở cửa vào, tuần tự từ A đến F thì A là bit có trọng số thấp nhất (2^0) và F là bit có trọng số cao nhất (2^5). Giải thích hoạt động của mạch.

7-6. Mạch biến đổi mã là gì ? Nêu quy tắc thành lập bộ chuyển (biến đổi) mã dùng ROM. Hãy dùng ROM để thành lập bộ chuyển mã, biến số nhị phân 8 bit thành mã BCD.

Sưu tầm bởi: www.daihoc.com.vn

Chương 8

MẠCH CHỌN KÊNH VÀ MẠCH PHÂN KÊNH SỐ

Hiểu một cách chung nhất, mạch chọn kênh là mạch có khả năng lựa chọn một trong nhiều kênh thông tin ở cửa vào để truyền qua một kênh ra duy nhất. Mạch phân kênh thì ngược lại, là mạch có khả năng chọn lựa để nối một kênh thông tin duy nhất ở cửa vào với một trong nhiều kênh dẫn ở cửa ra. Có hai loại mạch chọn kênh / phân kênh : Mạch chọn kênh / phân kênh tương tự (analog) và mạch chọn kênh / phân kênh số (digital). Chương này chủ yếu đề cập đến mạch chọn kênh / phân kênh số và những ứng dụng của chúng.

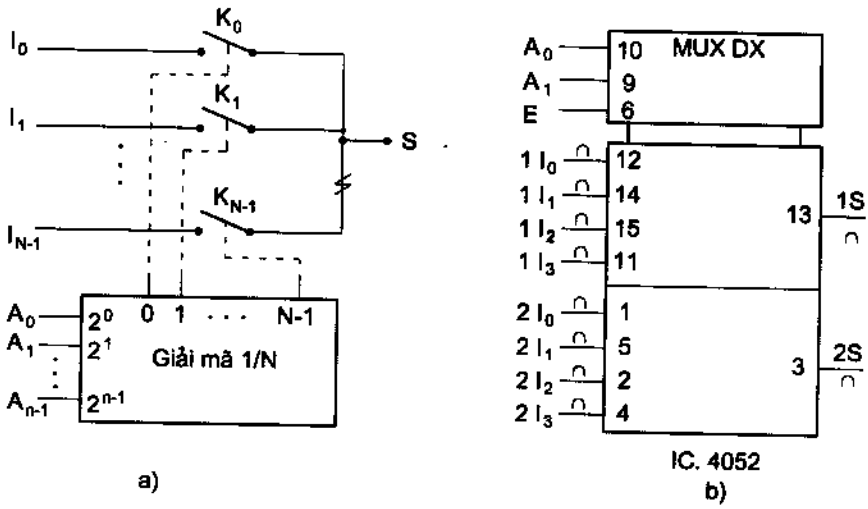
8-1. KHÁI NIỆM CHUNG VỀ MẠCH CHỌN KÊNH (Multiplexer → MUX)

Mạch chọn kênh, hay thường quen gọi là mạch dồn kênh, là một mạch có N đầu vào thông tin và một đầu ra. Thông tin ở một trong các đầu vào có thể truyền tới đầu ra theo sự lựa chọn tuỳ ý. Để có thể chọn lựa, mỗi đầu vào thông tin được gán cho một địa chỉ, mã hoá bằng số nhị phân n bit. Do đó, với ***N đầu vào thông tin***, mạch còn có ***n đầu vào địa chỉ*** sao cho $2^n = N$. Trước hết hãy xét mạch chọn kênh / phân kênh tương tự (analog).

8-1-1. Mạch chọn kênh / phân kênh tương tự là mạch chọn kênh / phân kênh mà tín hiệu truyền qua nó có thể là tín hiệu liên tục, gọi là tín hiệu tương tự. Ví dụ tín hiệu qua mạch có thể là điện áp một chiều thay đổi theo thời gian, hoặc điện áp một chiều không đổi.

Hình 8-1a là sơ đồ nguyên lí mô tả cấu trúc một mạch chọn kênh / phân kênh tương tự. Tuỳ theo người sử dụng, mạch có thể đóng vai trò mạch chọn kênh hoặc giữ vai trò mạch phân kênh. Trên hình vẽ coi mạch là mạch chọn kênh, với N đầu vào thông tin $I_o \div I_{N-1}$ và một đầu ra S.

Sưu tầm bởi: www.daihoc.com.vn



Hình 8-1. Mạch chọn kênh / phân kênh tương tự

Ta thấy sơ đồ hình 8-1a gồm hai phần chính : Một hệ thống N khoá đóng / cắt transistor và khối điều khiển để lựa chọn đóng một trong các khoá. Mỗi khoá K_i và đầu vào thông tin nối với nó I_i mang một địa chỉ số thập phân i (i = 0 ÷ N-1), mã hoá bằng số nhị phân n bit (2^n = N). Khối điều khiển thực chất là mạch giải mã 1/N (xem mục 7-2). Cửa vào mạch giải mã có n đầu để đặt địa chỉ cần tìm dạng số nhị phân, gọi là các đầu vào địa chỉ $A_o \div A_{n-1}$. Khi đặt A_{n-1}, A_{n-2}... A_1A_o = i, đầu ra thứ i của giải mã sẽ thay đổi mức logic và làm đóng khoá K_i. Tín hiệu tương tự I_i sẽ được truyền qua đầu ra S.

Tóm lại, mạch dồn kênh analog ở trên tựa như một khoá chuyển mạch cơ khí nhiều đầu vào. Nhưng, thay vì việc điều khiển chuyển mạch bằng tay, ở đây nó được thực hiện tự động nhờ địa chỉ định trước đưa vào mạch giải mã. Cũng như trong khoá chuyển mạch cơ khí, tín hiệu ở sơ đồ hình 8-1a có thể truyền theo hai chiều, từ I_i sang S hay ngược lại. Vậy, ta có thể dùng mạch hình 8-1a làm mạch phân kênh : Thông tin đặt ở đầu S (lúc này coi như đầu vào thông tin duy nhất) ; các đầu I_i coi là những đầu ra. Tuỳ theo địa chỉ i đặt trên kênh địa chỉ $A_o \div A_{n-1}$, thông tin ở đầu vào S sẽ được truyền qua đầu ra lựa chọn I_i.

Hiện nay, các mạch chọn kênh / phân kênh tương tự đều được chế tạo thành mạch tích hợp. Ví dụ IC 4052 (hình 8-1b) là "chip" vi mạch họ CMOS gồm hai

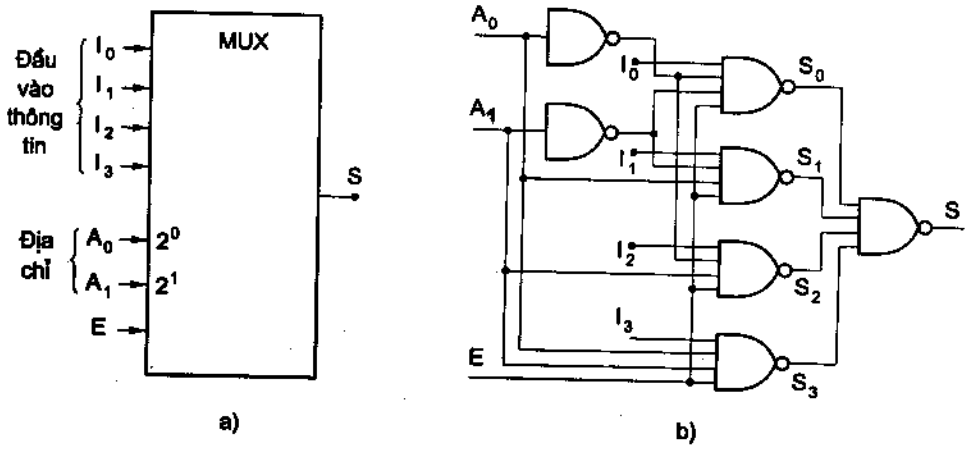
Sưu tầm bởi: www.daihoc.com.vn

mạch chọn kênh / phân kênh với 4 đầu vào / ra $I_o \div I_3$. Hai đầu vào địa chỉ A_o, A_1 và đầu điều khiển cho phép làm việc E là các đầu vào logic, và là chung cho cả hai mạch chọn kênh / phân kênh. Khi E = 0 logic, A_1A_o = xx, giữa cửa vào và ra là cách li (các khoá transistor đều cắt). Khi E = 1, A_1A_o = i thì S = I_i. Điện áp nguồn cung cấp cho mạch $+U_{cc} = +3 \div 15V$. Tín hiệu tương tự truyền qua khoá phải có biên độ nhỏ hơn + U_{cc} khoảng vài volt. Thời gian tác động của khoá họ CMOS cỡ 20ns ; điện trở khoá khi dẫn là $R_{ON} \approx 50\Omega$; dòng rò khi khoá ở trạng thái cắt khoảng 0,1nA.

Trên hình 8-1b, dấu ∩ ở các đầu vào / ra ý nói tín hiệu trên các đầu này là tín hiệu tương tự.

8-1-2. Mạch chọn kênh số

Sơ đồ khối và cách hoạt động của mạch chọn kênh số và mạch chọn kênh tương tự là giống nhau. Sự phân biệt giữa hai loại là ở chỗ : Thông tin truyền qua mạch chọn kênh số chỉ có thể là tín hiệu logic, và tín hiệu chỉ truyền được theo một chiều, từ cửa vào tới cửa ra. Đương nhiên cấu trúc mạch của hai loại là khác nhau về cơ bản.

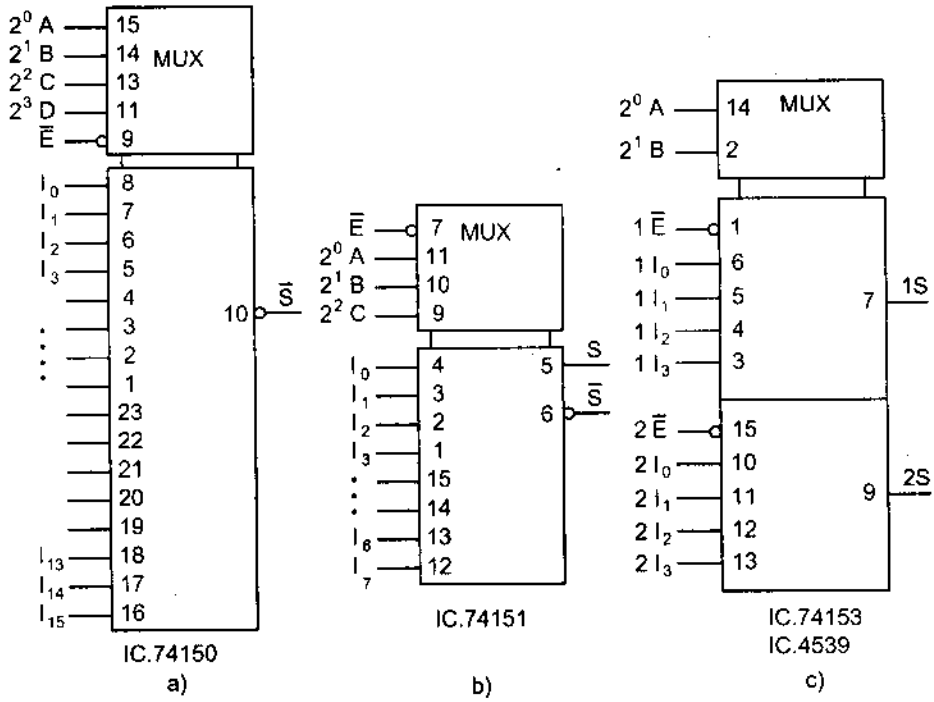


Hình 8-2. Sơ đồ khối và cấu trúc mạch chọn kênh số.

Hình 8-2a là sơ đồ khối mạch chọn kênh số với 4 đầu vào thông tin $I_o \div I_3$, hai đầu vào địa chỉ A_1, A_o, đầu ra S. Mạch còn có thêm đầu điều khiển cho phép làm việc E, tích cực cao. Hình 8-2b là cấu trúc mạch của sơ đồ. Khi E = 0 thì $S_o = S_1 = S_2 = S_3 = 1$ logic và S = 0 logic, không phụ thuộc vào địa chỉ đặt ở các đầu vào địa chỉ (A_1A_o = xx). Khi E = 1 và A_1A_o = i (i = 0 ÷ 3) thì S = I_i.

Sưu tầm bởi: www.daihoc.com.vn

Dưới đây ta xét vài vi mạch và những ứng dụng chính của mạch chọn kênh số.



Hình 8-3. *Vài "chip" vi mạch chọn kênh số*

8-2. MỘT SỐ VI MẠCH CHỌN KÊNH SỐ

Hình 8-3 giới thiệu sơ đồ khối một số "chip" vi mạch chọn kênh số. Vỏ của chúng đều thuộc loại hai hàng chân song song. Nhắc lại là : Nhìn từ trên xuống số thứ tự chân trên vỏ tính từ 1 và tăng dần theo chiều ngược kim đồng hồ. Trên hình vẽ, các chữ số ghi ở mỗi đầu vào / ra chỉ số thứ tự chân tương ứng trên vỏ.

• IC 74150 có 16 đầu vào thông tin $I_o \div I_{15}$; đầu điều khiển cho phép làm việc $\overline{E}$ là tích cực thấp. Đầu ra $\overline{S}$ là đảo. Khi $\overline{E}$ = 1 logic thì $\overline{S}$ = 1 logic, không phụ thuộc vào địa chỉ đặt ở các đầu vào địa chỉ A, B, C, D. Khi $\overline{E}$ = 0 logic và DCBA = i (i = 0 ÷ 15) thì $\overline{S} = \overline{I}_i$.

• IC 74151 là mạch chọn kênh với 8 đầu vào thông tin $I_o \div I_7$. Mạch có hai đầu ra đảo và không đảo ($\overline{S}$ và S).

• IC 74153 và IC 4539 (họ CMOS), trong mỗi "chip" có hai mạch chọn kênh với 4 đầu vào thông tin $I_o \div I_3$. Các đầu địa chỉ A, B là chung cho cả hai

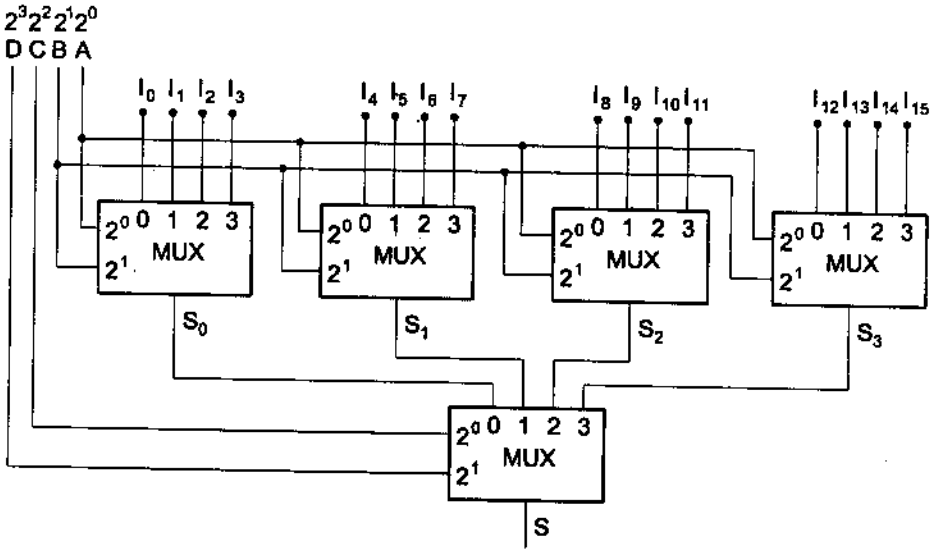
Sưu tầm bởi: www.daihoc.com.vn

mạch. Mỗi mạch có đầu điều khiển cho phép làm việc riêng rẽ, tích cực thấp ($1\overline{E}$ và $2\overline{E}$).

• IC 4512 là mạch chọn kênh họ CMOS, 8 đầu vào thông tin, đầu ra ba trạng thái. IC 4519, họ CMOS, trong "chip" có 4 mạch chọn kênh với hai đầu vào thông tin. Hình 8-3 không cho sơ đồ khối của các IC này.

8-3. MỞ RỘNG MẠCH CHỌN KÊNH SỐ

Các "chip" vi mạch chọn kênh số có số đầu vào thông tin giới hạn, thường là 2, 4, 8, 16. Vậy ta phải biết cách ghép nối các vi mạch chọn kênh để có được mạch chọn kênh với số đầu vào lớn hơn. Phương pháp chính tắc mở rộng mạch chọn kênh là ghép các vi mạch chuẩn hoá thành hai tầng.



Hình 8-4. Mở rộng mạch chọn kênh từ các IC chuẩn hoá

Hình 8-4 là ví dụ dùng các vi mạch chọn kênh 4 đầu vào thông tin để tạo lập mạch chọn kênh 16 đầu vào thông tin. Tầng đầu gồm 4 vi mạch có số đầu vào thông tin tối thiểu bằng số đầu vào yêu cầu ($I_0 \div I_{15}$). Tầng 2 là một vi mạch để chọn một trong 4 đầu ra tầng trước ($S_0 \div S_3$) cho qua đầu ra chung S. Các vi mạch tầng đầu làm việc đồng thời theo sự chọn lựa của hai bit địa chỉ có trọng số thấp B, A. Tuy nhiên, luôn luôn chỉ có một trong 4 đầu ra của chúng được lựa chọn truyền qua S theo hai bit địa chỉ trọng số cao. Ví dụ, khi DC = 00

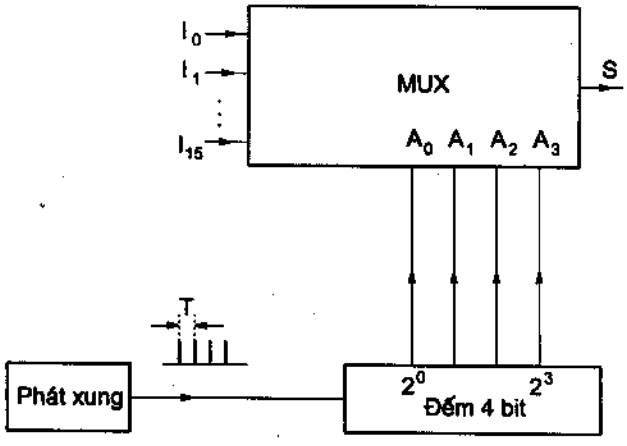
Sưu tầm bởi: www.daihoc.com.vn

thì S = S_0 và bốn đầu vào $I_0 \div I_3$ được truyền qua S tuỳ thuộc tổ hợp giá trị của hai bit BA...

Với cách thành lập trên, nếu dùng 17 IC 74150 16 đầu vào thông tin, ta sẽ có được mạch chọn kênh 256 đầu vào với 8 bit địa chỉ. Tất nhiên, việc mở rộng mạch chọn kênh không nhất thiết phải theo quy tắc trên. Tuỳ trường hợp cụ thể ta sẽ có những cách làm khác (xem bài tập 8-3).

8-4. NHỮNG ỨNG DỤNG CHÍNH CỦA MẠCH CHỌN KÊNH SỐ

1. Biến đổi song song - nối tiếp. Một ứng dụng thường thấy của mạch chọn kênh là biến k bit thông tin vào song song, thành sự truyền tuần tự từng bit nối tiếp nhau ở đầu ra, gọi là sự ***dồn kênh*** : k kênh thông tin vào song song ở cửa vào được dồn lại thành một kênh truyền nối tiếp ở cửa ra.

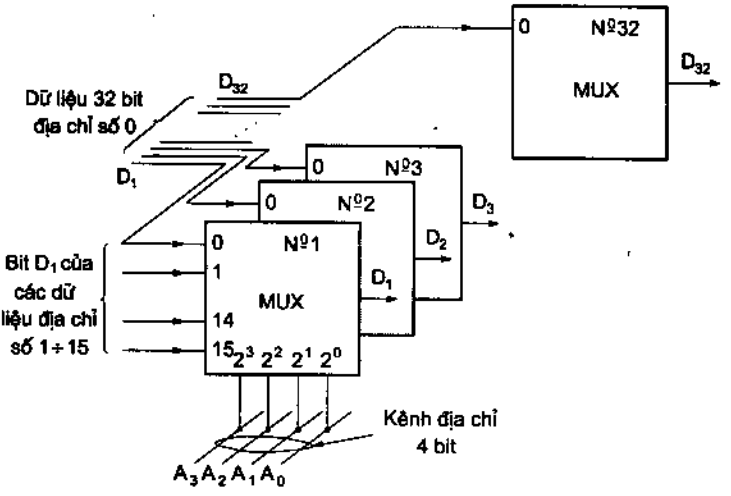


Hình 8-5. Mạch biến đổi thông tin song song / nối tiếp dùng MUX

Hình 8-5 là sơ đồ nguyên lí mạch biến đổi thông tin song song → nối tiếp. Theo nhịp xung phát ra, từng bit thông tin ở cửa vào MUX được truyền qua đầu ra S theo trật tự từ I_0 đến I_{15} (nếu bộ đếm là đếm thuận), hoặc ngược lại từ I_{15} đến I_0 (nếu là đếm ngược).

2. Khối chọn kênh số. Nhiệm vụ của khối chọn kênh số là tập trung N dữ liệu có độ dài k bit ở cửa vào và lựa chọn chúng theo địa chỉ để truyền qua cửa ra k bit. Có nhiều cách thành lập khối chọn kênh số.

Sưu tầm bởi: www.daihoc.com.vn



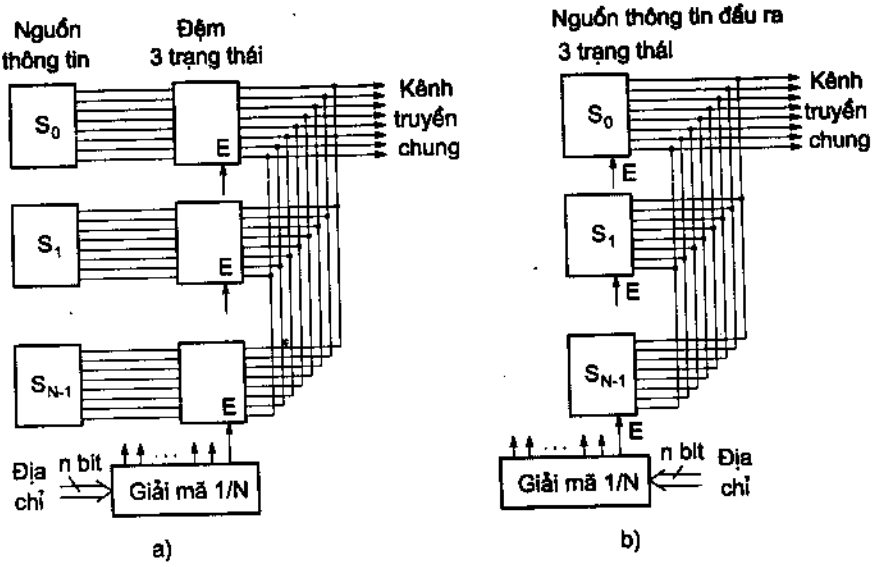
Hình 8-6. *Cấu trúc một "khối chọn kênh" dùng các MUX*

• Dùng k bộ chọn kênh số (MUX) N đầu vào thông tin để tạo lập khối chọn kênh nhận đồng thời N dữ liệu k bit và chuyển một cách có lựa chọn từng dữ liệu k bit qua cửa ra. Hình 8-6 là ví dụ dùng 32 bộ chọn kênh 16 đầu vào thông tin để tập trung 16 dữ liệu 32 bit. Mỗi dữ liệu 32 bit được gán cho một địa chỉ từ 0 đến 15, và đặt ở đầu vào thông tin có địa chỉ tương ứng của 32 bộ chọn kênh. Khi cho $A_3A_2A_1A_0 = i$ (i = 0 ÷ 15) thì dữ liệu 32 bit có địa chỉ i ở cửa vào sẽ truyền qua cửa ra.

• Ta có thể dùng các cổng đệm ba trạng thái và mạch giải mã 1/N để tạo lập khối chọn kênh (hình 8-7a). Dữ liệu độ dài k bit (trên hình vẽ k = 8) từ các nguồn dữ liệu S (nguồn thông tin), ví dụ các thiết bị đo hoặc các khối điều khiển số, được dẫn đến cổng đệm gồm k phần tử đệm 3 trạng thái (xem mục 1-10-3b). Gán cho mỗi nguồn dữ liệu và cổng đệm 3 trạng thái nối với nó một địa chỉ từ 0 đến N-1. Dẫn các đầu ra của giải mã 1/N tới đầu điều khiển E của cổng đệm có địa chỉ tương ứng. Kênh địa chỉ n bit ($2^n = N$) đặt ở cửa vào giải mã 1/N sẽ chọn lựa nguồn dữ liệu nào được đưa ra kênh truyền chung k bít.

Nếu bản thân các nguồn dữ liệu là những phần tử mạch ra 3 trạng thái, thì không cần có các cổng đệm 3 trạng thái (hình 8-7b).

Sưu tầm bởi: www.daihoc.com.vn

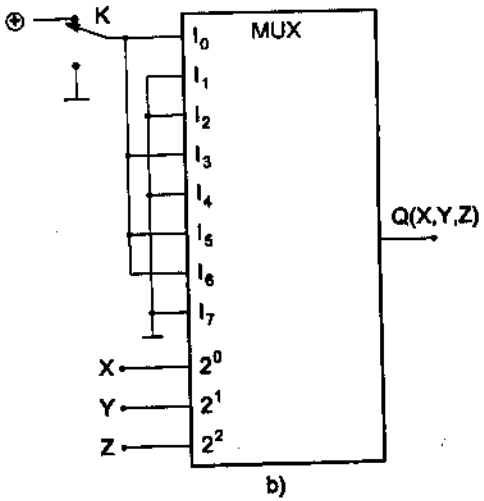


Hình 8-7. Hai cấu trúc khác của "khối chọn kênh"

3. Tạo hàm logic. Người ta còn có thể dùng mạch chọn kênh để thực hiện một hàm logic cho trong bảng chân lí. Quy tắc làm như sau : Nếu hàm logic có n biến độc lập thì phải chọn mạch dồn kênh có ít nhất n đầu vào địa chỉ. Các biến độc lập trong bảng chân lí sẽ đặt ở các đầu vào địa chỉ có trọng số tương ứng của MUX. Giá trị hàm logic trên các hàng của bảng chân lí sẽ ghi lên các đầu vào thông tin, có địa chỉ tương ứng với số thứ tự các hàng. Đầu ra S của mạch dồn kênh chính là biến phụ thuộc trong bảng chân lí.

Nº	Biến vào			Biến ra
	Z	Y	X	Q(X,Y,Z)
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

a)



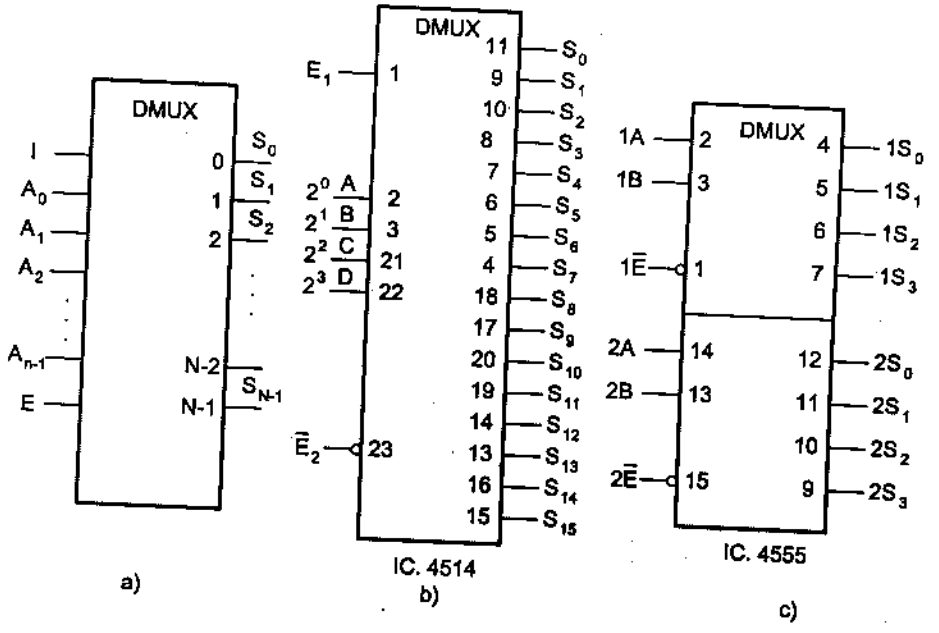
Hình 8-8. Ví dụ về tạo hàm logic dùng MUX

Sưu tầm bởi: www.daihoc.com.vn

Hình 8-8 là một ví dụ về bảng chân lí của hàm Q(X, Y, Z) và mạch dồn kênh được ghép nối để tạo hàm đã cho. Nếu mỗi đầu vào thông tin đều được nối với một khoá chuyển mạch K, như đã vẽ tượng trưng ở hình 8-8b thì khi cần tạo hàm logic mới, ta chỉ việc đặt lại vị trí các khoá K, để thay đổi giá trị 0/1 logic trên các đầu vào thông tin cho phù hợp với bảng chân lí của hàm mới.

8-5. MẠCH PHÂN KÊNH SỐ (Demultiplexer digital)

1. Mạch phân kênh (DMUX) có vai trò ngược với mạch chọn kênh. Nó chỉ có một đầu vào thông tin I, và N đầu ra gắn với các địa chỉ 0 ÷ N-1. Ứng với mỗi số nhị phân đặt ở các đầu vào địa chỉ, thông tin I sẽ được truyền tới đầu ra có địa chỉ tương ứng. Hình 8-9a là sơ đồ khối mạch phân kênh số. I là đầu vào thông tin ; $S_0 \div S_{N-1}$ là N đầu ra với địa chỉ 0 ÷ N-1 ; $A_0 \div A_{n-1}$ là n đầu vào địa chỉ ($2^n = N$). Khi đặt $A_{n-1} \cdots A_1 A_0 = i$ (i = 0 ÷ N-1) thì $S_i = I$. Mạch còn có thêm đầu vào điều khiển cho phép làm việc E.



Hình 8-9. Sơ đồ khối và vài vi mạch phân kênh số

Chú ý : Nếu đầu vào thông tin I luôn giữ một giá trị logic không thay đổi (1 hoặc 0), thì DMUX trở thành mạch giải mã 1/N đầu ra tích cực cao hoặc thấp. Vì vậy các IC giải mã 1/N và DMUX có thể dùng lẫn cho nhau, và trong các sổ tay thường ghi cả hai chức năng của chúng : Decoder - Demultiplexer.

Sưu tầm bởi: www.daihoc.com.vn

2. Một số vi mạch phân kênh

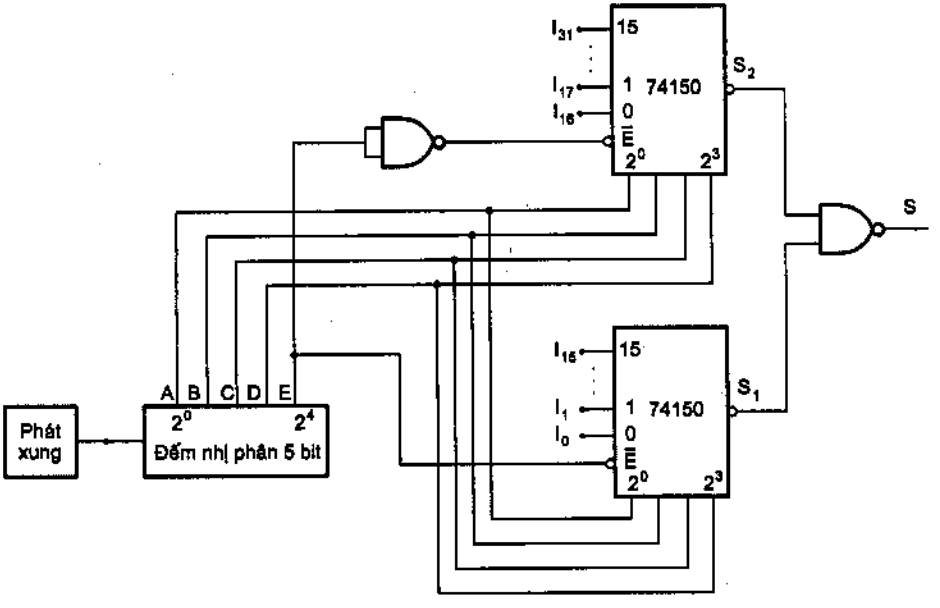
• Họ TTL : IC 74138 : 8 đầu ra ; IC 74154 : 16 đầu ra. Đây là các vi mạch giải mã 1/N, đã trình bày ở mục 7-2-2. Hình 7-3a vẽ sơ đồ khối của IC 74154. Khi sử dụng làm mạch phân kênh, A, B, C, D là các đầu vào địa chỉ, một trong hai đầu $\overline{E}_1$, $\overline{E}_2$ sẽ chọn làm đầu vào thông tin (ví dụ chọn $\overline{E}_1$ làm đầu vào thông tin I thì $\overline{E}_2$ sẽ là đầu điều khiển cho phép làm việc, tích cực thấp) ; $Q_0 \div Q_{15}$ sẽ là các đầu ra của DMUX.

• Họ CMOS : IC 4514 (hình 8-9b) : 16 đầu ra ; IC 4515 : 16 đầu ra ; IC 4555 : 2 DMUX 4 đầu ra (hình 8-9c). Các IC ở hình 8-9b, c khi dùng làm mạch giải mã 1/N thì E_1, $\overline{E}_2$, $1\overline{E}$, $2\overline{E}$ sẽ là các đầu điều khiển cho phép mạch làm việc. Khi sử dụng chúng làm mạch phân kênh, các đầu E_1 (hoặc $\overline{E}_2$), $1\overline{E}$, $2\overline{E}$ sẽ là các đầu vào thông tin I.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 8

8-1. Mạch chọn kênh là gì ? Mạch phân kênh là gì ? Phân biệt giữa mạch chọn kênh (hoặc phân kênh) tương tự và mạch chọn kênh (hoặc phân kênh) số. Vẽ sơ đồ nguyên lí cấu trúc của mạch chọn kênh / phân kênh tương tự.

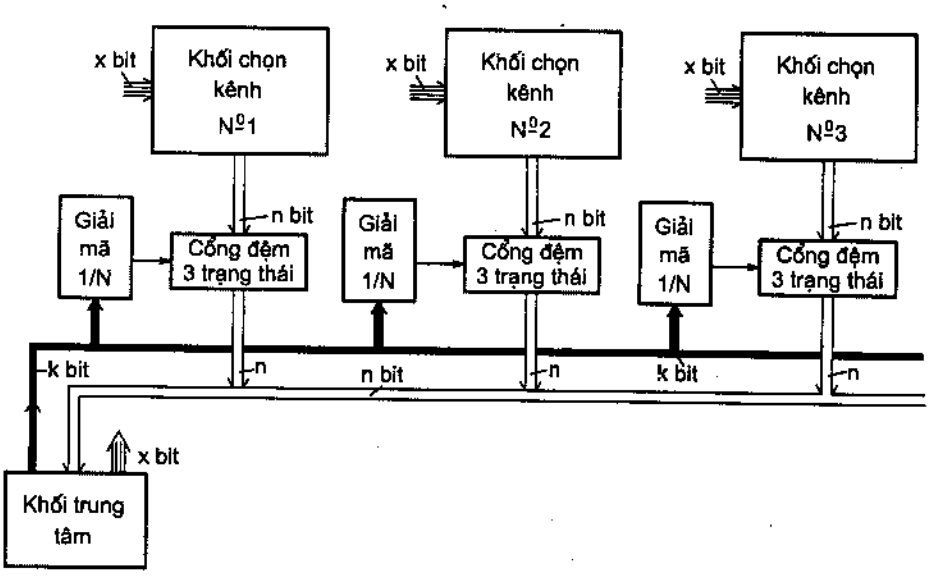
8-2. Hãy dùng 8 vi mạch chọn kênh 74150 (hình 8-3) và một vi mạch chọn kênh 74151 để thành lập mạch chọn kênh với 128 đầu vào thông tin. Giải thích sự làm việc của mạch.



Hình 8-10. Bài tập 8-3

Sưu tầm bởi: www.daihoc.com.vn

8-3. Hình 8-10 là sơ đồ mạch dồn kênh, biến đổi thông tin 32 bit song song sang truyền nối tiếp ở đầu ra S. Hãy thuyết minh hoạt động của sơ đồ. Mạch dùng hai vi mạch chọn kênh số IC 74150 (hình 8-3).



***Hình 8-11.** Bài tập 8-4*

8-4. Hình 8-11 là sơ đồ nguyên lí của một hệ thống chọn kênh số, gồm nhiều khối chọn kênh Nº 1, Nº 2, Nº 3... Các khối chọn kênh ở những vị trí cách xa nhau và cách khối điều kiển trung tâm hàng chục mét. Mỗi khối chọn kênh có thể thu nhập 2^X dữ liệu độ dài n bit (x là số nguyên, dương). Hệ thống giúp ta thu thập một cách có lựa chọn (hoặc theo một trình tự cho trước) từng dữ liệu của từng trạm về trung tâm.

- Hãy chỉ ra cấu trúc của khối chọn kênh.
- Thuyết minh hoạt động của hệ thống khi cần lựa chọn một dữ liệu n bit từ một trạm nào đó, để chuyển về trung tâm.

8-5. Hãy dùng một vi mạch chọn kênh, IC 74153 (hình 8-3) và một vi mạch gồm 4 phần tử NAND, IC 7400 (xem phụ lục 5), để thành lập mạch tạo hàm logic có bảng chân lí cho ở bảng 8-1.

Sưu tầm bởi: www.daihoc.com.vn

Bảng 8-1

Thứ tự hàng	Biến độc lập			Biến phụ thuộc
	Z	Y	X	Q(X, Y, Z)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

8-6. Bảng 8-2 cho bảng chân lí của ba hàm logic Z_1(M, N, P, Q), Z_2(M, N, P, Q), Z_3 (M, N, P, Q).

Bảng 8-2

T. Tự hàng	Biến độc lập				Biến phụ thuộc		
	M	N	P	Q	Z_1(M, N, P, Q)	Z_2(M, N, P, Q)	Z_3(M, N, P, Q)
0	0	0	0	0	0	0	1
1	0	0	0	1	0	1	0
2	0	0	1	0	1	0	0
3	0	0	1	1	0	0	0
4	0	1	0	0	0	1	1
5	0	1	0	1	1	0	0
6	0	1	1	0	0	0	0
7	0	1	1	1	0	1	0
8	1	0	0	0	1	0	1
9	1	0	0	1	0	0	0
10	1	0	1	0	0	0	0
11	1	0	1	1	0	0	0
12	1	1	0	0	0	0	1
13	1	1	0	1	1	0	0
14	1	1	1	0	0	0	0
15	1	1	1	1	0	1	0

a) Hãy dùng ba vi mạch chọn kênh, IC 74150 (hình 8-3) để xây dựng mạch thực hiện ba hàm logic trên.

b) Hãy dùng một vi mạch giải mã 1/N, IC 74154 (hình 7-3a) và các phần tử NAND để xây dựng mạch thực hiện ba hàm logic trên (ôn lại mục 7-3-3).

Sưu tầm bởi: www.daihoc.com.vn

Chương 9 CÁC BỘ NHỚ BÁN DẪN

Trong các hệ thống số xử lí tín hiệu, những dữ liệu thường phải được lưu giữ trong một thời gian hoặc lâu dài, dưới dạng các từ mã nhị phân n bit (thường n = 8, 16, 24, 32 bit). Bộ nhớ là thiết bị thực hiện nhiệm vụ trên. Hoạt động của nó có thể nằm ở một trong ba quá trình sau :

– Nhận thông tin từ ngoài đưa vào, gọi là quá trình ***ghi*** thông tin ;

– Lưu giữ thông tin (còn gọi là chế độ ***chờ***).

– Gọi thông tin cất ở trong bộ nhớ ra - quá trình ***đọc*** thông tin.

Cấu trúc cơ bản của bộ nhớ là một giá đỡ thông tin. Nó gồm các mắt nhớ (hay còn gọi là tế bào nhớ - memory cell). Mỗi mắt nhớ lưu giữ giá trị logic (0/1) của một bit thông tin. Về nguyên tắc thì bất kì phần tử vật lí nào có hai trạng thái ổn định đều có thể dùng làm mắt nhớ : Các khoá diod hoặc transitor, các flip-flop, tụ điện...

9-1. NHỮNG ĐẶC TRƯNG CHÍNH CỦA BỘ NHỚ

1. Dung lượng bộ nhớ là số bít thông tin tối đa có thể lưu giữ trong nó. Dung lượng cũng có thể biểu thị bằng số từ nhớ n bit. ***Từ nhớ n bit*** là số bit (n) thông tin mà ta có thể đọc hoặc ghi đồng thời vào bộ nhớ. Ví dụ : Một bộ nhớ có dung lượng là 256 bit ; nếu nó có cấu trúc để có thể truy cập cùng một lúc 8 bit thông tin (8 bit = 1 byte), thì ta cũng có thể biểu thị dung lượng bộ nhớ là 32 từ nhớ × 8 bít = 32 byte. Các bội số hay dùng để biểu thị dung lượng là :

$$1 \text{ Kilo} = 1K = 2^{10} = 1024,$$

$$1 \text{ Mega} = 1M = 2^{20} = 1048576.$$

Một kí tự trong mã ASCII được mã hoá bởi 7 bit nhị phân. Do đó khi lưu giữ nó chiếm 1 byte của bộ nhớ. Dưới đây là vài ví dụ để hình dung được yêu cầu về dung lượng bộ nhớ :

Sưu tầm bởi: www.daihoc.com.vn

– Màn hình các máy tính cổ điển thường gồm 25 hàng, với 80 cột, nghĩa là nó hiển thị tối đa 2000 kí tự, tương ứng với 2K byte.

– Một trang đánh máy chữ chứa 2000 ÷ 4000 kí tự. Do đó một quyển sách 200 trang chứa tối đa khoảng 800.000 kí tự, tương ứng với 0,8 M byte.

– Một hình ảnh hiển thị bằng ma trận 512 × 512 điểm ảnh (pixel) cần khoảng 256 K bit thông tin.

2. Cách truy cập thông tin

Truy cập thông tin hiểu là việc ghi dữ liệu vào bộ nhớ hoặc đọc ở trong đó ra. Các bộ nhớ có thể có một trong hai cách truy cập thông tin.

• ***Truy cập trực tiếp,*** hay còn gọi là truy cập ngẫu nhiên (random access). Ở cách này, không gian bộ nhớ đặt giá đỡ thông tin chia thành nhiều chỗ, gọi là các *ô nhớ*. Mỗi ô nhớ chứa được 1 từ nhớ n bit và có một địa chỉ xác định, mã hoá bằng số nhị phân k bit. Như vậy, người sử dụng có thể truy cập trực tiếp thông tin ở ô nhớ có địa chỉ nào đó trong bộ nhớ. Một bộ nhớ có k bit địa chỉ sẽ có 2^k ô nhớ và có thể ghi được 2^k từ nhớ n bit.

• ***Truy cập liên tiếp*** (serial access), hay gọi là kiểu truy cập tuần tự. Các đĩa từ, băng từ, trống từ, thanh ghi dịch... có kiểu truy cập này. Lấy ví dụ thanh ghi dịch mà chúng ta đã biết ở chương 6. Muốn đưa 1 bit thông tin qua đầu vào nối tiếp, tới bit thứ M theo chiều dịch của thanh ghi, bit thông tin cần ghi buộc phải dịch dần từ vị tri bit thứ 1 tới vị trí bit thứ M trong thanh ghi. Quá trình lấy ra cũng tương tự.

3. Khả năng truy cập thông tin

Theo khả năng truy cập thông tin khi làm việc, các bộ nhớ chia thành hai nhóm :

• ***Bộ nhớ ghi / đọc*** là bộ nhớ mà khi làm việc, ngoài khả năng đọc thông tin đã ghi trong bộ nhớ, ta còn có thể ghi thông tin mới vào địa chỉ bất kì trong nó. Thông tin cũ, nếu có ở đó, sẽ bị xoá.

• ***Bộ nhớ chỉ đọc*** là bộ nhớ mà khi làm việc, ta chỉ có thể đọc thông tin đã ghi ở trong nó, không thể ghi thông tin mới vào được.

4. Tốc độ truy cập thông tin là một thông số rất quan trọng của bộ nhớ. Nó được đặc trưng bởi thời gian cần thiết để truy cập một thông tin.

• Thời gian truy cập thông tin ở các bộ nhớ truy cập kiểu trực tiếp gồm thời gian tìm địa chỉ của ô nhớ và thời gian đọc / ghi thông tin trên nó. Thời gian truy cập thông tin phụ thuộc chủ yếu vào công nghệ chế tạo. Với công nghệ MOS thì thời gian truy cập khoảng 30 đến vài trăm ns.

Sưu tầm bởi: www.daihoc.com.vn

• Ở các bộ nhớ truy cập kiểu tuần tự, thời gian truy cập thông tin phụ thuộc vào vị trí của thông tin cần truy cập trong tập tin (file). Đối với các băng từ, đĩa từ, thời gian truy cập của nó được định nghĩa là thời gian trung bình hoặc cực đại để truy cập một thông tin, và nằm trong khoảng vài mili giây tới nhiều giây.

5. Tính lâu dài của việc lưu giữ thông tin

• Có những bộ nhớ thông tin được lưu giữ lâu dài ; Ví dụ các bộ nhớ từ, bộ nhớ bán dẫn loại chỉ đọc, gọi chung là ***các bộ nhớ cố định***.

• Có những bộ nhớ thông tin chỉ được lưu giữ khi hãy còn nguồn điện cung cấp cho bộ nhớ. Mất nguồn nuôi, thông tin đã ghi trong nó bị xoá. Đa số các bộ nhớ bán dẫn ghi / đọc thuộc loại này, gọi chung là ***bộ nhớ tạm***.

Tiếp theo ta chỉ tìm hiểu về các bộ nhớ bán dẫn. Chúng là các bộ nhớ không thể thiếu trong những hệ thống vi xử lí. Thời gian truy cập thông tin của các bộ nhớ bán dẫn đủ nhỏ để không làm chậm việc xử lí tín hiệu. Các bộ nhớ bán dẫn chia làm hai nhóm : Bộ nhớ ghi / đọc và bộ nhớ chỉ đọc.

9-2. KHÁI QUÁT VỀ CÁC BỘ NHỚ BÁN DẪN GHI / ĐỌC

Theo cách truy cập thông tin, các bộ nhớ bán dẫn ghi / đọc có thể là bộ nhớ ghi / đọc kiểu truy cập trực tiếp và bộ nhớ ghi / đọc truy cập kiểu tuần tự.

9-2-1. Bộ nhớ ghi / đọc truy cập trực tiếp, gọi tắt là *RAM* (Random Access Memory), là những bộ nhớ mà mỗi mắt nhớ là một D-Flip Flop. Hiện nay thường dùng các transistor MOS để hình thành D-Flip Flop. Đặc biệt nếu dùng công nghệ CMOS thì công suất tiêu thụ của RAM sẽ rất thấp. Cũng có thể lợi dụng tụ kí sinh giữa cực cổng và nền của MOS để làm mắt nhớ.

– Các RAM dùng D - Flip Flop làm mắt nhớ gọi là *RAM tĩnh* (Static RAM → *SRAM*). Loại này tốc độ truy cập thông tin cao, nhưng dung lượng không lớn và giá thành cao.

– Các RAM dùng tụ kí sinh giữa cực cổng và nền của transistor MOS làm mắt nhớ gọi là *RAM động* (Dynamic RAM → *DRAM*). Mức độ tích điện của tụ sẽ đặc trưng cho hai giá trị logic 1/0 của bit thông tin. RAM động có độ tích hợp cao nên dung lượng của nó rất lớn (năm 1992 đã có DRAM dung lượng 16 M bit) và giá thành hạ. Nhược điểm của RAM động là tốc độ truy cập thông tin chậm hơn so với RAM tĩnh. Hơn nữa do dòng điện rò của tụ, nên chỉ trong một thời gian rất ngắn là thông tin ghi trong DRAM bị mất. Vì vậy, cứ khoảng 2ms

Sưu tầm bởi: www.daihoc.com.vn

thì DRAM phải được nạp lại thông tin một lần, gọi là ***chế độ làm tươi*** lại DRAM. Ở bộ nhớ DRAM dùng công nghệ CMOS, chế độ đọc cũng đồng thời là quá trình làm tươi. Do đó, đù muốn hay không thì cứ 2ms DRAM lại phải được đọc một lần. Điều này cần chú ý và làm phức tạp thêm cho việc sử dụng.

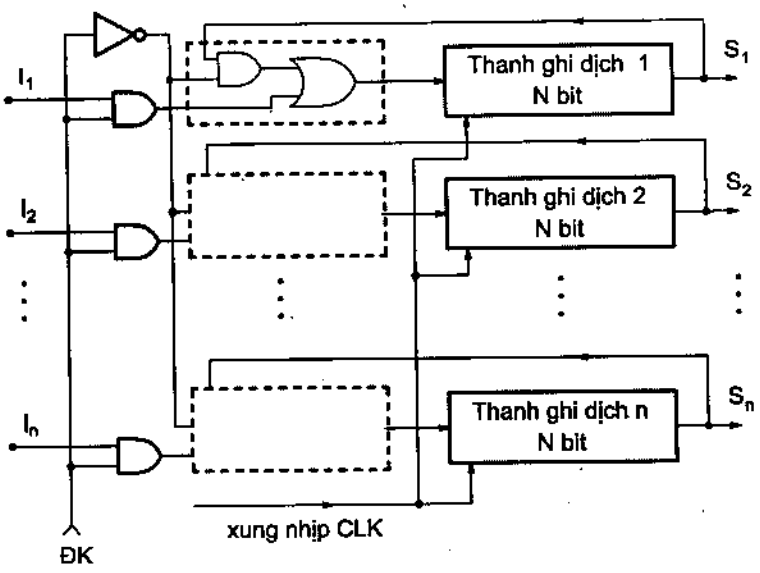
Cả hai loại SRAM và DRAM ở trên đều thuộc loại bộ nhớ tạm, hay còn gọi là ***bộ nhớ "bay hơi"*** (Volatile memory) : Khi mất nguồn nuôi, thông tin trong chúng cũng bị xoá. Để có thể lưu giữ thông tin trong RAM khi nguồn nuôi chính bị mất, người ta đã có loại RAM tĩnh nhớ cố định, hay còn gọi là ***RAM không bay hơi*** (No Volatile RAM → *NOVRAM*). Thực chất của loại này là khi nguồn nuôi chính bị mất, NOVRAM được chuyển sang nuôi bằng nguồn nuôi phụ, là một pin dung lượng rất nhỏ.

9-2-2. Các bộ nhớ bán dẫn ghi / đọc kiểu tuần tự

Các bộ nhớ ghi / đọc kiểu tuần tự chia thành hai nhóm :

• Bộ nhớ ghi / đọc tuần tự kiểu *FIFO* (First In, First Out) : Thông tin ghi vào trước thì khi đọc sẽ được gọi ra trước.

• Bộ nhớ ghi / đọc tuần tự kiểu LIFO (Last In First Out) : Thông tin ghi vào trước thì khi đọc sẽ được gọi ra sau.



Hình 9-1. *Sơ đồ nguyên lí bộ nhớ vòng*

Sưu tầm bởi: www.daihoc.com.vn

Bộ nhớ vòng là một ví dụ về bộ nhớ bán dẫn ghi / đọc tuần tự kiểu FIFO (hình 9-1). Nó thực chất gồm n thanh ghi dịch N bit, có phản hồi về đầu vào để tránh thông tin bị xoá khi ta đọc. Khi tín hiệu điều khiển ĐK =1 logic, n bit thông tin $I_1 \div I_n$ được chuyển dịch vào n thanh ghi dịch và dịch dần sang phải theo từng xung nhịp CLK. Sau N xung nhịp, N thông tin n bit lấp đầy các thanh ghi dịch. Ta thấy bộ nhớ vòng ở hình 9-1 có dung lượng N từ nhớ × n bit. Khi đọc thông tin, cho ĐK = 0, cửa vào bộ nhớ bị chặn. Theo từng xung nhịp, tuần tự từng từ nhớ n bit ghi vào trước, sẽ được dẫn ra trước trên các đầu ra $S_1 \div S_n$. Đồng thời nó cũng được đưa trở về đầu vào các thanh ghi dịch để nạp lại. Do vậy, khi đọc xong N từ nhớ, thông tin trong bộ nhớ vẫn được bảo toàn. Vi mạch 3351 của hãng Fairchild là bộ nhớ vòng dung lượng 40 từ nhớ × 9 bit.

9-3. KHÁI QUÁT VỀ CÁC BỘ NHỚ CHỈ ĐỌC

Các bộ nhớ chỉ đọc, gọi chung là *ROM* (Read Only Memory), là những bộ nhớ bán dẫn kiểu truy cập thông tin trực tiếp ; khi làm việc ta chỉ có thể đọc thông tin đã ghi trong nó ra và không thể ghi thông tin mới vào được. Việc ghi thông tin lần đầu vào ROM gọi là ***lập trình*** cho ROM. Người ta có thể dùng diod, transistor lưỡng cực BJT hoặc transistor MOS làm các mắt nhớ trong giá đỡ thông tin của ROM. Tuỳ theo cách lập trình cho ROM, ta chia ra nhiều loại.

• ***ROM lập trình bằng mặt nạ*** (Mask programmed ROM). Ở loại này, việc lập trình cho ROM phải do nhà chế tạo thực hiện theo dự định đặt trước của khách hàng. Vì vậy, nếu yêu cầu đặt hàng là đơn chiếc hoặc với số lượng ít thì giá thành của ROM sẽ cao. Người ta quen gọi ROM lập trình mặt nạ bằng từ ROM đơn thuần.

• ***Bộ nhớ chỉ đọc có thể lập trình***, gọi tắt là *PROM* (Programmable ROM → PROM), là bộ nhớ chỉ đọc mà người sử dụng có thể tự lập trình cho nó. Khi lập trình, tuỳ theo yêu cầu ghi giá trị 1/0 vào các mắt nhớ, người sử dụng sẽ cho các xung dòng điện dủ lớn qua một số mắt nhớ chọn lọc. Với PROM, nhà chế tạo có thể sản xuất hàng loạt với số lượng lớn nên giá thành hạ. Người sử dụng mua về để tự lập trình. Khi đã lập trình thì nội dung ghi trong PROM không thể sửa đổi hoặc xoá được. Đây vẫn còn là một nhược điểm của PROM.

• ***Bộ nhớ chỉ đọc có thể lập trình và xoá được***, gọi tắt là *EPROM* (Erasable PROM → EPROM). Người sử dụng lập trình cho EPROM tương tự như lập trình cho PROM. Tuy nhiên, ta có thể xoá nội dung đã ghi trong EPROM để lập

Sưu tầm bởi: www.daihoc.com.vn

trình lại nếu cần. Dùng tia cực tím mạnh chiếu lên cửa sổ trong suốt trên mặt "chip" EPROM trong vài chục phút, thì nội dung đã ghi trong nó bị xoá hoàn toàn. Để bảo vệ, khi ghi xong nên dùng giấy mờ dán lên cửa sổ của EPROM. Bộ nhớ EPROM vẫn còn nhược điểm là không thể xoá chọn lọc một số ô nhớ trong bộ nhớ.

• ***Bộ nhớ chỉ đọc có thể lập trình và có thể xoá bằng điện***, gọi tắt là EEPROM (Electrically Erasable PROM). Ở loại này, do có thể xoá bằng xung điện nên không bắt buộc phải xoá toàn bộ nội dung đã ghi trong bộ nhớ. Ta có thể lựa chọn chỉ xoá vài từ nhớ ở các địa chỉ nào đó để ghi vào đó thông tin mới.

Tóm lại :

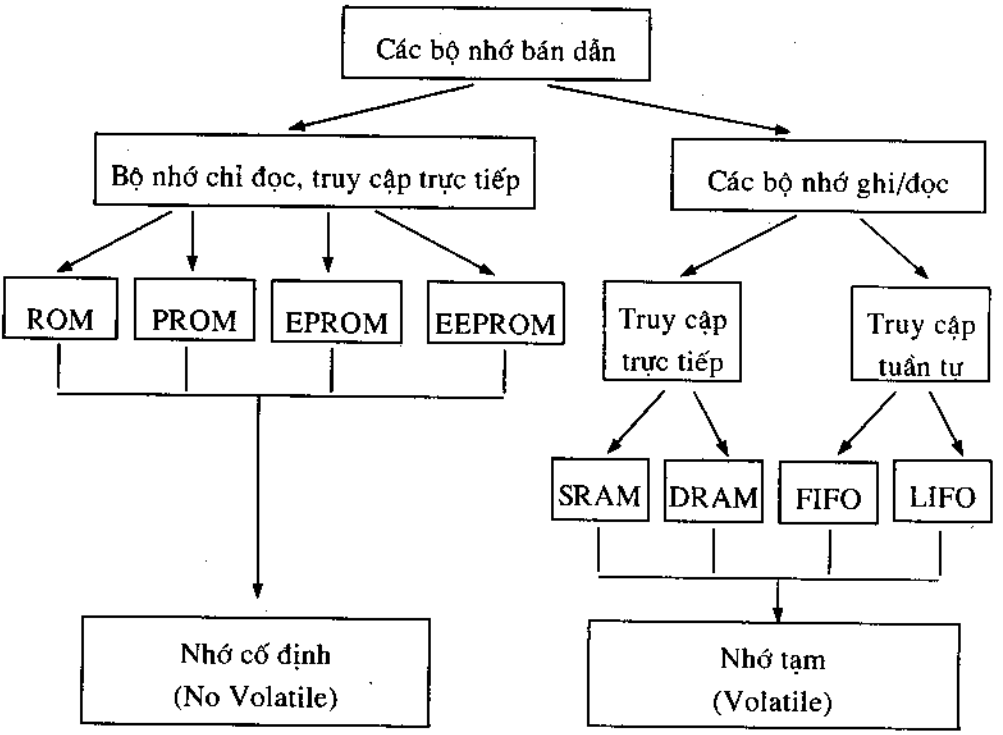
– Các bộ nhớ chỉ đọc kể trên đều có cấu trúc giá đỡ thông tin của loại bộ nhớ truy cập trực tiếp.

– Chúng đều thuộc loại bộ nhớ cố định : Khi mất nguồn nuôi, thông tin đã ghi vẫn được lưu trữ.

– Các bộ nhớ EPROM, EEPROM khi lập trình sai có thể xoá đi làm lại. Vì vậy, hiện nay chúng là các bộ nhớ chỉ đọc thông dụng nhất.

Bảng 9-1 dưới đây chọ tóm tắt về phân loại các bộ nhớ bán dẫn chính.

Bảng 9-1

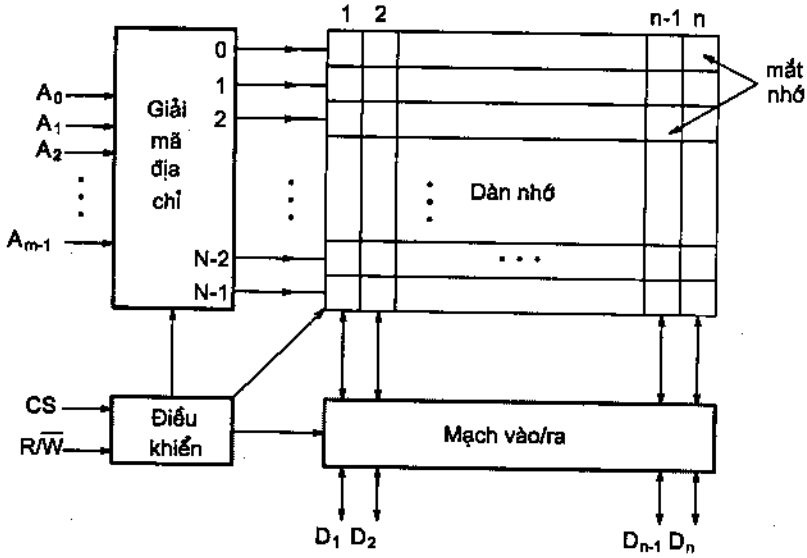


Sưu tầm bởi: www.daihoc.com.vn

9-4. CẤU TRÚC CHUNG CỦA CÁC BỘ NHỚ TRUY CẬP TRỰC TIẾP

Hình 9-2 trình bày sơ đồ khối cấu trúc của bộ nhớ ghi / đọc truy cập trực tiếp (RAM). Các bộ nhớ ROM cũng có sơ đồ khối tương tự, với một sửa đổi nhỏ, là thông tin chỉ truyền theo một chiều, từ bộ nhớ ra ngoài, không truyền theo hai chiều như thể hiện trên hình vẽ. Sơ đồ gồm 4 khối :

• ***Dàn nhớ*** (Memory array), hay còn gọi là giá đỡ thông tin. Theo cách nhìn của người sử dụng thì dàn nhớ có thể coi như một bảng N hàng × n cột. Mỗi hàng gọi là một ***ô nhớ*** và có một địa chỉ mã hoá bằng số nhị phân m bit. Trên mỗi ô nhớ (hàng) đặt n phần tử có hai trạng thái ổn định gọi là ***mắt nhớ*** (hay tế bào nhớ). Mỗi mắt nhớ lưu giữ 1 bit thông tin. Vậy một ô nhớ của dàn nhớ lưu trữ n bit thông tin có thể truy cập đồng thời theo địa chỉ ô nhớ. Với m bit địa chỉ, dàn nhớ có $N = 2^m$ hàng (ô nhớ) có địa chỉ 0 ÷ N-1, và lưu trữ được tối đa N từ nhớ × n bit.

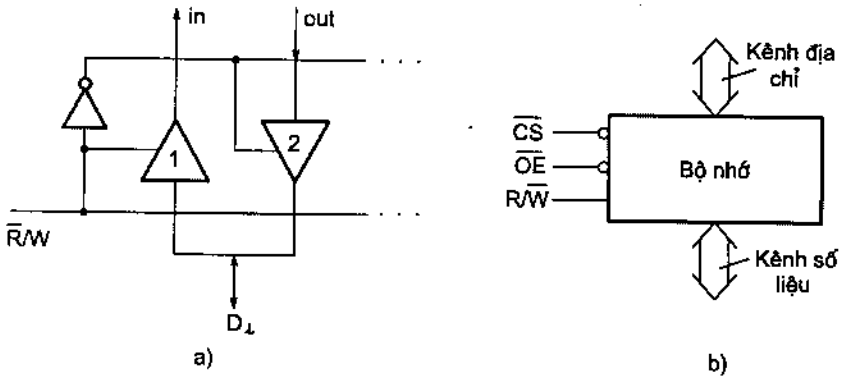


Hình 9-2. Sơ đồ khối cấu trúc của RAM.

• ***Khối chọn địa chỉ***, thực chất là một mạch giải mã 1/N với m đầu vào A_o ÷ A_{m-1}. Các đầu ra 0 ÷ N-1 của giải mã có tác động tích cực tới mỗi ô nhớ có địa chỉ tương ứng trong dàn nhớ. Nếu đặt $A_{m-1} \ldots A_1 A_o = i$ (i = 0 ÷ N-1) thì ô nhớ thứ i trong dàn nhớ sẽ được chọn để truy cập thông tin.

Sưu tầm bởi: www.daihoc.com.vn

• ***Khối vào/ra*** (I/O) là một mạch truyền tin hai chiều, gồm các phần tử đệm 3 trạng thái, dùng đưa thông tin ghi vào bộ nhớ hoặc lấy thông tin từ nó ra.



Hình 9-3. Mạch I/O và sơ đồ khối bộ nhớ truy cập trực tiếp RAM

Hình 9-3a là mạch vào / ra để truyền 1 bit thông tin D_i (i = 1 ÷ n). Khi ghi thông tin đặt $\overline{R}/W$ = 1 logic, phần tử đệm ba trạng thái số 1 thông, phần tử đệm số 2 ở trạng thái tổng trở cao. Dữ liệu D_i được dẫn vào qua đầu In tới ô nhớ có địa chỉ định trước. Ngược lại, khi đọc đặt $\overline{R}/W$ = 0 logic, thông tin từ bộ nhớ sẽ được gọi ra D_i qua phần tử đệm 2.

Ở các bộ nhớ ROM, thay vì mạch vào / ra là mạch ra. Nó cũng gồm các phần tử đệm 3 trạng thái để dẫn thông tin ra kênh số liệu chung ở ngoài.

• ***Khối điều khiển*** để thực hiện các thao tác điều khiển bộ nhớ như : chọn bộ nhớ (khi có nhiều bộ nhớ ghép với kênh truyền dữ liệu chung), điều khiển ghi / đọc...

Tóm lại, để sử dụng, ta không tìm hiểu kĩ cấu trúc bên trong một "chip" vi mạch nhớ. Điều cốt yếu cần nắm là ý nghĩa của các loại kênh vào, ra trên "chip" nhớ (hình 9-3b) :

– Kênh địa chỉ (Address bus) gồm m dây dẫn, để truyền địa chỉ dưới dạng số nhị phân m bit $A_o \div A_{m-1}$ vào bộ nhớ. Ô nhớ có địa chỉ tương ứng trong dàn nhớ sẽ được chọn để truy cập thông tin.

– Kênh dữ liệu (Data bus) gồm n dây dẫn để truyền dữ liệu mã hoá nhị phân n bit $D_1 \div D_n$ ghi vào bộ nhớ, hoặc nhận dữ liệu đọc từ bộ nhớ ra.

– Kênh điều khiển để truyền một số tín hiệu điều khiển tới bộ nhớ. Số đầu vào điều khiển của các "chip" nhớ có thể khác nhau. Các đầu điều khiển thường có là :

Sưu tầm bởi: www.daihoc.com.vn

+ Đầu điều khiển chọn "chip", kí hiệu $\overline{CS}$ hoặc $\overline{CE}$ (hay CS, CE). Dấu gạch ngang ở trên đầu kí hiệu chỉ rằng tín hiệu điều khiển là tích cực thấp : Khi $\overline{CS} = 0$ logic, "chip" nhớ được chọn để truy cập dữ liệu ; nếu $\overline{CS}$ = 1 logic, "chip" coi như được tách khỏi kênh dữ liệu chung.

+ Đầu điều khiển cho phép các phần tử đệm của mạch ra làm việc, kí hiệu $\overline{OE}$ (hay OE). Khi $\overline{OE}$ = 0 logic, dữ liệu trong bộ nhớ mới được chuyển ra Data bus. Đây là đầu điều khiển nhằm bảo đảm sự điều hành đồng bộ của Data bus. Không phải "chip" nhớ nào cũng có đầu điều khiển này.

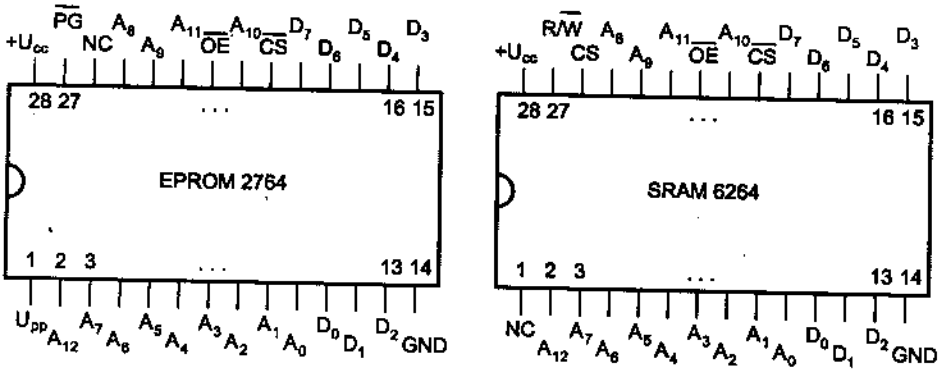
+ Đầu điều khiển đọc / ghi R/$\overline{W}$. Chỉ có các bộ nhớ ghi / đọc (RAM) mới cần đầu điều khiển này.

+ Ngoài ra, kênh điều khiển còn có thể có các đầu đặc biệt khác. Ví dụ, đầu điều khiển lập trình cho PROM ; đầu ra báo bộ nhớ đã sẵn sàng cho việc truy cập dữ liệu $\overline{MRDY}$ (memory Ready).

9-5. MỘT SỐ CHIP VI MẠCH NHỚ

9-5-1. EPROM, PROM

Các "chip" EPROM thông dụng hiện nay là nhóm IC 2716, 2732, 2764, 27128, 27256...



Hình 9-4. Vỏ IC 2764 và IC6264

• Các IC 27xx có điện áp nguồn cung cấp $+U_{cc}$ = +5V nên rất tương thích với họ TTL.

Sưu tầm bởi: www.daihoc.com.vn

• Độ dài một từ nhớ là 8 bit = 1 byte, thường sử dụng trong các hệ vi xử lí.

• Các chữ số sau số 27 chỉ dung lượng "chip" nhớ, tính bằng K bit. Ví dụ IC 2716 có dung lượng 16 K bit = 2K từ nhớ × 8 bit = 2K byte ; IC 2764 có dung lượng 64 K bit = 8K byte...

Hình 9-4a là vỏ của EPROM 2764. Các chân $D_0 \div D_7$ là kênh dữ liệu (Data bus) ; $A_0 \div A_{12}$ là kênh địa chỉ. U_{PP} là chân để đặt điện áp cao khi lập trình (ghi) cho EPROM ; $\overline{PG}$ là chân điều khiển lập trình, tích cực thấp. Một EPROM sạch (chưa lập trình), tất cả các đầu data bus đều ở 1 logic (ứng với mức logic cao H). Bảng 9-2 dưới đây chỉ rõ điều kiện để đọc, lập trình cho EPROM

Bảng 9-2

Bảng thao tác của IC.2764

Phương thức	$\overline{CS}$	$\overline{OE}$	$\overline{PG}$	U_{PP}	U_{CC}	Data bus
Đọc	L	L	H	+5V	+5V	Output
Chuẩn bị	H	X	X	+5V	+5V	H
Lập trình (nạp)	L	X	L	U_{PP}	+5V	Input
Kiểm tra chương trình nạp	L	L	H	U_{PP}	+5V	Output

Các "chip" vi mạch PROM điển hình là IC 7603 và 7611. Loại 7603 có dung lượng 32 từ nhớ × 8 bit = 32 byte. Loại 7611 có dung lượng 256 từ nhớ × 4 bit. Vỏ của các IC này có 16 chân ; Nguồn cung cấp là +5V, tương thích với họ TTL.

9-5-2. SRAM. Dưới đây là một số "chip" vi mạch RAM tĩnh.

• IC 2148, 2114-2 của hãng Intel. Dung lượng 1K từ nhớ × 4 bit. Thời gian truy cập thông tin khoảng 200ns, công suất tiêu thụ 525 mW.

• IC TMS4016, dung lượng 2K từ nhớ × 8 bit = 2K byte ;

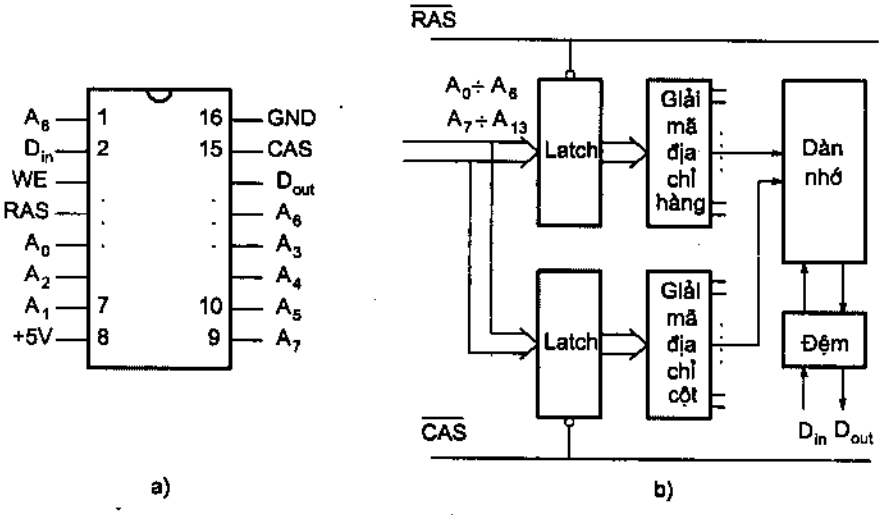
IC HM6116, họ CMOS, dung lượng 2K byte, thời gian truy cập thông tin là 120ns, công suất tiêu thụ khi làm việc P = 180mW (khi chờ thì $P \approx 100\mu W$). Hình 9-4b giới thiệu vỏ của IC 6264, dung lượng 8K byte. Bảng 9-3 chỉ rõ điều kiện thao tác của IC6264.

Sưu tầm bởi: www.daihoc.com.vn

Bảng 9-3

Bảng thao tác của IC 6264

Phương thức	$\overline{CS}$	CS	$\overline{WE}$	$\overline{OE}$
Không được chọn	H	X	X	X
Đọc	L	H	H	L
Đọc nhưng không xuất dữ liệu	L	H	H	H
Ghi	L	H	L	L



Hình 9-5. Vỏ IC 41256 và sơ đồ khối cấu trúc đơn giản của DRAM

9-5-3. RAM động (DRAM)

Đặc điểm của các vi mạch nhớ DRAM là mỗi từ nhớ của chúng chỉ có 1 bit, với hai đầu dữ liệu vào, ra tách biệt : D_{in}, D_{out}.

Hơn nữa, tổ chức địa chỉ của DRAM (hoặc của các bộ nhớ chỉ đọc dung lượng lớn) có hơi khác so với tổ chức địa chỉ trình bày ở mục 9-4. Trên dàn nhớ gồm N hàng, M cột, ta đặt N × M mắt nhớ. Mỗi mắt nhớ lưu giữ 1 bit thông tin, có địa chỉ tính theo địa chỉ hàng và địa chỉ cột. Như vậy, cần có số nhị phân n bit để mã hoá cho các địa chỉ hàng, và số nhị phân m bit để mã hoá cho các địa chỉ cột. Số bit địa chỉ tổng là m + n. Với cách tổ chức địa chỉ như trên, ứng với 1 địa chỉ hàng và cột, ta chỉ truy cập được 1 bit thông tin trong dàn nhớ. Để có thể truy cập đồng thời k bit thông tin, ta phải có k dàn nhớ làm việc đồng thời (song song). Trong các chip DRAM, dàn nhớ có số lượng địa chỉ hàng và địa

Sưu tầm bởi: www.daihoc.com.vn

chỉ cột bằng nhau (M = N → m = n). Để giảm thiểu số chân trên "chip", người ta chỉ tạo kênh địa chỉ với số bit bằng 1/2 số bit địa chỉ tổng của hàng và cột yêu cầu. Do đó, khi sử dụng phải xây dựng một mạch chọn kênh, để đưa các bit địa chỉ hàng, rồi đến các bit địa chỉ cột vào "chip". Một số "chip" DRAM là : TMS4116, dung lượng 16K × 1 bit ; MN 4164, dung lượng 64K × 1 bit ; 41256, dung lượng 256K × 1 bit. Thời gian truy cập thông tin cỡ khoảng 150ns, công suất tiêu thụ khoảng 280mW khi làm việc (khi chờ chỉ tiêu thụ khoảng 28mW).

Hình 9-5a là vỏ của IC.41256, dung lượng 256K × 1 bit. Mạch cần 18 bit địa chỉ để mã hoá cho các địa chỉ hàng và cột ; nhưng trên vỏ chỉ có 9 chân địa chỉ $A_0 \div A_8$. Hai chân RAS, CAS, tích cực cao, dùng để điều khiển dẫn 9 bit địa chỉ trên chip tới giải mã địa chỉ hàng hay giải mã địa chỉ cột.Hình 9-5b là sơ đồ khối cấu trúc đơn giản của DRAM, ví dụ IC.TMS 4116, dung lượng 16K × 1 bit. Trên hình vẽ, latch là một thanh ghi chốt để nhận 7 bit địa chỉ đặt trên "chip" ; Hai đầu $\overline{RAS}$, $\overline{CAS}$ truyền tín hiệu điều khiển nạp thanh ghi, tích cực thấp. Bạn đọc hãy tự giải thích hoạt động của sơ đồ.

Để có được bộ nhớ DRAM với từ nhớ có độ dài k bit, ta phải dùng k "chip" nhớ làm việc song song (xem mục 9-6-1).

9-6. MỞ RỘNG DUNG LƯỢNG BỘ NHỚ

Các "chip" vi mạch nhớ bán dẫn chỉ có dung lượng xác định. Muốn có bộ nhớ với dung lượng lớn hơn, ta tìm cách ghép nối các "chip" nhớ, nhằm một trong ba mục đích sau :

– Tăng độ dài từ nhớ, nhưng không làm tăng số lượng từ nhớ

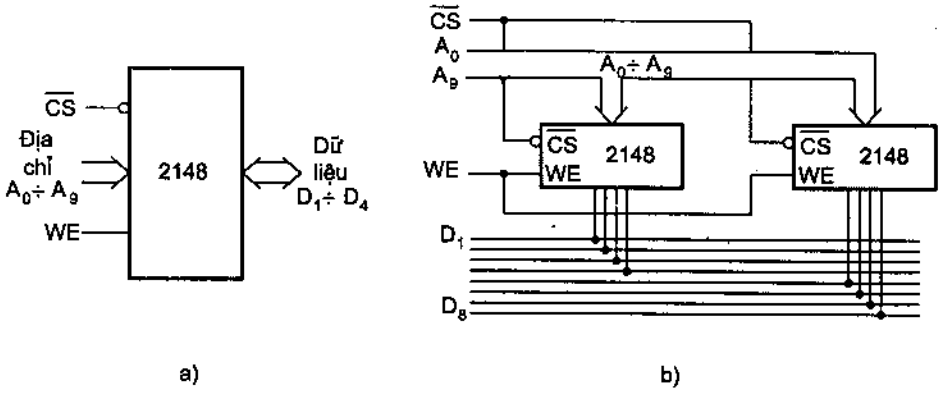
– Tăng số lượng từ nhớ, nhưng không làm tăng độ dài từ nhớ

– Tăng cả số lượng lẫn độ dài từ nhớ.

Hãy lấy vài ví dụ cụ thể để minh hoạ.

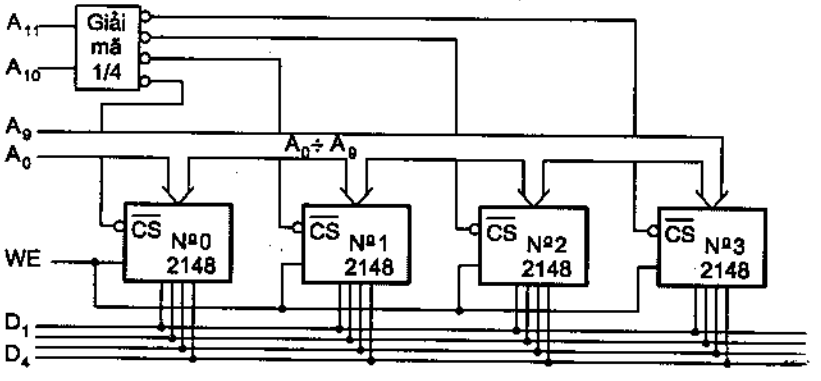
1. Dùng 2 vi mạch SRAM, IC.2418 (hình 9-6a), để thành lập bộ nhớ 1K từ nhớ × 8 bit (1K byte). Bản thân IC.2148 có dung lượng 1K từ nhớ × 4 bit ; Vậy ta chỉ cần dùng 2 IC cho ***làm việc đồng thời*** (song song) là được bộ nhớ có độ dài từ nhớ tăng gấp đôi. Cách nối dây như ở hình 9-6b. Trên hình vẽ, kênh truyền dữ liệu chung 8 bit ($D_1 \div D_8$) được chia làm đôi để nối với kênh dữ liệu 4 bit của hai "chip" nhớ.

Sưu tầm bởi: www.daihoc.com.vn



Hình 9-6. *Thành lập bộ nhớ có độ dài từ nhớ tăng gấp đôi*

2. Dùng bốn chip 2148 để thành lập bộ nhớ SRAM có dung lượng 4K từ nhớ × 4 bit. Với 4K từ nhớ, bộ nhớ cần 12 bit địa chỉ ($A_0 \div A_{11}$), để mã hoá địa chỉ các ô nhớ chứa từ nhớ. Bản thân IC.2148 có dung lượng 1K từ nhớ × 4 bit, vậy chỉ cần dùng 4 "chip" để tăng số từ nhớ lên 4 lần. Ta gán cho mỗi "chip" một địa chỉ, từ N°0 đến N°3, và đem nối chúng song song với nhau (kênh truyền dữ liệu chung 4 bit $D_1 \div D_4$ nối với kênh dữ liệu của cả 4 chip). Tuy nhiên, tại một thời điểm, chỉ 1 chip được chọn để truy cập thông tin với kênh truyền dữ liệu chung. Hai bit có trọng số lớn nhất của kênh địa chỉ (A_{11}, A_{10}) dùng để mã hoá cho địa chỉ của 4 "chip" 2148, và ta dùng mạch giải mã 1/4 để lựa chọn sự làm việc của từng "chip". Hình 9-7 là sơ đồ nối dây của bộ nhớ mở rộng cần thành lập. Bảng 9-3 chỉ rõ sự lựa chọn làm việc của mỗi "chip" nhớ trong sơ đồ, theo địa chỉ ô nhớ cần truy cập thông tin.



Hình 9-7. *Thành lập bộ nhớ có số từ nhớ tăng gấp bốn lần*

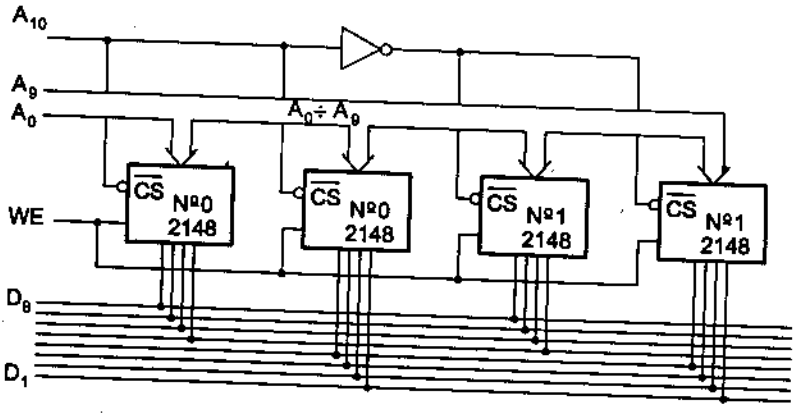
Sưu tầm bởi: www.daihoc.com.vn

Bảng 9-3

Địa chỉ ô nhớ	A_{11} A_{10}	A_9 A_8 ... A_1 A_0	Chip nhớ được chọn làm việc
0	0 0	0 0 ... 0 0	
1	0 0	0 0 ... 0 1	Nº0
. . .	. . .	. . .	
1023	0 0	1 1 ... 1 1	
1024	0 1	0 0 ... 0 0	
1025	0 1	0 0 ... 0 1	Nº1
. . .	. . .	. . .	
2047	0 1	1 1 ... 1 1	
2048	1 0	0 0 ... 0 0	
2049	1 0	0 0 ... 0 1	Nº2
. . .	. . .	. . .	
3071	1 0	1 1 ... 1 1	
3072	1 1	0 0 ... 0 0	
3073	1 1	0 0 ... 0 1	Nº3
. . .	. . .	. . .	
4095	1 1	1 1 ... 1 1	

3. Dùng các chip SRAM, IC.2148, để thành lập bộ nhớ có dung lượng 2K từ nhớ × 8 bit = 2K byte. Bài toán ở đây là sự phối hợp hai bài toán mở rộng bộ nhớ ở trên : Số lượng từ nhớ yêu cầu tăng gấp đôi (2K) và độ dài từ nhớ cũng cần tăng gấp đôi. Vậy phải cần bốn chip 2148, chia thành hai cặp có địa chỉ Nº0 và Nº1. Tại một thời điểm chỉ có một cặp được chọn làm việc. Ta có sơ đồ mở rộng bộ nhớ như ở hình 9-8.

Sưu tầm bởi: www.daihoc.com.vn



Hình 9-8. Thành lập bộ nhớ có số từ nhớ và độ dài từ nhớ đều tăng gấp đôi

9-7. MỘT SỐ ỨNG DỤNG CỦA CÁC BỘ NHỚ BÁN DẪN

9-7-1. Ứng dụng của các bộ nhớ ghi / đọc (RAM)

Đa số các bộ nhớ ghi / đọc không lưu giữ được thông tin khi mất nguồn cung cấp, nhưng chúng lại có tốc độ truy cập thông tin nhanh. Vì vậy RAM thường được sử dụng để lưu giữ tạm thời các dữ liệu trong quá trình xử lí tín hiệu. Bộ nhớ RAM là thành phần không thể thiếu trong khối các bộ nhớ của máy vi tính và của các hệ vi xử lí chuyên dụng.

9-7-2. Ứng dụng của các bộ nhớ chỉ đọc (ROM)

Các bộ nhớ chỉ đọc ROM (PROM, EPROM...) có khả năng lưu giữ lâu dài thông tin và nó cũng là phần không thể thiếu trong khối các bộ nhớ của các hệ vi xử lí. Nó được sử dụng với các mục đích chủ yếu sau :

• ROM chứa chương trình điều hành của một hệ vi xử lí. Bộ vi xử lí căn cứ vào các lệnh chứa trong chương trình đã cài đặt trong ROM, để điều khiển thực hiện các nhiệm vụ ấn định trước. Không riêng gì hệ vi xử lí, một cách khái quát hơn, trong những hệ thống điều khiển logic trình tự, ROM là nơi chứa chương trình điều khiển hoạt động của các đối tượng, theo một trật tự nghiêm ngặt ấn định trước.

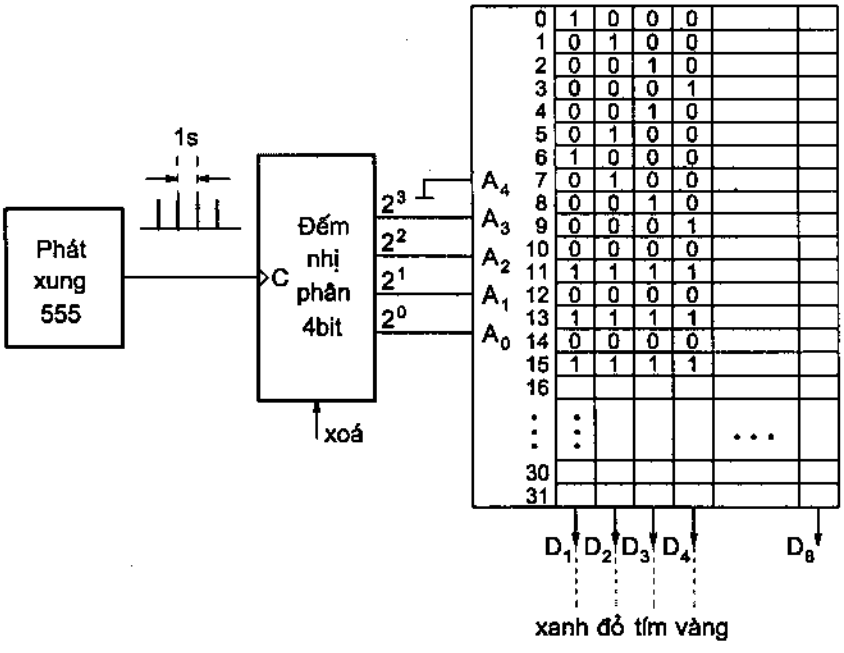
• ROM còn hay được dùng để lưu giữ các bảng biểu quan trọng hay được sử dụng trong các hệ xử lí tín hiệu số. Ví dụ dùng ROM để chứa bảng của một số hàm phi tuyến như $y = x^2$, $y = \sin x$. Người ta cũng hay dùng ROM để cài đặt bảng chân lí của những quan hệ logic định trước. Nói khác đi, có thể dùng ROM cho việc tổng hợp mạch logic, ví dụ dùng ROM để thực hiện các biến đổi mã thường gặp.

Sưu tầm bởi: www.daihoc.com.vn

Dưới đây là vài ví dụ cụ thể minh hoạ cho hai mục đích chủ yếu sử dụng ROM vừa kể trên.

Ví dụ 1. Hình 9-9 là mạch điều khiển trình tự thắp sáng các mảng đèn quảng cáo theo chương trình cài đặt trong PROM. Vi mạch sử dụng là IC.7603, dung lượng 32 byte. Bốn đầu ra dữ liệu $D_1 \div D_4$ của PROM được dẫn tới bốn mạch điều khiển thắp sáng các mảng đèn quảng cáo mầu xanh, đỏ, tím, vàng ; với giả thiết $D_i = 1$ logic ($i = 1 \div 4$) thì mảng đèn được thắp sáng. Một phần dàn nhớ của PROM được lập trình như trên hình vẽ ; phần còn lại là thừa, không sử dụng. Khởi động, ta đưa một xung vào xoá bộ đếm. Theo từng xung nhịp phát ra từ mạch phát xung 555, dữ liệu ghi trong PROM được gọi ra trên $D_1 \div D_4$, tuần tự từ ô nhớ số 0 đến 15. Sau đó lại lặp lại.

Nhận xét : Với một mạch điều khiển rất đơn giản, bằng cách cài đặt một chương trình cho trước vào ROM, ta có thể thực hiện được những điều khiển tuần tự phức tạp và rất linh hoạt.



***Hình 9-9.** Mạch điều khiển của ví dụ 1*

Ví dụ 2. Dùng vi mạch PROM, IC 7603, dung lượng 32 byte, để lập trình sao cho nó có thể thực hiện được hai nhiệm vụ :

- Tạo hàm $y = x^2$, với $15 \geq x \geq 0$: Số thập phân x được mã hoá bởi số nhị phân 4 bit : $b_3\ b_2\ b_1\ b_0$.

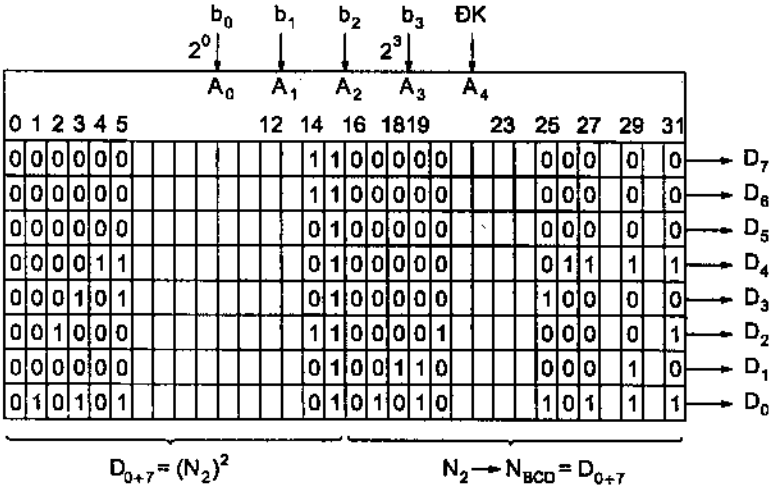
Sưu tầm bởi: www.daihoc.com.vn

• Biến đổi số nhị phân 4 bit $b_3\ b_2\ b_1\ b_o$ sang mã BCD (xem phụ lục 3).

Dùng ngay đầu vào địa chỉ có trọng số lớn nhất của PROM (A_4), để đặt tín hiệu điều khiển lựa chọn một trong hai nhiệm vụ trên.

Bài toán trên thực chất là tìm cách ghi vào PROM hai bảng : Một bảng biểu thị bình phương của số nhị phân 4 bit ; Một bảng biểu thị quan hệ giữa số nhị phân 4 bit với mã BCD biểu diễn nó.

Bình phương của số nhị phân 4 bit sẽ cho kết quả là một số nhị phân có độ dài tối đa 8 bit. Mặt khác, số nhị phân 4 bit (giá trị 0 ÷ 15) khi chuyển sang mã BCD sẽ là một mã BCD hai decad(8 bit). Vậy, mỗi từ nhớ 8 bit của PROM đủ độ dài để lưu giữ kết quả của hai thao tác yêu cầu trên số nhị phân 4 bit (thao tác bình phương và thao tác biến đổi mã).



Hình 9-10. Lập trình cho PROM ở ví dụ 2

Ta đặt các biến độc lập b_3, b_2, b_1, b_o của số nhị phân lên 4 đầu vào địa chỉ có trọng số tương ứng trên PROM (A_3 ÷ A_o). Đầu địa chỉ A_4 để đặt tín hiệu điều khiển ĐK, với giả định : ĐK = 0 logic, PROM thực hiện phép tính bình phương ; ĐK = 1 logic, PROM thực hiện phép biến đổi mã $N_2 \rightarrow N_{BCD}$. Với giả định này, các ô nhớ địa chỉ 0 ÷ 15 sẽ lưu giữ kết quả của phép tính bình phương trên số nhị phân 4 bit ; những ô nhớ địa chỉ 16 ÷ 31 sẽ lưu giữ mã BCD, tương ứng với các giá trị 0 ÷ 15 của số nhị phân.

Hình 9-10 là dàn nhớ của IC 7603 với một số ô nhớ đã được lập trình. Ứng với số nhị phân N_2 đặt vào, tuỳ theo tín hiệu điều khiển ĐK, dữ liệu ghi ở một

Sưu tầm bởi: www.daihoc.com.vn

trong 32 ô nhớ (địa chỉ 0 ÷ 31) sẽ được gọi ra kênh dữ liệu $D_0 \div D_7$. Bạn đọc hãy kiểm tra tính đúng đắn của các ô nhớ đã lập trình, và lập trình tiếp cho các ô nhớ còn để trống.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 9

9-1. Những đặc trưng chính của một bộ nhớ.

9-2. Bộ nhớ RAM là gì ? Thế nào là SRAM, thế nào là DRAM ?

9-3. Bộ nhớ ROM là gì ? Thế nào là PROM, EPROM, EEPROM ?

9-4. Sơ đồ khối cấu trúc của bộ nhớ truy cập kiểu trực tiếp.

9-5. Xây dựng bộ nhớ EPROM dung lượng 32K byte từ các chip IC.2764.

9-6. Xây dựng bộ nhớ EPROM dung lượng 16K từ nhớ × 16 bit từ các chip. 2764.

9-7. Cho bảng chân lí ở bảng 9-4.

Bảng 9-4

T.tự	C	B	A	$Q_1(A, B, C)$	$Q_3(A, B, C)$	$Q_2(A, B, C)$	$Q_4(A, B, C)$
0	0	0	0	0	0	1	0
1	0	0	1	1	0	1	1
2	0	1	0	0	1	0	1
3	0	1	1	1	1	1	0
4	1	0	0	0	0	0	0
5	1	0	1	1	0	1	0
6	1	1	0	0	1	0	1
7	1	1	1	1	1	0	0

Hãy dùng lần lượt một trong ba phần tử chủ yếu sau để xây dựng mạch logic thực hiện 4 hàm Q_1, Q_2, Q_3, Q_4 trong bảng chân lí :

– Giải mã 1/N

– Các mạch chọn kênh

– Bộ nhớ ROM.

Sưu tầm bởi: www.daihoc.com.vn

Chương 10 ỨNG DỤNG KĨ THUẬT SỐ TRONG ĐO LƯỜNG - ĐIỀU KHIỂN

Từ chương 4 đến chương 9 đã trình bày với bạn đọc các mạch logic chức năng thông dụng nhất và một số ứng dụng điển hình của chúng. Chương này sẽ gắn kết lại, nêu lên vài ứng dụng có tính khái quát nhất của điện tử số trong điều khiển công nghiệp và đo lường. Đồng thời ở đây cũng giới thiệu cùng bạn đọc khái niệm về bộ vi xử lí, một trong những thành tựu cao của công nghệ điện tử số, mà hiện nay đang được ứng dụng sâu rộng trong đo lường - điều khiển.

10-1. HỆ ĐIỀU KHIỂN LOGIC TRÌNH TỰ

Hệ điều khiển logic trình tự, còn gọi là ***sequencer***, là một hệ nhằm phát ra các tín hiệu logic, điều khiển hoạt động của những phần tử trong một hệ thống, bước nọ tiếp nối bước kia, theo một trật tự nghiêm ngặt đã định trước. Mục 9-7-2 đã khảo sát một ví dụ về mạch logic điều khiển trình tự thắp sáng các mảng đèn quảng cáo. Ở đây sẽ xét khái quát hơn 1 hệ logic, tự động điều khiển các hoạt động của một quá trình sản xuất công nghiệp nào đó, theo trình tự sau :

– Cho chạy một số cơ cấu thừa hành (mô tơ, van...).

– Đợi tới khi những điều kiện nhất định nào đó của quá trình sản xuất được thực hiện. Những điều kiện này do các tín hiệu logic ở cửa ra của khối đo lường - kiểm tra xác định, gọi là một ***trạng thái của hệ thống sản xuất***.

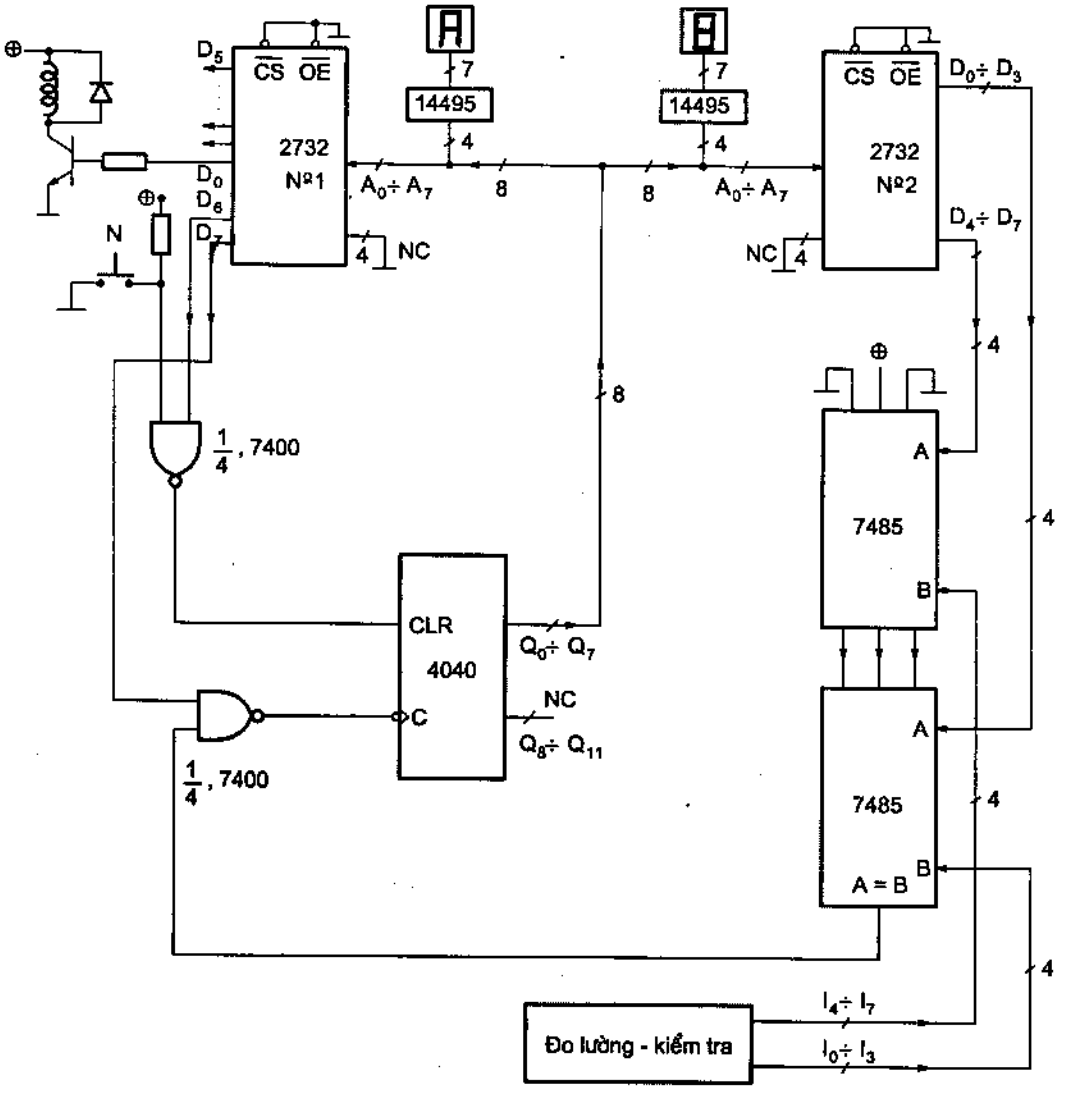
– Cho chạy hoặc làm dừng một số cơ cấu thừa hành khác.

– Đợi sự xuất hiện trạng thái mới đã tiên liệu trước của hệ thống sản xuất.

– Cho chạy / làm dừng các cơ cấu thừa hành để điều kiển trạng thái của hệ thống...

Quá trình cứ tiếp diễn theo một số bước ấn định trước. Sau đó, hoặc là lặp lại chu trình điều khiển, hoặc là ngừng sự điều khiển hệ thống.

Sưu tầm bởi: www.daihoc.com.vn



Hình 10-1. *Hệ điều khiển logic trình tự một quá trình sản xuất*

Sưu tầm bởi: www.daihoc.com.vn

Hình 10-1 là ví dụ về một hệ điều khiển logic làm việc theo quy tắc trên. Nó gồm :

• Hai bộ nhớ chỉ đọc EPROM, IC.2732, dung lượng 4K byte. Bộ nhớ N°1 chứa chương trình điều khiển các cơ cấu thừa hành, gồm các bước kế tiếp nhau, bắt đầu từ bước ở địa chỉ số 0, đến bước cuối cùng ở địa chỉ nào đó (bộ nhớ có 4K địa chỉ, nhưng giả sử chỉ cần dùng 256 địa chỉ). Bộ nhớ N°2 chứa các trạng thái hệ thống sản xuất, tiên liệu sẽ xảy ra theo từng bước điều khiển các cơ cấu thừa hành của bộ nhớ N°1. Các đầu ra $D_0 \div D_5$ của bộ nhớ N°1 sẽ điều khiển chạy hoặc dừng sáu cơ cấu chấp hành, thông qua các transistor khuếch đại dòng (ví dụ 2N 2222A, dòng cực góp 200 mA). Hai đầu ra D_6 , D_7 dùng để xoá bộ đếm 4040 hoặc làm ngừng sự điều khiển. Các đầu ra $D_0 \div D_7$ của bộ nhớ N°2 dẫn tới kênh A của 2 bộ so sánh 7485.

• Khối đo lường - kiểm tra gồm những chuyển đổi đặt ở các thiết bị vận hành hệ thống. Các tín hiệu logic ở cửa ra khối này phản ánh trạng thái vận hành của hệ thống sản xuất. Chúng chính là những tín hiệu vào $I_0 \div I_7$ của hệ điều khiển logic trình tự hình 10-1 , và đặt trên kênh B của 2 bộ so sánh 7485.

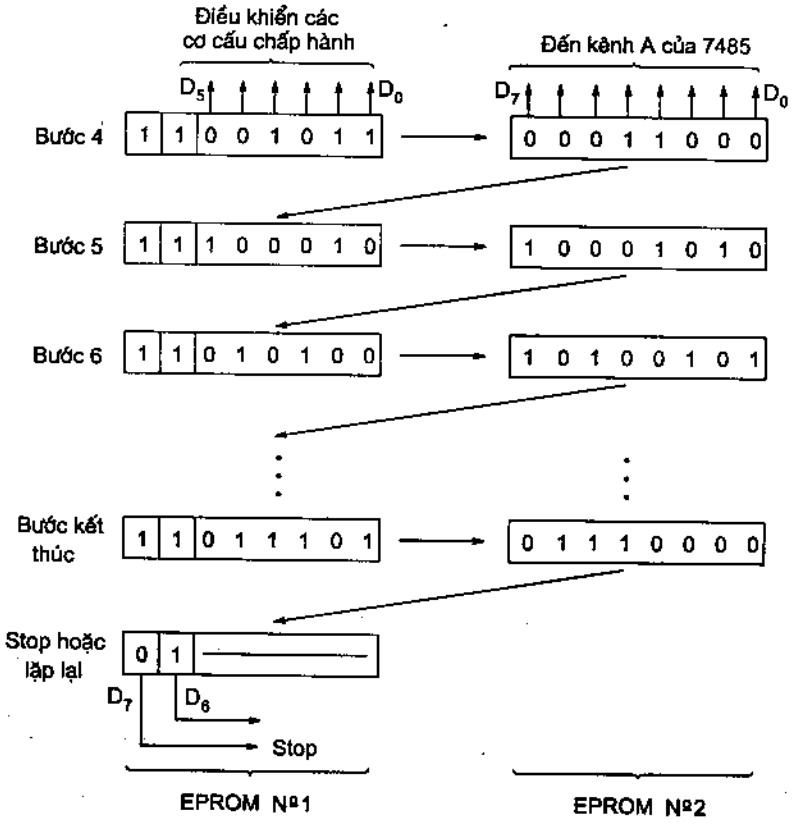
• Bộ so sánh số 8 bit, gồm 2 IC.7485 nối tầng, dùng để phát hiện sự xuất hiện trạng thái chờ đợi trong từng bước điều khiển. Lúc đó, đầu ra A = B sẽ chuyển sang giá trị 1 logic.

• Bộ đếm nhị phân 12 bit, IC 4040, dùng tạo nên các bước điều khiển kế tiếp nhau. Đầu nhận xung đếm C là tích cực ở sườn xuống của xung đếm. Đầu xoá CLR là tích cực cao. Các đầu ra $Q_0 \div Q_7$ dẫn tới các đầu vào địa chỉ $A_0 \div A_7$ của hai bộ nhớ N°1, N°2. Những đầu kí hiệu NC là thừa, không sử dụng. Khi các đầu vào $I_0 \div I_7$ đạt trạng thái chờ đợi đã định trước ở cửa ra $D_0 \div D_7$ của bộ nhớ N°2, đầu ra A = B của mạch so sánh nhảy lên 1 logic. Đầu vào C của bộ đếm 4040 sẽ chuyển xuống 0 logic (đầu D_7 của bộ nhớ N°1 luôn đặt 1 logic). Bộ đếm tăng 1 đơn vị, và nội dung đã ghi ở ô nhớ có địa chỉ cao hơn liền kề trong hai bộ nhớ được gọi ra trên kênh số liệu $D_0 \div D_7$. Ngoài ra, hai hiển thị số Hexa còn cho ta biết hệ điều khiển đang ở bước điều khiển nào.

Hình 10-2 là sơ đồ mô tả các bước hoạt động của hệ điều khiển ở hình 10-1. Ví dụ hệ đang ở bước 4, EPROM N°1 đưa ra trên kênh số liệu các bit điều khiển $D_5D_4D_3D_2D_1D_0 = 001011$ để cho chạy hoặc làm dừng sáu cơ cấu chấp hành. Đồng thời EPROM N°2 cũng đưa ra trên kênh số liệu trạng thái tiên liệu sẽ đạt tới của hệ thống sản xuất, $D_7D_6D_5D_4D_3D_2D_1D_0 = 00011000$. Khi các đầu vào $I_0 \div I_7$ đạt trạng thái ấn định trước thì hệ thống điều khiển chuyển sang bước 5 với các tín hiệu điều khiển mới và trạng thái tiên liệu mới. Sau bước kết thúc, tuỳ theo sự lập trình cho hai bit D_7, D_6 trong EPROM1 ở bước tiếp theo, hệ sẽ

Sưu tầm bởi: www.daihoc.com.vn

lặp lại chu trình điều khiển hoặc ngưng điều khiển (Stop). Trên hình 10-2, $D_7D_6 = 01$, cổng NAND dẫn tới IC4040 đóng và hệ điều khiển ngừng làm việc. Nếu $D_7D_6 = 10$ thì bộ đếm bị xoá và bắt đầu chu trình điều khiển mới.



Hình 10-2. Mô tả hoạt động của hệ điều khiển ở hình 10-1.

Khi khởi động, dùng tay ấn nút nhấn N trên hình 10-1. Bạn đọc hãy tự thuyết minh trình tự làm việc của hệ điều khiển.

10-2. PHƯƠNG PHÁP SỐ ĐO TRỰC TIẾP TẦN SỐ

Tiếp theo chúng ta hãy xét ứng dụng của điện tử số trong đo lường. Nội dung chính của kĩ thuật đo số là việc số hoá đại lượng cần đo X ; nghĩa là chuyển đại lượng X thành một số nguyên lần đại lượng cùng loại X_o, được dùng làm chuẩn để so sánh :

$$X = N \cdot X_o,$$

trong đó N là một số nhị phân hoặc thập phân, biểu diễn kết quả đo.

Sưu tầm bởi: www.daihoc.com.vn

Việc làm như trên, nói một cách "chữ nghĩa" gọi là sự ***lượng tử hoá đại lượng X***. Đại lượng chuẩn cùng loại X_o gọi là ***bước lượng tử***. Mạch thực hiện việc lượng tử hoá đại lượng tương tự (analog) X gọi là bộ ***biến đổi tương tự - số*** (biến đổi *A/D*). Trong kĩ thuật đo số, ba đại lượng vật lí dễ dàng lượng tử hoá nhất là : ***tần số, khoảng thời gian*** và ***điện áp một chiều*** (điện áp không đổi). Khi cần lượng tử hoá (đo) các đại lượng vật lí khác, ta thường trước hết chuyển chúng thành một trong ba đại lượng dễ lượng tử hoá kể trên. Trong mục này ta xét đến việc lượng tử hoá tần số tín hiệu.

10-2-1. Nguyên lí của phương pháp số đo trực tiếp tần số là biến tín hiệu có tần số f cần đo thành dãy xung vuông góc cùng tần số. Ta đo tần số của dãy xung này bằng cách cho nó đến bộ đếm trong một khoảng thời gian xác định trước $T_{xđ}$. Số chỉ ở cửa ra bộ đếm sẽ tỉ lệ với tần số cần đo :

$$N = \frac{T_{xđ}}{T} = T_{xđ} \cdot f,$$

trong đó $T = \frac{1}{f}$ = chu kì của dãy xung tới bộ đếm. Ta thấy, nếu $T_{xđ}$ = 1s thì f = N, nếu $T_{xđ}$ = 0,01s thì f = 100N...

10-2-2. Sơ đồ đo

Hình 10-3 là sơ đồ khối của mạch điện tử số đo tần số kiểu trực tiếp. Chi tiết của từng mạch điện tử chức năng trên sơ đồ đã trình bày trong các chương 3 ÷ 7.

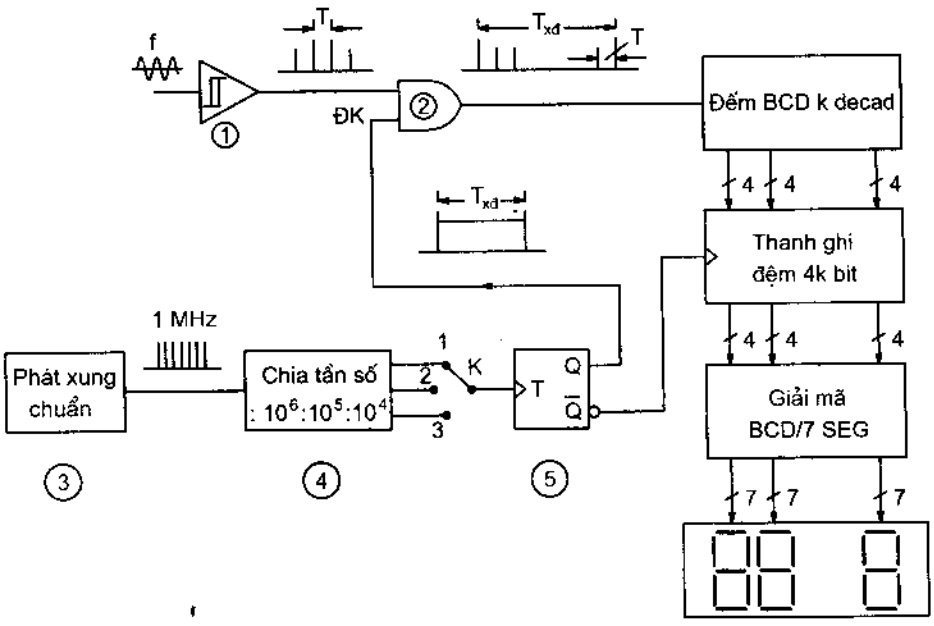
Nhiệm vụ từng khối như sau :

• Trigơ Smith ① biến tín hiệu tương tự có tần số f cần đo thành dãy xung vuông góc cùng tần số.

• Phần tử VÀ ② là cửa ngõ cho các xung có tần số f cần đo đi qua để tới bộ đếm (chu kì T = 1/f). Cổng VÀ chỉ mở khi tín hiệu điều khiển ĐK = 1 logic.

• Mạch định thời gian chuẩn $T_{xđ}$ gồm ba khối ③, ④, ⑤. Khối phát xung chuẩn ③ là mạch tạo xung dùng tinh thể thạch anh. Nó tạo ở đầu ra dãy xung vuông góc với tần số rất chính xác, từ 1 MHz đến 10 MHz (trên hình vẽ giả định là 1 MHz). Mạch chia tần số ④ với các số chia 10^4, 10^5, 10^6. Thực chất mạch gồm sáu IC đếm BCD 4 bit nối tầng với nhau. Trên ba đầu ra 1, 2, 3 của mạch chia tần là ba dãy xung có chu kì 1s ; 0,1s ; 0,01s. Flip Flop T ⑤ biến hai xung liền nhau đến nó thành một xung vuông góc ở đầu ra Q. Chiều rộng xung $T_{xđ}$ chính là khoảng thời gian giữa hai xung đến Flip Flop (tuỳ theo vị trí khoá K mà $T_{xđ}$ có thể chọn là 1s ; 0,1s ; 0,01s). Chính xung này sẽ điều khiển mở cổng VÀ trong khoảng thời gian xác định $T_{xđ}$.

Sưu tầm bởi: www.daihoc.com.vn



Hình 10-3. *Sơ đồ nguyên lí đo tần số kiểu trực tiếp*

• Bộ đếm BCD đến các xung tới trong khoảng thời gian $T_{xđ}$. Số chỉ ở cửa ra bộ đếm tỉ lệ với tần số cần đo f, và biểu diễn dưới dạng số BCD k decad :

$$N = \frac{T_{xđ}}{T} = T_{xđ} \cdot f.$$

• Thanh ghi đệm 4k bit không nhất thiết phải có. Nếu không có thanh ghi, trong thời gian đo $T_{xđ}$, hiển thị số sẽ nhấp nháy thay đổi liên tục theo số xung đếm. Thanh ghi sẽ loại bỏ được hiện tượng này. Thật vậy, chỉ sau khi đo (sau thời gian $T_{xđ}$, khi cổng VÀ đã đóng), đầu ra $\overline{Q}$ của T-Flip Flop mới chuyển từ 0 logic sang 1 logic, và kết quả đếm mới được truyền qua thanh ghi tới hiển thị.

• Giải mã BCD/7SEG và hiển thị 7 thanh biến kết quả đo dạng số BCD k decad thành hiển thị số thập phân k decad.

10-2-3. Sai số lượng tử hoá

Khi lượng tử hoá một đại lượng analog, ta sẽ phạm phải sai số gọi là ***sai số lượng tử hoá.*** Sai số lượng tự hoá tương đối lớn nhất có thể phạm phải, tính theo % là :

$$\gamma_{K\,max}\% = \frac{1}{N}100\%,$$

trong đó N là kết quả của phép lượng tử hoá. Ví dụ phép đo tần số ở trên, nếu N = 1000 Hz thì sai số tối đa có thể phạm phải là $\gamma_{K\,max}\% = 0,1\%$.

Sưu tầm bởi: www.daihoc.com.vn

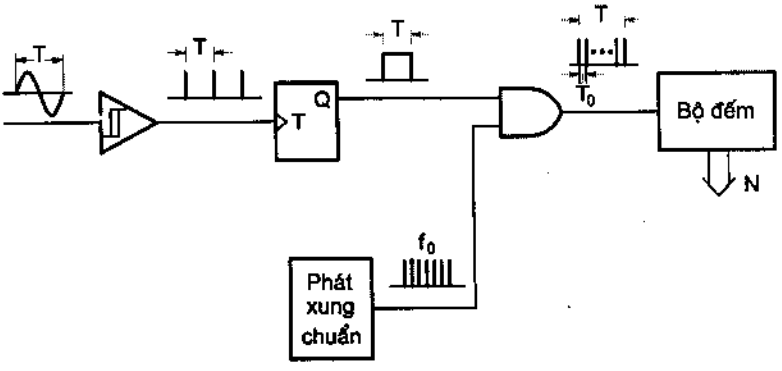
Trong phép lượng tử hoá tần số ở trên, $N = T_{xđ}.f$. Do đó, để đo chính xác thì yêu cầu phải tăng thời gian đo $T_{xđ}$. Hoặc với $T_{xđ}$ = không đổi (ví dụ 1s) thì phép đo chỉ chính xác ở tần số cao, khoảng từ 1000 Hz trở lên.

10-3. PHƯƠNG PHÁP SỐ ĐO KHOẢNG THỜI GIAN (Lượng tử hoá khoảng thời gian)

• Ta thường nói đo thời gian, ngụ ý là đo khoảng thời gian giữa hai sự kiện nào đó xảy ra. Nguyên lí và sơ đồ của phép lượng tử hoá khoảng thời gian rất đơn giản : Cho dãy xung có tần số chuẩn $f_o = 1/T_o$ đi đến bộ đếm trong khoảng thời gian T_x cần đo. Chỉ số ở cửa ra bộ đếm sẽ tỉ lệ với T_x :

$$N = \frac{T_x}{T_o} = f_o \,.\, T_x.$$

Điều khó nhất của đo khoảng thời gian giữa hai sự kiện xảy ra là làm sao ghi nhận được thời điểm xảy ra của mỗi sự kiện, ví dụ bằng một xung chẳng hạn. Nói khác đi, phải tìm cách đánh dấu được điểm đầu và điểm cuối của khoảng thời gian cần đo. Không có một phép chính tắc nào cho việc làm này. Tuỳ theo từng trường hợp cụ thể sẽ có những cách giải quyết khác nhau.



Hình 10-4. *Phương pháp số đo chu kì T của tín hiệu*

• Lấy ví dụ về phương pháp số đo chu kì T của tín hiệu hình sin, tức là đo khoảng thời gian ngắn nhất để tín hiệu lặp lại về chiều và độ lớn. Hình 10-4 là sơ đồ nguyên lí của phép đo. Ở đây, ta dùng trigơ Smith để định điểm đầu và cuối của chu kì cần đo T bằng hai xung. Bạn đọc tự giải thích hoạt động của sơ đồ.

10-4. PHƯƠNG PHÁP SỐ ĐO ĐIỆN ÁP KHÔNG ĐỔI (Lượngtử hoá điện áp không đổi)

Có hai phương pháp lượng tử hoá một điện áp không đổi U_x : Phương pháp gián tiếp và phương pháp trực tiếp. Trong phương pháp gián tiếp, điện áp cần

Sưu tầm bởi: www.daihoc.com.vn

lượng tử hoá U_x được biến đổi thành một đại lượng trung gian tỉ lệ, ví dụ khoảng thời gian hoặc tần số. Sau đó thực hiện lượng tử hoá đại lượng trung gian này. Ở phương pháp trực tiếp, điện áp U_x được chuyển thẳng sang một số nguyên lần các bước lượng tử u_o.

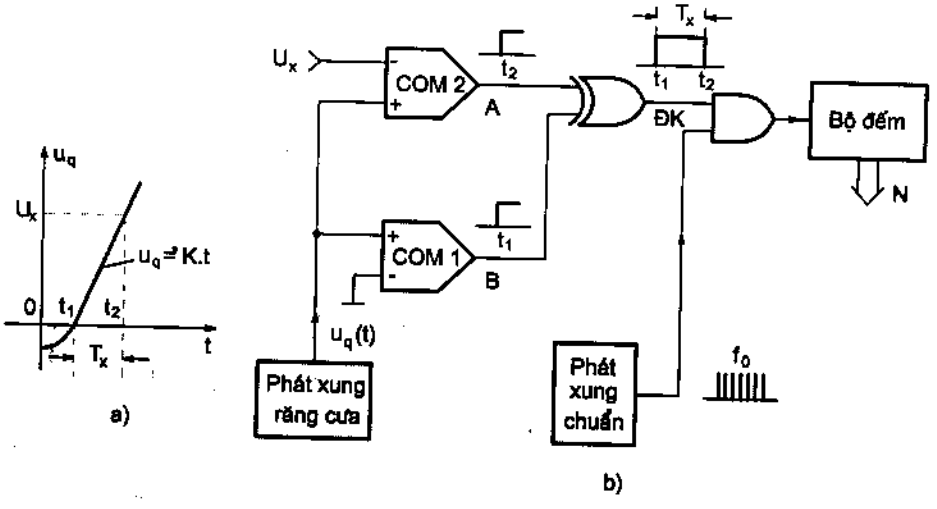
10-4-1. Phương pháp lượng tử hoá gián tiếp

Hình 10-5b là sơ đồ khối của một cách lượng tử hoá gián tiếp điện áp không đổi U_x. Ở đây, trước hết U_x được biến đổi sang khoảng thời gian tỉ lệ T_x. Mạch phát xung răng cưa tạo ra điện áp $u_q(t)$, tỉ lệ tuyến tính với thời gian t :

$$u_q = K.t \text{ ; K là hằng số tỉ lệ, [V/S].}$$

Để loại bỏ phần ban đầu không hoàn toàn tuyến tính, ta cho mạch phát xung răng cưa bắt đầu phát từ trị số điện áp hơi âm ($u_q(0) < 0$, hình 10-5a). Từ hình 10-5a ta có :

$$U_x = K(t_2 - t_1) = KT_x.$$



Hình 10-5. Một phương pháp lượng tử hoá gián tiếp điện áp không đổi U_x

Vấn đề là phải tìm cách ghi nhận được hai thời điểm t_1, t_2, ứng với khi $u_q(t) = 0$ và $u_q(t) = U_x$. Ta dùng hai mạch so sánh tương tự COM1 và COM2 để so sánh $u_q(t)$ với 0V ("mát") và với U_x. Tại thời điểm t_1, khi $u_q(t_1) = 0V$, sẽ có bước

Sưu tầm bởi: www.daihoc.com.vn

nhảy dương của điện áp ở đầu ra COM1. Ở thời điểm t_2, khi $u_q(t_2) = U_x$, đầu ra COM2 có bước nhảy điện áp. Kết quả là ta tạo được một xung điều khiển

$$ĐK = A \oplus B$$

để mở cổng VÀ, cho dãy xung chuẩn tần số f_o đi qua trong thời khoảng T_x. Số chỉ ở cửa ra bộ đếm

$$N = \frac{T_x}{T_o} = f_o T_x = \frac{f_o}{K} U_x.$$

Rút ra

$$U_x = \frac{K}{f_o} N = u_o N,$$

trong đó $u_o = \frac{K}{f_o}$ [V] là bước lượng tử của việc lượng tử hoá U_x.

10-4-2. Phương pháp lượng tử hoá trực tiếp

Phương pháp lượng tử hoá gián tiếp điện áp U_x có tốc độ biến đổi chậm. Nó thường được ứng dụng làm nguyên lí đo của các Volt mét số. Phương pháp lượng tử hoá trực tiếp điện áp U_x cho phép ta thực hiện các bộ biến đổi A/D tốc độ nhanh. Các bộ biến đổi này hay được dùng làm giao diện (interface), nối kết các chuyển đổi đo lường với bộ vi xử lí. Có nhiều cách lượng tử hoá trực tiếp điện áp. Phương pháp thông dụng nhất là cách ***xấp xỉ liên tiếp từng bit***. Nó bảo đảm tốc độ biến đổi đủ nhanh, mạch thực hiện khá đơn giản.

Nội dung của phương pháp như sau. Giả sử điện áp U_x sẽ biến đổi thành N bước lượng tử và N được mã hoá bằng số nhị phân m bit, ví dụ 8 bit $b_7\ b_6\ b_5 \ldots b_1\ b_o$. Phương pháp biến đổi gồm các bước liên tiếp sau :

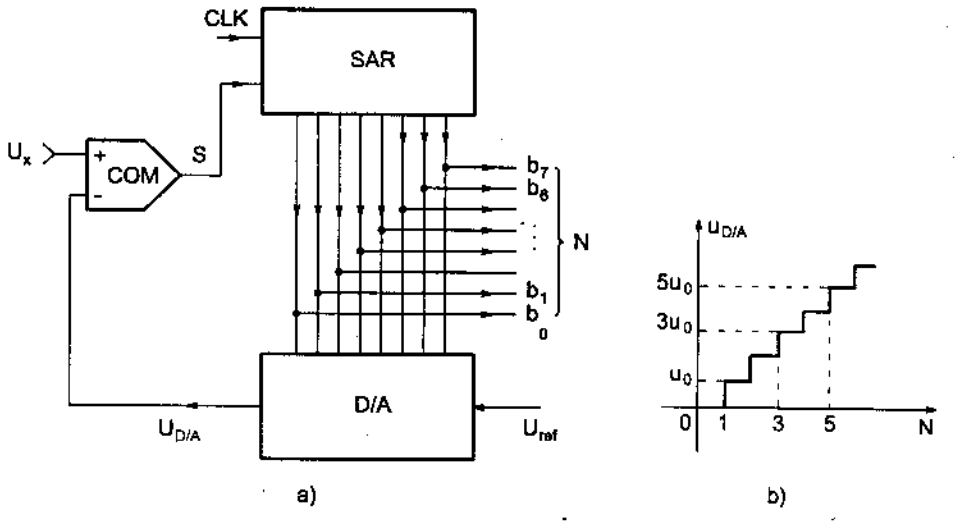
– Đầu tiên đặt bit có trọng số lớn nhất bằng 1 ($b_7 = 1$), các bit còn lại đều bằng 0. Biến đổi số N này thành điện áp $u_{D/A}$ tương ứng.

– So sánh $u_{D/A}$ với U_x. Nếu $U_x \geq U_{D/A}$ thì giữ nguyên giá trị 1 của b_7. Nếu $U_x < u_{D/A}$ thì sửa lại $b_7 = 0$.

– Đặt tiếp bit có trọng số cao liền kề $b_6 = 1$ và biến đổi số N mới này thành $u_{D/A}$ tương ứng. Đem so sánh với U_x như ở trên, để quyết định giá trị của b_6 (1 hoặc 0).

– Cứ tiếp tục định dần giá trị từng bit theo cách trên, cho đến bit có trọng số thấp nhất b_o. Cuối cùng ta được kết quả số nhị phân N tương ứng với việc lượng tử hoá U_x.

Sưu tầm bởi: www.daihoc.com.vn



Hình 10-6. *Sơ đồ khối của phép lượng tử hoá xấp xỉ liên tiếp từng bit*

Hình 10-6a là sơ đồ khối của phép lượng tử hoá vừa trình bày ở trên. Mạch có ba khối chính :

• Bộ biến đổi số – tương tự (D/A), biến số nhị phân N ở cửa ra của sơ đồ thành điện áp hình bậc thang $u_{D/A}$ (hình 10-6b). Điện áp bậc thang này tỉ lệ với số nhị phân N đặt trên cửa vào của D/A. Bước nhảy của bậc thang chính là bước lượng tử u_o và phụ thuộc vào điện áp không đổi chuẩn U_{ref} và độ dài số nhị phân cần biến đổi :

$$u_o = \frac{U_{ref}}{2^n - 1},$$

trong đó n là số bit của số nhị phân N (trên hình vẽ n = 8).

• Thanh ghi xấp xỉ liên tiếp SAR (Successive approximation Register → SAR) và mạch điều khiển nó. Chính khối này sẽ định dần giá trị từng bit của số nhị phân ở cửa ra của nó, bắt đầu từ bit có trọng số lớn nhất b_7 dần trở xuống b_o. Xung nhịp CLK cầm chịch cho hoạt động từng bước của SAR. Tín hiệu S ở đầu ra bộ so sánh giúp SAR quyết định giá trị của bit b_i (i = 7 ÷ 0) nó đang thử ($S = 1 \rightarrow b_i = 1$, $S = 0 \rightarrow b_i = 0$).

• Bộ so sánh tương tự COM để so sánh U_x với $u_{D/A}$. Nếu $U_x \geq u_{DA}$ thì S = 1, $U_x < u_{DA}$ thì S = 0.

Các chip vi mạch biến đổi tương tự – số ADC 0809 (8 bit) và AD 574A (12 bit) đều là những mạch thực hiện theo nguyên lí biến đổi trên.

Sưu tầm bởi: www.daihoc.com.vn

10-5. KHÁI NIỆM VỀ HỆ VI XỬ LÍ

Kĩ thuật vi xử lí ra đời năm 1970, do hãng Intel khởi xướng, là bước phát triển cao của kĩ thuật số. Nó tạo bước ngoặt quan trọng trong lĩnh vực thu thập, xử lí thông tin nói chung và trong ngành đo lường ¬ điều khiển nói riêng.

Hạt nhân của kĩ thuật vi xử lí là ***ý tưởng tạo ra một "chip" bán dẫn mà trong nó là một cấu trúc điều khiển logic trình tự*** (sequencer). Cấu trúc này có thể thực hiện mọi nhiệm vụ của khối xử lí trung tâm CPU trong máy tính, gọi là ***bộ vi xử lí*** (Microprocessor → MP).

Để nắm được kĩ thuật vi xử lí, ta phải tham khảo những sách giành riêng cho vấn đề này. Những nội dung ở đây chỉ giúp bạn đọc hiểu rất sơ lược thế nào là bộ vi xử lí, thế nào là hệ vi xử lí và vai trò của nó trong kĩ thuật hiện đại.

10-5-1. Sơ lược về bộ vi xử lí (Microprocessor → *MP*).

Như trên đã nói, MP thực chất là khối xử lí trung tâm (Central Processing Unit → CPU) của máy tính, thực hiện chỉ trên một "chip" bán dẫn. Nó gồm ***khối tính toán số học và logic*** (ALU), ***khối điều khiển logic trình tự*** (sequencer), và ***một số các thanh ghi*** (register) để lưu trú tạm thời dữ liệu trong quá trình xử lí.

Hình 10-1 đã cho ví dụ về hệ logic điều khiển trình tự một quá trình sản xuất nào đó. Tuy nhiên, sequencer ở hình 10-1 là một ***hệ cứng***, chỉ dùng điều khiển thực hiện một nhiệm vụ đã định trước.

Sequencer trong MP chứa đựng một loạt các ***vi chương trình*** (Microprogramm), đặt liên tiếp trong không gian địa chỉ của bộ nhớ ROM. Mỗi vi chương trình có một địa chỉ đầu (địa chỉ xuất phát) trong bộ nhớ và ***chứa một số thao tác chi tiết*** (microaction), tạm gọi là ***các vi lệnh***. Điều khiển gọi ra các vi chương trình và những vi lệnh nằm trong mỗi vi chương trình là một bộ đếm lập trình và các xung nhịp (Clock) gửi vào MP.

Mỗi bộ vi xử lí có một tập các lệnh đặc trưng, gọi là ***hệ lệnh*** (instruction set), bao gồm lệnh thực hiện các phép tính số học và logic, các lệnh di chuyển dữ liệu... Mỗi ***lệnh*** (instruction) khi đưa vào MP được chuyển thành một vi chương trình tương ứng đã ghi trong bộ nhớ của sequencer. Theo từng xung nhịp, các vi lệnh viết dưới dạng mã nhị phân n bit được tuần tự gọi ra để thực hiện những thao tác cần thiết trên các phần tử bên trong và bên ngoài MP. Với các lệnh khác nhau, thời gian thực hiện cũng rất khác nhau. Ví dụ, bộ vi xử lí 8086 chỉ yêu cầu 4 chu kì xung nhịp để thực hiện lệnh truy cập bộ nhớ hoặc cổng vào / ra ; nhưng để thực hiện lệnh nhân nó cần tới hơn 70 chu kì xung nhịp. Tần số dãy xung nhịp vào IC 8086 có thể tới 5 MHz.

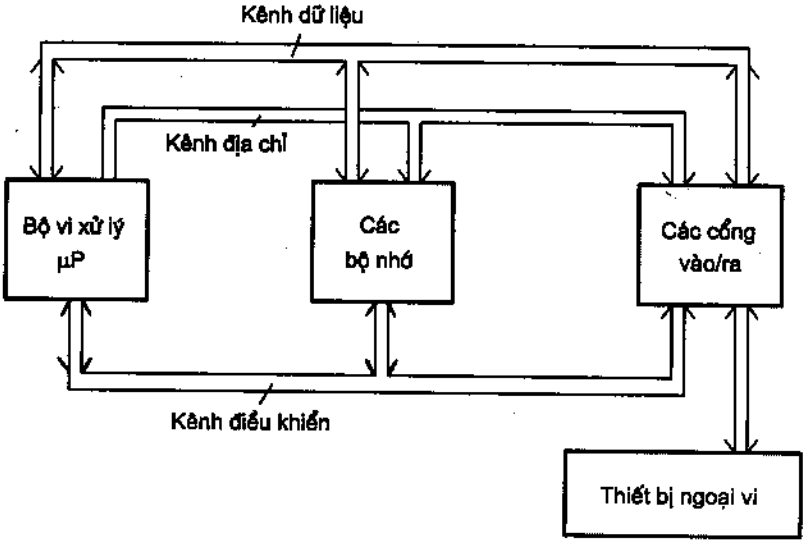
Sưu tầm bởi www.hcmvn.com.vn

Tóm lại, bộ vi xử lí là một chip bán dẫn có mức độ tích hợp rất cao và có thể thực hiện một hệ lệnh đặc trưng. Theo nhiệm vụ cần thực hiện, trên cơ sở hệ lệnh của MP, người sử dụng sẽ viết ra một chương trình điều hành, lệnh nọ kế tiếp lệnh kia. Bộ vi xử lí khi hoạt động sẽ nhặt từng lệnh để thực hiện. Với sự ra đời của bộ vi xử lí, những nhiệm vụ điều khiển, thu thập và xử lí dữ liệu rất phức tạp được giải quyết khá nhẹ nhàng. Các nhà thiết kế hệ thống được giảm nhẹ tối đa việc thiết kế phần cứng (bao gồm việc chọn, sắp xếp và ghép nối các linh kiện). Công việc chủ yếu của họ là kiến tạo chương trình điều hành của hệ.

Xu hướng phát triển của bộ vi xử lí nhằm vào hướng tăng độ rộng kênh dữ liệu và kênh địa chỉ, tăng tốc độ xử lí dữ liệu. Hiện nay đã có các bộ vi xử lí với kênh dữ liệu 8, 16, 32 và 64 bit ; kênh địa chỉ là 20, 24 và 32 bit ; Tần số xung nhịp lên tới 16 MHz và hơn nữa.

10-5-2. Cấu trúc phần cứng hệ vi xử lí

Tổ chức của một hệ vi xử lí (còn gọi là kiến trúc – Architecture) bao gồm ***cấu trúc phần cứng*** (hardware) và ***tổ chức phần mềm*** (software) cài đặt trong hệ. Phần mềm của hệ là phần ta không thể nhìn thấy, chủ yếu là chương trình điều hành trình tự làm việc của hệ thống ; Nó được cài đặt trong bộ nhớ ROM của hệ. Cấu trúc phần cứng bao gồm mọi cấu kiện được kết nối với nhau và ta có thể nhìn thấy.



Hình 10-7. Cấu trúc phần cứng một hệ vi xử lí

Sưu tầm bởi: www.daihoc.com.vn

Hình 10-7 là sơ đồ khối cấu trúc phần cứng của hệ vi xử lí. Nó gồm :

• ***Bộ vi xử lí***, là khối óc kiểm soát và điều khiển hoạt động của mọi phần tử trong hệ thống. Nó thực hiện mọi thao tác tính toán, thu thập, xử lí dữ liệu dạng mã nhị phân, theo từng bước dẫn dắt của chương trình điều hành đặt trong bộ nhớ ROM của hệ.

• ***Khối các bộ nhớ*** gồm : Bộ nhớ ROM chứa chương trình điều hành hoạt động của hệ, các bảng biểu thường phải sử dụng, các tham số hệ thống... Bộ nhớ RAM dùng để lưu trữ,các kết quả trung gian và cuối cùng của các phép tính, là nơi trung chuyển dữ liệu trong các thao tác thu, phát...

• ***Các cổng vào / ra*** (I/O port) thực hiện chức năng trung gian để trao đổi giữa bộ vi xử lí và các thiết bị ngoại vi (peripheral). Giống như các ô nhớ, các cổng vào / ra cũng có các địa chỉ và được truy cập thông tin tựa như truy cập một ô nhớ. Một số cổng vào / ra được dùng để trao đổi dữ liệu với các thiết bị ngoại vi : Dữ liệu từ một thiết bị ngoại vi được gửi vào một cổng và tại đó chúng sẽ được bộ vi xử lí đọc khi cần. Dữ liệu cũng có thể từ MP gửi ra ghi vào một cổng, và được thiết bị ngoại vi đọc khi có lệnh. Một số cổng vào / ra được sử dụng cho các lệnh điều khiển ; Ví dụ MP gửi tín hiệu qua cổng để điều khiển các cơ cấu chấp hành (môtơ, van...)

Chú ý là, nếu tín hiệu ở cửa ra một số thiết bị ngoại vi là tín hiệu tương tự (analog), ta phải dùng các bộ biến đổi A/D hoặc D/A làm trung gian nối giữa thiết bị ngoại vi và cổng vào / ra. Cũng có khi bộ biến đổi A/D hoặc D/A nối thẳng với bộ vi xử lí, không qua các cổng vào / ra.

• ***Hệ thống kênh thông tin*** gồm 3 loại :

– Kênh dữ liệu (Data bus) là kênh hai chiều để trao đổi dữ liệu giữa MP và các thành phần khác trong hệ.

– Kênh địa chỉ (Adress bus) là kênh một chiều đi từ MP ra, để bộ vi xử lí quản lí bộ nhớ và các cổng vào / ra theo địa chỉ của chúng (kể cả 1 số thiết bị ngoại vi, nếu nó không nối qua cổng vào / ra mà kết nối trực tiếp với MP).

– Kênh điều khiển (control bus) dùng để gửi đi các tín hiệu điều khiển thao tác của các phần tử (ví dụ tín hiệu ghi / đọc bộ nhớ và các cổng vào / ra), hoặc tín hiệu liên lạc giữa MP với các phần tử nhằm đồng bộ hoá sự làm việc của hệ thống.

• Trong số các thiết bị ngoại vi của hệ vi xử lí phải kể đến :

– Các cơ cấu chấp hành, nhận sự điều khiển của hệ.

Sưu tầm bởi: www.daihoc.com.vn

– Hệ thống các chuyển đổi đo lường, cung cấp những dữ liệu cần thiết cho việc xử lí của hệ. Các chuyển đổi này nối với hệ thường phải qua các bộ A/D.

– Hệ thống hiển thị, máy in

– Hệ thống truyền tin, bàn phím điều khiển.

10-5-3. Vai trò của hệ vi xử lí trong kĩ thuật hiện đại

Trước hết cần rõ là máy vi tính thực chất cũng là một ***hệ vi xử lí đa năng***, được thiết kết chuẩn hoá, nhằm đảm bảo sự ứng dụng phổ cập và tính tương thích khi kết nối với nhau thành mạng.

Tuy nhiên, một hướng phát triển ứng dụng sâu rộng của bộ vi xử lí là ***thiết kế các hệ vi xử lí chuyên dụng***. Mỗi hệ được dùng cho một nhiệm vụ cụ thể. Hiện nay các hệ vi xử lí chuyên dụng đã và đang được phổ cập trong rất nhiều lĩnh vực sản xuất, kĩ thuật khác nhau.

Nói đến ***kĩ thuật vi xử lí*** là nhằm chủ yếu nói đến nội dung quan trọng của nó là ***kĩ thuật thiết kế các hệ vi xử lí chuyên dụng***. Người thiết kế hệ vi xử lí chuyên dụng phải thiết kế cả phần cứng lẫn tổ chức phần mềm cho hệ, sao cho thoả mãn các yêu cầu từ chỉ một nhiệm vụ xác định trước.

Việc dùng các hệ vi xử lí chuyên dụng có ưu điểm so với việc sử dụng máy vi tính để giải quyết cùng một nhiệm vụ yêu cầu là :

– Hệ vi xử lí chuyên dụng bảo đảm có cấu trúc phần cứng và tổ chức phần mềm hợp lí nhất. Do dó kích thước của hệ sẽ nhỏ, gọn, bảo đảm độ tin cậy làm việc cao.

– Hệ vi xử lí chuyên dụng loại bỏ được các thao tác thừa nên tốc độ xử lí sẽ nhanh hơn.

– Hệ vi xử lí chuyên dụng tạo điều kiện thuận lợi chuyển từ điều khiển tập trung sang điều khiển phân tán, bảo đảm tính linh hoạt và mềm dẻo trong điều khiển.

10-6. BỘ VI ĐIỀU KHIỂN (Microcontroller)

Theo sự phát triển của công nghệ vi điện tử, khoảng từ 1990 bắt đầu giai đoạn phát triển mạnh của các hệ vi điều khiển. Nó thực chất là một hệ vi xử lí (tất nhiên ngoại trừ các thiết bị ngoại vi) được tổ chức chỉ trong một chip bán dẫn và gọi là bộ vi điều khiển (ví dụ IC 80C51). Bộ vi điều khiển dùng rất thuận tiện để thiết kế các mạch điều khiển chuyên dụng trong công nghiệp và dân

Sưu tầm bởi: www.daihoc.com.vn

dụng. Nó làm đơn giản tối đa việc thiết kế phần cứng của mạch điều khiển và bảo đảm độ tin cậy làm việc rất cao.

CÂU HỎI VÀ BÀI TẬP CHƯƠNG 10

10-1. Sequencer là gì ? Những linh kiện nào là cơ bản, không thể thiếu được trong cấu trúc của sequencer.

10-2. Thế nào là lượng tử hoá một đại lượng X ?

10-3. Nguyên lí cơ bản của phương pháp số đo tần số kiểu trực tiếp. Sơ đồ khối của nó.

10-4. Nguyên lí cơ bản của phương pháp số đo khoảng thời gian. Sơ đồ khối. Khâu khó nhất của đo khoảng thời gian là gì ?

10-5. Nguyên lí của phương pháp xấp xỉ dần từng bit để lượng tử hoá điện áp không đổi. Bộ biến đổi A/D 8 bit, giải điện áp cần biến đổi $U_x = 0 \div 5V$. Hỏi bước lượng tử u_o của bộ biến đổi và sai số lượng tử hoá lớn nhất mà nó có thể phạm phải.

10-6. Bộ vi xử lí là gì ? Cấu trúc phần cứng của một hệ vi xử lí. Thế nào là bộ vi điều khiển ?

Sưu tầm bởi: www.daihoc.com.vn

Phụ lục 1. Các phép tính logic - Những tính chất và định lí liên quan đến các phép tính

1. Biến logic là những biến chỉ có hai giá trị, kí hiệu 1, 0, đặc trưng cho hai trạng thái đối kháng nhau của một hiện tượng.

2. Ba phép tính cơ bản trên các biến logic

• ***Phép tính tuyển*** (phép cộng) trên các biến logic A, B, C,... sẽ cho một biến logic Q ; kí hiệu phép tính :

$$Q = A \vee B \vee C \vee ... = A + B + C + ...$$

Biến Q sẽ có giá trị 1 khi có ít nhất một trong các biến độc lập A, B, C,... bằng 1. Q chỉ bằng 0 khi tất cả các biến độc lập đều bằng 0.

• ***Phép tính hội*** (phép nhân) trên cắc biến logic A, B, C,... sẽ cho một biến logic Q ; kí hiệu phép tính :

$$Q = A \wedge B \wedge C \wedge ... = A.B.C...$$

Biến Q sẽ bằng 0 khi có ít nhất một trong các biến độc lập A, B, C... bằng 0. Q chỉ bằng 1 khi tất cả các biến độc lập đều bằng 1.

• ***Phép tính phủ định*** (phép đảo) trên biến logic A sẽ cho biến logic Q có giá trị ngược với A. Kí hiệu phép tính :

$$Q = \overline{A},$$

3. Các tính chất và định lí của ba phép tính cơ bản

• Tính giao hoán : $A + B = B + A$; $A.B = B.A$

• Tính kết hợp : $A + B + C = A + (B + C) = (A + B) + C$

$A.B.C = A.(B.C) = (A.B) . C$

• Tính phân bố : $A.(B + C) = A.B + A.C$

$A + (B.C) = (A + B) . (A + C)$

• Các quy tắc của ba phép tính logic cơ bản :

$A + 0 = A$; $A + 1 = 1$; $A + A = A$; $A + \overline{A} = 1$

$A.0 = 0$; $A.1 = A$; $A.A = A$; $A.\overline{A} = 0$; $\overline{\overline{A}} = A$

• Nguyên tắc đối ngẫu : Một đẳng thức logic sẽ vẫn còn đúng khi ở hai vế ta thay phép cộng bằng phép nhân logic và ngược lại, giá trị 0 thay bằng 1 và ngược lại. Ví dụ :

Sưu tầm bởi: www.daihoc.com.vn

$A.(\overline{A} + B) = A.B \leftrightarrow A + (\overline{A}.B) = A + B$

$A + A.B = A \quad \leftrightarrow A.(A + B) = A$

$A.B + \overline{A}.B = B \quad \leftrightarrow (A + B).(\overline{A} + B) = B$

$A + 1 = 1 \quad \leftrightarrow A.0 = 0$

• Định lí De-Morgan :

$$\overline{A + B} = \overline{A}.\overline{B} \quad ; \qquad \overline{A.B} = \overline{A} + \overline{B}.$$

4. Phép tính XOR và các tính chất của nó

• Phép tính XOR trên các biến logic A, B, C,... sẽ cho một biến logic Q. Kí hiệu phép tính :

$$Q = A \oplus B \oplus C \oplus ...$$

Giá trị Q tính như sau : Q sẽ bằng 0 khi số biến độc lập có giá trị 1 là một số chẵn. Khi số biến độc lập mang giá trị 1 là một số lẻ thì Q bằng 1.

• Các tính chất của phép tính XOR.

– Hàm XOR cũng có các tính chất giao hoán, kết hợp, phân bố như đã trình bày ở trên.

– Các tính chất khác :

$A \oplus 0 = A$; $A \oplus 1 = \overline{A}$; $A \oplus A = 0$.

$A \oplus \overline{A} = 1$; $A \oplus B = \overline{A} \oplus \overline{B} = \overline{A}.B + \overline{B}.A$

$\overline{A \oplus B} = \overline{A} \oplus B = A \oplus \overline{B} = A.B + \overline{A} \,.\, \overline{B}$

$A \oplus B = C \leftrightarrow A \oplus C = B \leftrightarrow B \oplus C = A$.

Phụ lục 2. Khái niệm về mã - Mã ASCII

1. Khái niệm về mã

• Mã là một quy tắc kí hiệu đặt ra để biểu diễn các thông tin. Một mã gồm một số hữu hạn các *từ mã*. Mỗi từ mã có một kí hiệu xác định và được gán biểu diễn cho một thông tin.

• Trong kĩ thuật số, dạng mã thông dụng là ***mã số nhị phân***. Mỗi từ mã của mã nhị phân là một dãy liên tiếp các số hạng, mỗi số hạng chỉ có thể biểu diễn bằng hai chữ số 0 hoặc 1, gọi là ***bit***. Như vậy, một ***mã nhị phân có độ dài n bit*** (mỗi từ mã là một dãy gồm n bit) ***sẽ có 2^n tổ hợp khác nhau*** và có thể biểu diễn cho 2^n thông tin. Ví dụ mã nhị phân 3 bit có $2^3 = 8$ từ mã là : 000, 001, 010, 011, 100, 101, 110, 111, và có thể biểu diễn cho 8 thông tin.

Sưu tầm bởi: www.daihoc.com.vn

• Việc gán mỗi từ mã biểu diễn cho từng thông tin xác định gọi là ***mã hoá***. Việc làm ngược lại gọi là ***giải mã***.

2. Mã kí tự ASCII. Mã ASCII là một mã nhị phân 7 bit thông dụng để mã hoá các kí tự trong xử lí văn bản (các chữ cái, chữ số, các dấu ?, !, >, < ...). Số kí tự tối đa có thể mã hoá là $2^7 = 128$. Dưới đây là bảng mã hoá các kí tự của mã ASCII. Trong bảng chỉ có 95 kí tự, ứng với các từ mã $b_7b_6b_5b_4b_3b_2b_1$ từ 0100001 đến 1111110 là có thể in hoặc hiển thị trên màn hình máy tính. Các từ mã còn lại dùng mã hoá cho các kí tự điều khiển quá trình truyền thông ; do đó không in hay hiển thị được. Ví dụ :

Từ mã	Kí tự điều khiển	Ý nghĩa lệnh điều khiển
0000111	BEL	Chuông
0001001	HT	Lập bảng hàng ngang
0001011	VT	Lập bảng hàng dọc
0001010	LF	xuống dòng
0100000	SP	giãn cách
1111111	DEL	xoá

Bảng mã hoá của mã ASCII

b_4	b_3	b_2	b_1	$b_7b_6b_5$							
				000	001	010	011	100	101	110	111
0	0	0	0	NUL	DLE	SP	0	@	P	`	p
0	0	0	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	STX	DC2	"	2	B	R	b	r
0	0	1	1	ETX	DC3	#	3	C	S	c	s
0	1	0	0	EOT	DC4	$	4	D	T	d	t
0	1	0	1	ENQ	NAK	%	5	E	U	e	u
0	1	1	0	ACK	SYN	&	6	F	V	f	v
0	1	1	1	BEL	ETB	'	7	G	W	g	w
1	0	0	0	BS	CAN	(	8	H	X	h	x
1	0	0	1	HT	EM	)	9	I	Y	i	y
1	0	1	0	LF	SUB	*	:	J	Z	j	z
1	0	1	1	VT	ESC	+	;	K	[	k	{
1	1	0	0	FF	FS	,	<	L	\	l	|
1	1	0	1	CR	GS	–	=	M	]	m	}
1	1	1	0	SO	RS	.	>	N	^	n	~
1	1	1	1	SI	US	/	?	O	_	o	DEL

Sưu tầm bởi: www.daihoc.com.vn

Phụ lục 3. Các phương pháp thông dụng biểu diễn số

Để biểu diễn các số (những thông tin về lượng), người ta đặt ra một số mã đặc biệt gồm : các hệ đếm, mã BCD, mã Gray...

1. Các hệ đếm là những mã biểu diễn các số. Chúng xây dựng trên quy tắc sau : Một số N có thể biểu diễn theo công thức tổng quát :

$$N = \underbrace{\sum_{k=0}^{n} a_k R^k}_{\text{Phần nguyên}} + \underbrace{\sum_{k=-1}^{-m} a_k R^k}_{\text{Phần lẻ}}, \qquad (1)$$

trong đó R là cơ số của hệ đếm ; $a_k = 0, 1, 2, ..., R - 1$; m, n là số nguyên, dương.

Để cho gọn, số N được viết dưới dạng một dãy các số a_k, và ta dùng dấu "." (hoặc ",") để phân biệt giữa phần nguyên và phần lẻ.

$$N = a_n\, a_{n-1} \ldots a_k \ldots a_1 a_o, a_{-1} a_{-2} \ldots a_{-m}.$$

Mỗi chữ số a_k trong dãy đặc trưng cho số hạng $a_k R^k$ của tổng (1). Hệ số R^k gọi là ***trọng số của số a_k*** trong dãy. Theo cơ số R, ta có các hệ đếm thông dụng sau :

• ***Hệ đếm thập phân*** : $R = 10$, $a_k = 0, 1, 2, ..., 9$. Ví dụ :

$$N = 365{,}25 = 3.10^2 + 6.10^1 + 5.10^o + 2.10^{-1} + 5.10^{-2}.$$

Mỗi số hạng a_k trong dãy số thập phân gọi là một ***decad***. Ví dụ số 365,25 là dãy số thập phân gồm năm decad. Hai decad liền kề nhau có trọng số chênh nhau 10 lần.

• ***Hệ đếm nhị phân*** : $R = 2$, $a_k = b_k = 0, 1$ (trong hệ đếm nhị phân, kí hiệu a_k thường thay bằng b_k và gọi là bit). Một số biểu diễn trong hệ đếm nhị phân gọi là ***số nhị phân***, kí hiệu N_2. Hai bit liền kề nhau trong số nhị phân có trọng số chênh nhau 2 lần. Ví dụ :

$$\begin{aligned} N_2 &= 11011\,.\,01 \\ &= 1.2^4 + 1.2^3 + 0.2^2 + 1.2^1 + 1.2^o + 0.2^{-1} + 1.2^{-2} \\ &= 27{,}25. \end{aligned}$$

Số nhị phân được dùng rộng rãi trong kĩ thuật số. Tuy nhiên, số nhị phân dài, khó viết, khó nhớ. Vì vậy, khi viết chương trình hợp ngữ cho các máy tính, người ta hay dùng hệ đếm Hexa.

• ***Hệ đếm Hexa*** (còn gọi là hệ đếm thập – lục phân, hoặc hệ đếm cơ số 16) : $R = 16$; $a_k = 0, 1, 2, ..., 9, A, B, C, D, E, F$. Các chữ cái A ÷ F tương ứng biểu

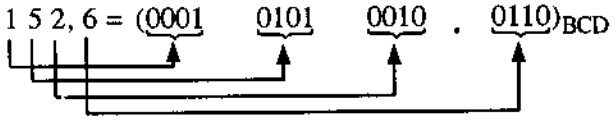
Sưu tầm bởi: www.daihoc.com.vn

diễn các số từ 10 ÷ 15. Số biểu diễn trong hệ đếm Hexa gọi là *số Hexa*, kí hiệu có thêm chữ H (hoặc h) ở cuối. Hai số hạng liền kề nhau trong số Hexa có trọng số chênh nhau 16 lần. Ví dụ :

$$N_H = (2B6)_H = 2B6h = 2.16^2 + 11.16^1 + 6.16^o = 694.$$

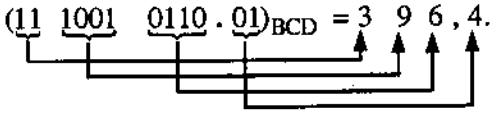
2. Mã BCD (Binary Coded Decimal → BCD) thực chất *là một hệ đếm thập phân, nhưng các giá trị 0 ÷ 9 của mỗi decad trong số thập phân được mã hoá bằng số nhị phân 4 bit*. Tuỳ theo trọng số của 4 bit nhị phân được sử dụng, ta có mã BCD 8421, BCD 5421, BCD 4221,... Thông dụng nhất là *mã BCD 8421 và ta thường quen gọi là mã BCD*.

Một số thập phân k decad chuyển sang mã BCD sẽ có độ dài 4k bit. Ví dụ :



Mỗi nhóm 4 bit liền nhau trong phần nguyên hoặc phần lẻ của số BCD gọi là 1 decad và số BCD ở ví dụ trên là số BCD 4 decad.

Từ số biểu diễn trong mã BCD (gọi là số BCD) ta có thể dễ dàng chuyển sang số thập phân bằng cách nhóm ở phần nguyên và phần lẻ từng nhóm 4 bit liền nhau. Mỗi nhóm sẽ là một decad của số thập phân. Ví dụ



Trong ví dụ trên, ta coi 2 bit thiếu của các nhóm tận cùng phía trái và phải có giá trị bằng 0.

3. Chuyển đổi qua lại giữa các hệ đếm

• ***Chuyển từ số thập phân (N_{10}) sang số nhị phân (N_2).*** Để chuyển từ N_{10} sang N_2 ta phải tiến hành theo hai bước : biến đổi phần nguyên và biến đổi phần lẻ của số thập phân.

- *Quy tắc biến đổi phần nguyên* : Chia liên tiếp N_{10} và các thương số của mỗi lần chia cho 2, tới khi kết quả chia bằng 0 thì dừng. Phần dư của mỗi lần chia chính là giá trị các bit của số nhị phân cần tìm, bắt đầu từ bit có trọng số nhỏ nhất (LSB) tới bit có trọng số lớn nhất (MSB). Ví dụ : Biến đổi số 175 sang số nhị phân. Ta làm như sau :

Sưu tầm bởi: www.daihoc.com.vn

175 : 2 = 87 dư 1 (LSB)
87 : 2 = 43 " 1
43 : 2 = 21 " 1
21 : 2 = 10 " 1
10 : 2 = 5 " 0
5 : 2 = 2 " 1
2 : 2 = 1 " 0
1 : 2 = 0 " 1 (MSB)

⇒ 175 = 10101111

– *Quy tắc biến đổi phần lẻ.* Nhân liên tiếp phần lẻ của số cần biến đổi và của các tích tìm được với 2 cho tới khi tích tìm được không còn phần lẻ thì dừng. Số ở phần nguyên của các tích trong mỗi lần nhân chính là giá trị các bit của số nhị phân cần tìm, bắt đầu từ MSB dần tới LSB. Ví dụ biến đổi số 0,375 sang số nhị phân. Ta làm như sau :

0,375 × 2 = ⓪,75 0 (MSB)
0,75 × 2 = ①,5 1
0,5 × 2 = ①,0 1 (LSB)

⇒ 0,375 = 0.011

• ***Chuyển từ số thập phân sang số Hexa*** : Quy tắc biến đổi hoàn toàn tương tự, nhưng thay vì chia hoặc nhân với 2 ta phải chia hoặc nhân với 16. Ví dụ : Biến đổi số 175, 265625 sang số Hexa. Ta làm như sau :

175 : 16 = 10 dư 15
10 : 16 = 0 dư 10

⇒ 175 = AF.

0,265625 × 16 = ④, 25 4
0,25 × 16 = ④,0 4

⇒ 0,265625 = .0.44h

Kết quả : 175,265625 = AF . 44h.

• ***Chuyển đổi giữa số nhị phân và số hexa.*** Vì cơ số của hệ đếm Hexa là $R = 16 = 2^4$, nên mỗi số hạng trong dãy số Hexa tương ứng đúng với một nhóm 4 bit của số nhị phân. Ví dụ :

6 B 2 h = $(0110\ 1011\ 0010)_2$

11 0110 1011 . 0100 11 = 3 6 B . 4 C h.

Sưu tầm bởi: www.daihoc.com.vn

4. Cộng hai số biểu diễn trong cùng hệ đếm

Quy tắc cộng hai số trong cùng hệ đếm cơ số R hoàn toàn giống quy tắc cộng hai số trong hệ thập phân (R = 10), nghĩa là : Cộng có nhớ lần lượt hai số hạng có cùng trọng số, kể từ số hạng có trọng số nhỏ nhất dần trở lên.

• *Ví dụ 1.* Cộng hai số nhị phân 4 bit :

$$1010 + 1011 = N = ?$$

Trước hết ta cộng hai bit có trọng số thấp nhất (LSB) :

$$0 + 1 = 1.$$

Vậy viết số 1 vào bit LSB của kết quả N. Tiếp theo cộng hai bit trọng số cao hơn liền kề :

$$1 + 1 = 2.$$

Nhưng ở hệ đếm nhị phân, các bit chỉ có thể là 0/1. Hơn nữa hai bit liền kề nhau có trọng số gấp đôi. Do đó, thay vì cho kết quả 1 + 1 = 2, ta viết số 0 vào bit trọng số tương ứng của N và "nhớ 1" sang cộng với bit có trọng số cao hơn. Quá trình cứ tiếp diễn cho tới cặp bit MSB. Nếu kí hiệu C là số nhớ mang sang (Carry → C), ta có sơ đồ biểu diễn trình tự cộng hai số nhị phân ở trên như sau :

```
C : 1 0 1 0
      ↖ ↖ ↖ ↖
    1 0 1 1 = 11
+
    1 0 1 0 = 10
  ---------------
  1 0 1 0 1 = 21
```

Ta thấy, kết quả cộng hai số nhị phân n bit sẽ là một số nhị phân có thể có độ dài tối đa n + 1 bit.

Ví dụ 2. Cộng hai số Hexa : A34E + 76B4. Ta có

```
C : 1 0 1 1
      ↖ ↖ ↖ ↖
    A 3 4 E = 41806
+
    7 6 B 4 = 30388
  ---------------
  1 1 A 0 2 = 72194
```

Sưu tầm bởi: www.daihoc.com.vn

Phụ lục 4. Tổng hợp mạch logic tổ hợp từ các phần tử logic cơ bản

Bài toán đặt ra là : xuất phát từ bảng chân lí biểu diễn hàm logic, hãy dùng các phần tử logic cơ bản (VÀ, HOẶC, ĐẢO) hoặc các phần tử logic vạn năng (NAND hay NOR) để xây dựng mạch thực hiện hàm logic đã cho trong bảng chân lí. Các bước tiến hành như sau :

1. Tìm hàm logic tương đương dưới dạng biểu thức logic

Từ bảng chân lí, ta có thể tìm được hai biểu thức logic tương ứng : dạng tuyển chuẩn toàn phần hoặc hội chuẩn toàn phần.

a) Dạng tuyển chuẩn toàn phần (còn gọi là dạng tổng của các mintéc). Ví dụ cho bảng chân lí của hàm 3 biến Q (A, B, C) ở bên cạnh. Dạng tuyển chuẩn toàn phần của nó được thành lập như sau :

Bảng chân lí

T.Tự hàng	C	B	A	Q(A, B, C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

• Tìm các mintéc tương ứng với các hàng của bảng chân lí có Q(A, B, C) = 1. Mỗi ***mintéc*** là một tích logic của đủ các biến độc lập A, B, C sao cho tích đó bằng 1. Do đó các biến trong mintéc có thể là chính nó, nếu biến ở trong hàng có giá trị 1 ; hoặc phải ở dạng phủ định, nếu biến trong hàng có giá trị 0. Với bảng chân lí đã cho, ta có các mintéc sau :

hàng 1 : $A.\overline{B}.\overline{C}$

hàng 3 : $A.B.\overline{C}$

hàng 6 : $\overline{A}.B.C$

hàng 7 : $A.B.C$

• Dạng tuyển chuẩn toàn phần là tổng các mintéc vừa tìm được :

$$Q(A, B, C) = A.\overline{B}.\overline{C} + A.B.\overline{C} + \overline{A}.B.C + A.B.C \quad (1)$$

Nếu quy ước một cách hình thức tổ hợp giá trị logic của các biến độc lập ở mỗi hàng của bảng chân lí chính là số nhị phân biểu thị số thứ tự của hàng đó, thì dạng tuyển chuẩn toàn phần (1) được viết gọn lại như sau :

Sưu tầm bởi: www.daihoc.com.vn

Q(A, B, C) = Σ (1, 3, 6, 7), quy ước A = LSB, C = MSB. Cách viết này hiểu là : Q(A, B, C) là tổng các mintéc viết ở các hàng số 1, 3, 6, 7 trong bảng chân lí. Số thứ tự các hàng được mã hoá bởi số nhị phân tương ứng với tổ hợp giá trị logic của các biến độc lập A, B, C ; với quy ước A là bit có trọng số thấp nhất (LSB) và C là bit có trọng số cao nhất (MSB).

b) Dạng hội chuẩn toàn phần (còn gọi là dạng tích của các maxtéc). Để thành lập dạng hội chuẩn toàn phần ta làm như sau :

• Tìm các maxtéc tương ứng với các hàng của bảng chân lí có Q(A, B, C) = 0. Mỗi ***maxtéc*** là tổng logic của đủ các biến độc lập, sao cho tổng đó bằng 0. Vì vậy các biến trong maxtéc có thể là chính nó nếu biến trong hàng có giá trị 0 logic ; hoặc phải ở dạng phủ định, nếu biến trong hàng có giá trị 1 logic. Với bảng chân lí đã cho, ta có các maxtéc sau :

hàng 0 : $A + B + C$,

hàng 2 : $A + \overline{B} + C$,

hàng 4 : $A + B + \overline{C}$,

hàng 5 : $\overline{A} + B + \overline{C}$.

• Dạng hội chuẩn toàn phần là tích của các maxtéc vừa tìm được :

$$Q = (A + B + C) \cdot (A + \overline{B} + C).(A + B + \overline{C}).(\overline{A} + B + \overline{C}) \quad (2)$$

Cũng có thể viết dạng hội chuẩn toàn phần (2) dưới dạng rút gọn :

Q(A, B, C) = Π(0, 2, 4, 5) ; quy ước A = LSB, C = MSB.

Cách viết này hiểu là : Hàm Q của ba biến logic A, B, C bằng tích của maxtéc viết ở các hàng số 0, 2, 4, 5 của bảng chân lí, với quy ước A là bit có trọng số thấp nhất và C là bit có trọng số cao nhất.

2. Làm tối giản hàm chuẩn toàn phần. Sau khi tìm được một trong hai hàm chuẩn toàn phần đã trình bày ở trên, ta phải tiếp tục làm tối giản nó, dựa vào các tính chất và định lí đã trình bày ở phụ lục 1.

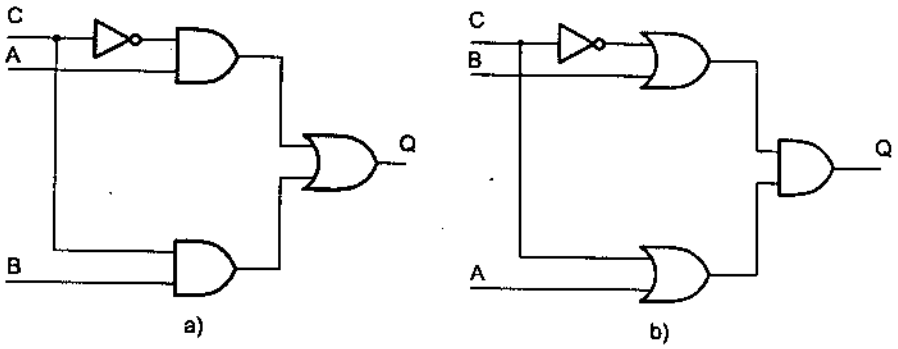
• Nếu chọn dạng tuyển chuẩn toàn phần (1) thì :

$$\begin{aligned} Q &= A.\overline{B}.\overline{C} + A.B.\overline{C} + \overline{A}.B.C + A.B.C \\ &= A.\overline{C}(\overline{B} + B) + B.C(\overline{A} + A) = A\overline{C} + B.C \end{aligned} \quad (3)$$

• Nếu chọn dạng hội chuẩn toàn phần thì :

$$\begin{aligned} Q &= (A + B + C) \cdot (A + \overline{B} + C).(A + B + \overline{C}).(\overline{A} + B + \overline{C}) \\ &= [((A + C) + B)((A + C) + \overline{B})]\ [((B + \overline{C}) + A)((B + \overline{C}) + \overline{A})] \\ &= (A + C)(B + \overline{C}) \end{aligned} \quad (4)$$

Sưu tầm bởi: www.daihoc.com.vn



Hình PL.4. Ví dụ về tổng hợp mạch logic tổ hợp

3. Xây dựng mạch logic

Trên cơ sở các biểu thức logic tối giản tìm được, ta tiến hành xây dựng mạch logic.

• Có thể dùng các phần tử logic cơ bản VÀ, HOẶC,ĐẢO để xây dựng mạch logic. Hình hình PL4a, b tương ứng là các mạch logic xây dựng theo quan hệ (3) và (4).

• Cũng có thể dùng chỉ các phần tử NAND, hoặc chỉ các phần tử NOR để xây dựng mạch thoả mãn quan hệ (3) và (4). Tuy nhiên :

– Gặp dạng hàm *tổng của các tích* ta nên dùng các phần tử NAND để xây dựng mạch thì sẽ đơn giản hơn. Ví dụ quan hệ (3) :

$$Q = A\overline{C} + BC = \overline{\overline{A\overline{C}} + \overline{BC}} = \overline{(A\overline{C})}\,\overline{(B.C)} \qquad (5)$$

Ta phải dùng 4 phần tử NAND hai đầu vào để xây dựng mạch theo quan hệ (5). Bạn đọc tự vẽ lấy mạch.

– Gặp dạng hàm *tích của các tổng*, ta nên dùng các phần tử NOR để xây dựng mạch thì sẽ đơn giản hơn. Ví dụ quan hệ (4) :

$$Q = (A + C)(B + \overline{C})$$
$$= \overline{\overline{(A + C)(B + \overline{C})}} = \overline{\overline{(A + C)} + \overline{(B + \overline{C})}} \qquad (6)$$

Dùng 4 phần tử NOR hai đầu vào sẽ xây dựng được mạch thoả mãn quan hệ (6). Bạn đọc tự vẽ lấy mạch.

Sưu tầm bởi: www.daihoc.com.vn

Phụ lục 5. Một số IC mức độ tích hợp nhỏ, họ TTL

74...00 : 4 NAND hai đầu vào

74...01 : 4 NAND hai đầu vào, cực góp để ngỏ

74...02 : 4 NOR hai đầu vào

74...27 : 3 NOR ba đầu vào, cực góp để ngỏ

74...32 : 4 OR 2 đầu vào

74...15 : 3 AND 3 đầu vào, cực góp hở

74...30 : 1 NAND 8 đầu vào

74...04 : 4 NO

74...05 : 4 NO, cực góp hở

74...86 : 4 XOR hai đầu vào

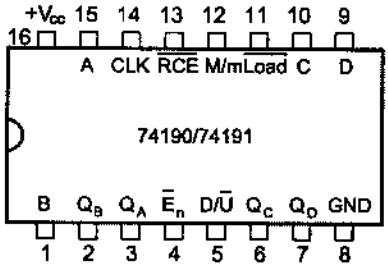
74...125 ; 74...126 : 4 phần tử đệm (buffer) 3 trạng thái.

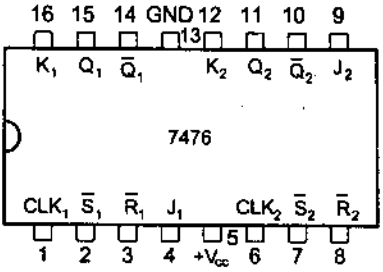
Phụ lục 6. Một số IC họ CMOS, SSI

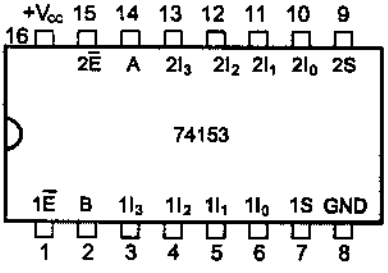
4011	;	54/74HC00	:	4NAND 2 đầu vào
–	;	54/74HC03	:	3NAND 2 đầu vào, cực máng hở
4023	;	54/74HC10	:	3NAND 3 đầu vào
4012	;	54/74HC20	:	2 NAND 4 đầu vào
4068	;	54/74HC30	:	NAND tám đầu vào
–	;	54/74HC133	:	NAND 13 đầu vào
4001	;	54/74HC02	:	4 NOR 2 đầu vào
4025	;	54/74HC27	:	3 NOR 3 đầu vào
4002	;	54/74HC4002	:	2 NOR 4 đầu vào
4078		–	:	NOR 8 đầu vào
4081	;	54/74HC08	:	4 AND 2 đầu vào
4073	;	54/74HC11	:	3 AND 3 đầu vào
4082	;	–	:	2 AND 4 đầu vào
4071	;	54/74HC32	:	4 OR 2 đầu vào
4075	;	54/74HC4075	:	3 OR 3 đầu vào
4069	;	54/74HC04	:	6 NO
40106	;	54/74HC14	:	6 trigơ Smith đảo
40098	;	–	:	6 NO 3 trạng thái
4070	;	54/74HC86	:	4 XOR hai đầu vào.

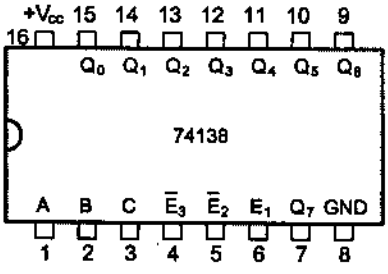
Sưu tầm bởi: www.daihoc.com.vn

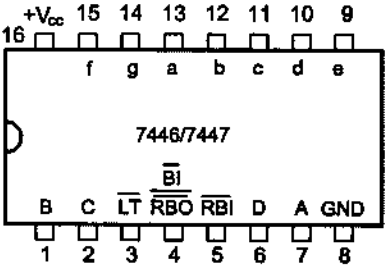
Phụ lục 7. Sơ đồ chân một số IC sử dụng ở phần thực hành





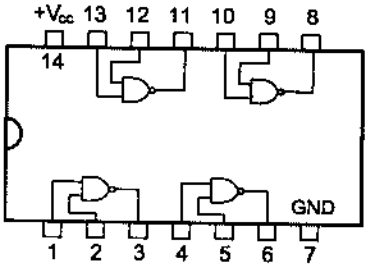




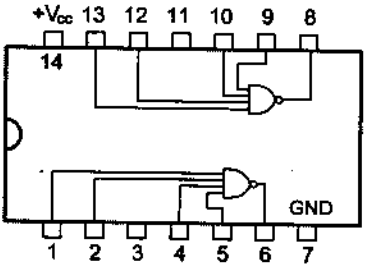


Hình P.L.7

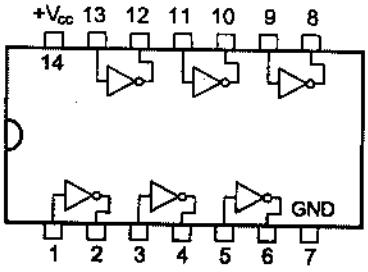
Sưu tầm bởi: www.daihoc.com.vn



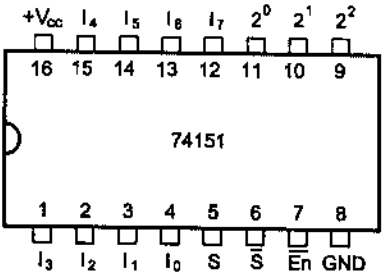
7400

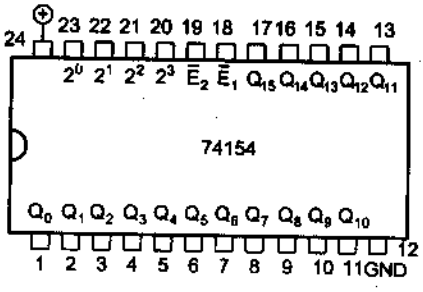


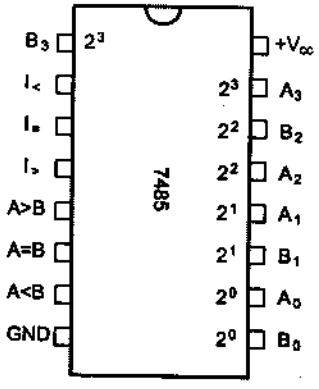
7420



7414







Hình PL.7

Sưu tầm bởi: www.daihoc.com.vn

PHẦN THỰC HÀNH

Phần này giới thiệu một số bài thực hành chọn lọc, nhằm giúp bạn đọc củng cố lí thuyết và có kĩ năng thực hành.

Bài số 1

MẠCH ĐA HÀI PHIẾM ĐỊNH DÙNG KHUẾCH THUẬT TOÁN

1. Mục đích

Mục đích của bài này là :

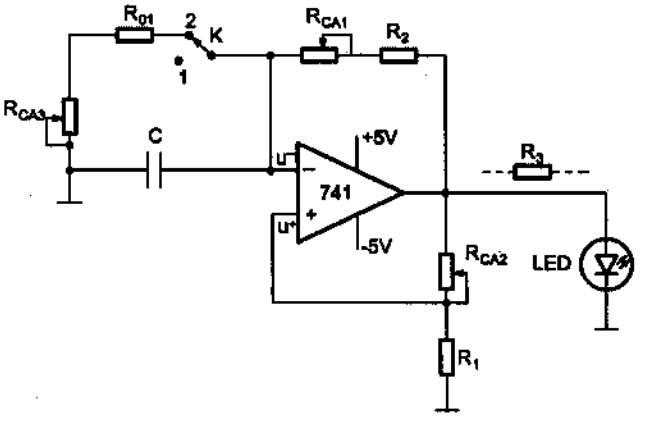
– Kiểm chứng sự hoạt động của sơ đồ cơ bản mạch đa hài phiếm định dùng khuếch thuật toán.

– Kiểm chứng điều kiện làm việc của sơ đồ cơ bản mạch đa hài phiếm định dùng khuếch thuật toán. Thấy được tác dụng điều khiển của điện trở mắc song song với tụ C trên sơ đồ.

Trước khi làm bài này, hãy đọc kĩ lại lí thuyết (mục 2-5 và 2-6-1 chương 2).

2. Sơ đồ

Hình 1 t.h là sơ đồ thực hành, trong đó chọn :



Hình 1.th. Bài thực hành số 1

Sưu tầm bởi: www.daihoc.com.vn

– Khuếch thuật toán loại thông dụng như μA 741, LM324...

– $R_1 = R_{01} = 10k\Omega$; $R_{CA1} = 0 \div 100k\Omega$;

$R_{CA2} = 0 \div 10k\Omega$; $R_2 = 22k\Omega$; $R_{CA3} = 0 \div 47k\Omega$; $R_3 = 220\Omega$; $C = 4,7\mu F$ (tụ hoá, cực âm của tụ nối với "mát"). Đèn LED nhỏ để quan sát dao động của mạch. Vì mắt người ta có thể lưu giữ hình ảnh trong thời gian 1/25s, do đó để thấy rõ và đếm được sự "nhấp nháy" của LED, mạch được tính toán để phát ra dao động vuông góc tần số không quá khoảng 5Hz.

3. Trình tự các thao tác

a) Lắp mạch theo sơ đồ hình 1 t.h.

b) Đặt $R_{CA2} = 10k\Omega$ = max. Đặt $R_{CA1} = 0$ = min. Đóng khoá K sang vị trí 1, ta được sơ đồ cơ bản của mạch đa hài phiếm định. Với $R_1 = R_{CA2} = 10k\Omega$ thì u_r là một dãy xung vuông góc với đối xứng tần số :

$$f = \frac{1}{2,2(R_2 + R_{CA1}).C}$$

Với $R_{CA1} = 0$, $R_2 = 22k\Omega$, $C = 4,7\mu F$ thì

$$f \approx \frac{1}{(2,2)^2 \times 10^4 \times 4,7.10^{-6}} \approx 4Hz \qquad (1\text{-}1)$$

Dùng đồng hồ bấm giây để xác định khoảng thời gian giữa 20 lần "nhấp nháy" sáng – tối của LED. Từ đó suy ra tần số của u_r và so sánh với kết quả tính toán (1-1).

c) Tăng dần R_{CA1} sẽ thấy sự nhấp nháy của LED chậm dần (f giảm).

d) Kiểm chứng điều kiện làm việc của sơ đồ.

Điều kiện để mạch đa hài phiếm định hình 1.t.h làm việc, tạo ra dãy xung vuông góc tần số f là : Trị số tuyệt đối của điện áp trên tụ C (u^-) phải có khả năng đạt và vượt trị số u^+. Nếu $|u^-|$ không thể đạt tới $|u^+|$ thì mạch không thể tạo được dãy xung vuông góc.

Do đó, nếu ta mắc thêm điện trở $R_{01} + R_{CA3}$ song song với tụ C bằng cách chuyển khoá K sang vị trí 2, thì độ lớn của $R_{01} + R_{CA3}$ sẽ quyết định sự làm việc của mạch. Ta sẽ kiểm chứng điều này. Làm như sau :

• Đặt $R_{CA2} = R_1 = 10k\Omega$ (R_{CA2} = max). Lúc đó, điều kiện để $|u^-| \geq |u^+|$ là

$$R_{01} + R_{CA3} \geq R_2 + R_{CA1} \qquad (1\text{-}2)$$

Sưu tầm bởi: www.daihoc.com.vn

Ta giảm R_{CA1} và R_{CA3} về 0. Mạch không thể dao động và đèn LED không nhấp nháy vì $R_{01} = 10k\Omega < R_2 = 22k\Omega$.

• Tăng dần R_{CA3} cho tới khi bắt đầu thấy LED nhấp nháy. Dùng Ω mét đo R_{CA3} để kiểm chứng điều kiện (1-2).

• Tăng R_{CA1} lên một giá trị nhỏ, muốn mạch làm việc ta lại phải tăng R_{CA3} lên giá trị tương ứng.

Hiện tượng trên đã được sử dụng vào trong những ứng dụng thực tế, đã trình bày ở hình 2-13, mục 2-6-1.

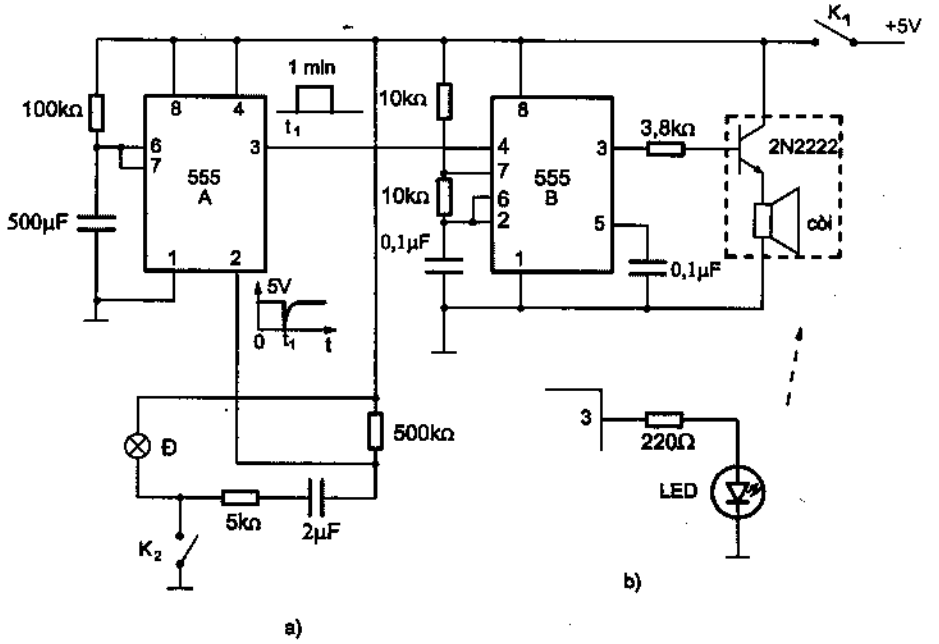
Bài số 2
MẠCH ĐỊNH THỜI 555

1. Mục đích

Mục đích bài này nhằm giúp bạn đọc làm quen với việc sử dụng IC.555 để tạo một xung đơn vuông góc hoặc tạo một dãy xung vuông góc tần số f. Đồng thời cũng hình dung được ứng đụng của nó.

2. Sơ đồ thực hành

Hình 2.th là sơ đồ của một mạch báo động khi có trộm đột nhập, dùng các IC.555. Trước khi làm bài này, hãy đọc kĩ lại lí thuyết về IC.555 (mục 3-6, chương 3). Hoạt động của mạch hình 2.th như sau :



Hình 2.th. Bài thực hành số 2

Sưu tầm bởi: www.daihoc.com.vn

Mạch gồm hai IC.555, nối theo sơ đồ mạch đa hài đơn ổn (IC.555A) và sơ đồ mạch đa hài phiếm định (IC.555B).

Khoá K_1 để đóng nguồn cung cấp +5V vào mạch. Khoá K_2 tượng trưng cho mạch kiểm tra phát hiện có trộm đột nhập. Khi có trộm vào, khoá K_2 tự động đóng lại. Khi K_2 mở, đóng K_1, mạch được cấp điện nhưng không hoạt động vì chân kích thích 2 của IC. 555A được đặt điện áp không đổi +5V. Chân ra số 3 của nó có điện áp bằng 0V. Chân này nối với chân số 4 của IC.555B nên mạch đa hài phiếm định 555B cũng không làm việc được. Trong các IC.555, chân số 4 gọi là chân "ngắt". Khi điện áp đặt ở chân này là dưới 0,7V thì IC không hoạt động.

Tại thời điểm t_1, khoá K_2 đóng, điện áp trên tụ 2μF đặt ở chân 2 của IC.555A đột ngột giảm xuống 0V, kích thích cho mạch 555A làm việc, và ở đầu ra 3 sẽ cho một xung đơn, biên độ khoảng 4,5V, với độ rộng xung :

$$t_x \approx 1{,}1 \times 10^5\Omega \times 500.10^{-6}\text{F}$$

$$= 55\text{s} \approx 1 \text{ phút (1 min).}$$

Xung này dẫn tới chân 4 của IC.555B và mạch 555B sẽ hoạt động trong thời gian tồn tại xung. Chân ra số 3 của IC.555B sẽ phát dãy xung vuông góc tần số :

$$f \approx \frac{1,44}{(10^4\Omega + 2.10^4\Omega).0,1.10^{-6}\text{F}} \approx 500\text{Hz}$$

Dãy xung này điều khiển đóng/cắt khoá transistor 2N2222 và còi sẽ kêu ở tần số 500Hz trong vòng khoảng 1 phút.

3. Trình tự thao tác

• Mắc mạch theo sơ đồ hình 2th. Chú ý là cực "–" của các tụ hoá 500μF, 2μF đều nối về phía "mát".

• Đóng K_1, sau đó đóng K_2, còi sẽ kêu trong vòng khoảng 1phút.

• *Chú ý :* Nếu không có loa thích hợp để làm còi báo động (Dòng tiêu thụ của loa dưới 200mA, điện áp +5V) thì ta có thể thay loa bằng đèn LED, nối trực tiếp vào chân ra 3 của IC.555B (hình 2.th b). Lúc đó tụ 0,1μF nối giữa chân 2 và 1 của IC.555B phải thay bằng tụ hoá 10μF, bảo đảm tần số của dãy xung ra ở chân 3 là dưới 5Hz. Với tần số này ta mới quan sát được sự nhấp nháy của LED.

Vậy, nếu thí nghiệm thay loa bằng LED, sau khi đóng khoá K_2, LED sẽ nhấp nháy liên tục trong vòng khoảng 1 phút.

Sưu tầm bởi: www.daihoc.com.vn

Bài số 3

TỔNG HỢP MẠCH LOGIC TỔ HỢP

1. Mục đích

Mục đích của bài này là kiểm chứng phương pháp tổng hợp mạch dựa trên các phần tử logic NAND hoặc NOR, đã trình bày ở phụ lục 4. Đồng thời cũng kiểm chứng ứng dụng của mạch giải mã 1/N và của mạch chọn kênh trong việc tổng hợp mạch logic tổ hợp (xem mục 8-4-3 và 7-3-3)

2. Sơ đồ thực hành

Ta xây dựng các mạch logic thực hiện bài toán tổng hợp mạch sau : Hãy xây dựng mạch logic tổ hợp với ba biến vào A, B, C sao cho nó thoả mãn bảng chân lí sau (bảng 1th).

Bảng 1.th

N^{o}	Biến vào			Biến ra	
	C	B	A	Q_1(A, B, C)	Q_2 (A, B, C)
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

a) Dùng các phần tử NAND để xây dựng mạch. Ta làm với ví dụ xây dựng mạch thực hiện hàm Q_1(A, B, C). Hàm Q_2(A, B, C) cũng sẽ làm tương tự. Theo nội dung tổng hợp mạch đã trình bày ở phụ lục 4, ta có :

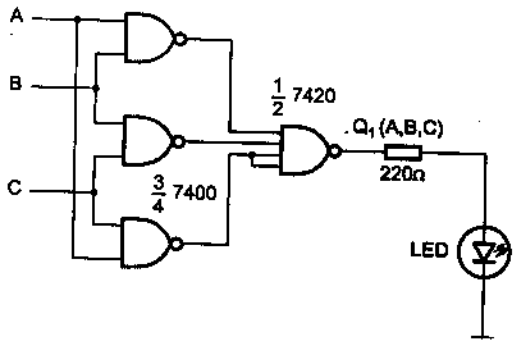
$$Q_1(A, B, C) = A.B.\overline{C} + A.\overline{B}.C + \overline{A}.B.C + A.B.C$$

$$= AB + AC + BC$$

$$= \overline{\overline{AB + AC + BC}} = \overline{\overline{AB} \,.\, \overline{AC} \,.\, \overline{BC}}.$$

Ta có sơ đồ mạch ở hình 3.th ; tải là một LED.

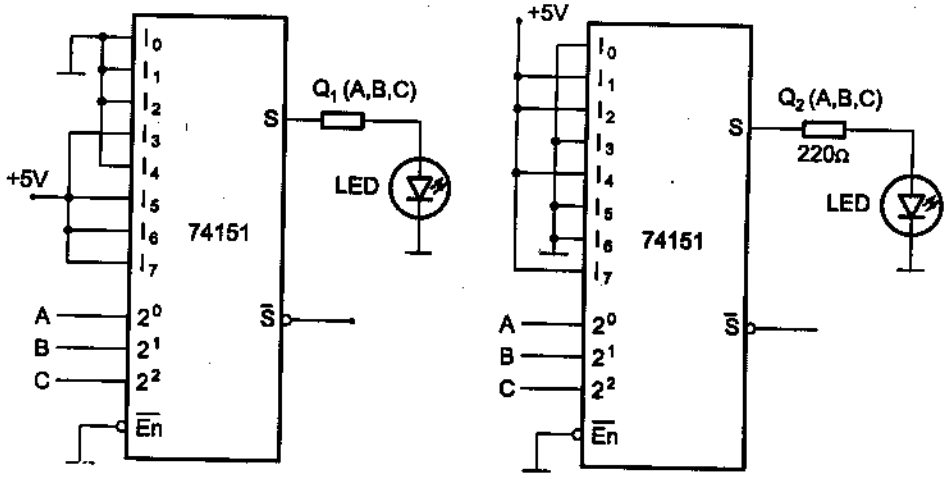
Sưu tầm bởi: www.daihoc.com.vn



Hình 3.th. Bài thực hành số 3

b) Dùng mạch chọn kênh MUX để xây dựng mạch

Như đã trình bày ở mục 8-4-3, cứ một mạch chọn kênh có thể thực hiện một quan hệ logic cho trước. Vậy ở đây ta phải dùng hai mạch chọn kênh có ít nhất 8 đầu vào thông tin (ví dụ IC.74151), để thực hiện hai hàm $Q_1(A, B, C)$ và $Q_2(A, B, C)$. Ta có mạch hình 4.th.

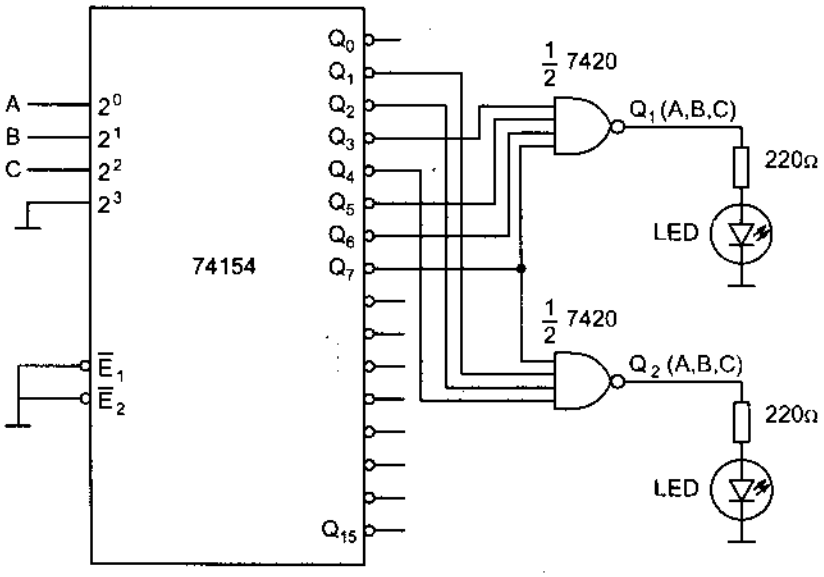


Hình 4.th. Bài thực hành số 3

Sưu tầm bởi: www.daihoc.com.vn

c) Dùng giải mã 1/N để xây dựng mạch.

Như đã trình bày ở mục 7-3-3 ta có thể dùng một mạch giải mã 1/N để thực hiện nhiều quan hệ logic cho trước. Số đầu vào của giải mã 1/N phải ít nhất bằng số biến độc lập của bảng chân lí. Ở đây ta chọn IC.74154, có 4 đầu vào và 16 đầu ra tích cực thấp. Ta có mạch hình 5.th.



***Hình 5.th.** Bài thực hành số 3*

3. Trình tự thao tác

• Lắp các mạch theo các sơ đồ hình 3th ÷ hình 5th.

• Kiểm tra tính đúng đắn của các sơ đồ bằng cách tuần tự đặt lên các đầu vào A, B, C tổ hợp các biến logic cho ở bảng chân lí. Theo dõi kết quả ở đầu ra ứng với mỗi tổ hợp. Nếu đầu ra có giá trị 1 logic thì LED sẽ sáng, ngược lại sẽ tối.

Bài số 4

THỰC HÀNH SỬ DỤNG BỘ ĐẾM

1. Mục đích

Mục đích bài này giúp bạn đọc :

– Thực hành nối tầng các IC để mở rộng dung lượng bộ đếm. Đồng thời cũng biết cách tạo lập bộ đếm với chu trình đếm cho trước.

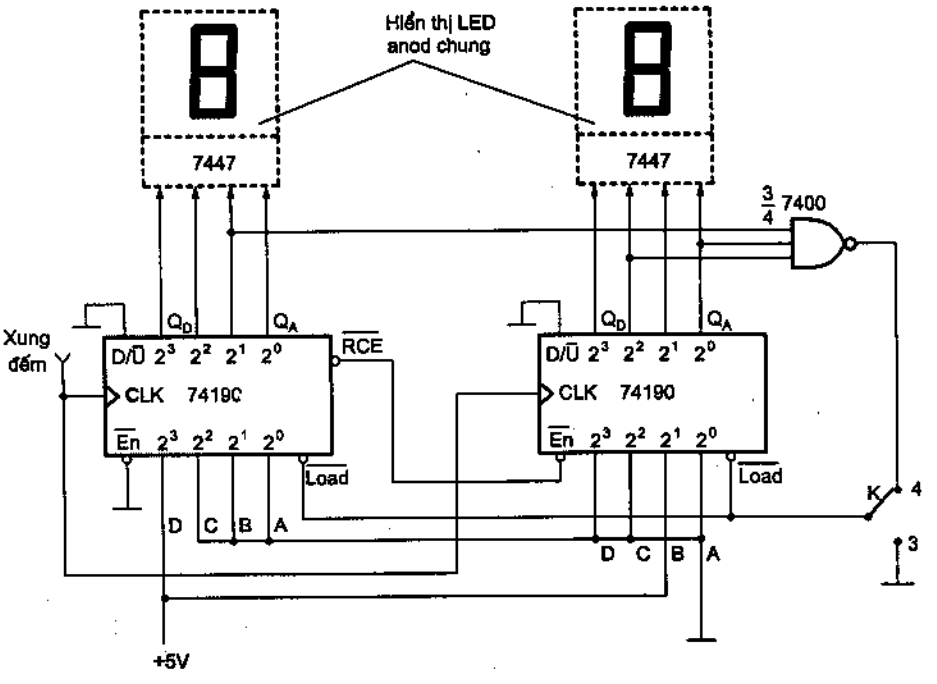
Sưu tầm bởi: www.daihoc.com.vn

– Thực hành thành lập bộ đếm với số xung đếm có thể thay đổi theo lập trình.

– Thực hành sử dụng các IC đếm 74190 hoặc 74191 để tạo lập mạch chia tần số với số chia có thể thay đổi theo lập trình.

2. Nối tầng các IC đếm, thành lập bộ đếm có chu trình đếm xác định

Mục 5-5-1 đã trình bày cách nối tầng các IC đếm 4 bit thông dụng. Mục 5-5-2 cũng đã đề cập tới cách tạo lập bộ đếm với chu trình đếm cho trước.



***Hình 6.th.** Bài thực hành số 4*

Hình 6.th sử dụng hai IC.74190 nối tầng để tạo thành bộ đếm có dung lượng N_{max} = 99. Sau đó, dùng phần tử NAND 3 đầu vào nối như trên hình vẽ, và đặt các mức logic xác định lên các đầu vào đặt trước A, B, C, D của các IC 74190. Bằng cách đó, ta đã tạo lập được ở hình 6.th bộ đếm thuận có chu trình đếm từ 28 đến 52. Nghĩa là mạch bắt đầu đếm từ nội dung nạp trước 28, đến số 51 (tức là đếm được 23 xung), nếu có xung tới nữa (xung thứ 24) thì nội dung bộ đếm tự động trở về số 28 để có thể bắt đầu một chu trình đếm mới. Sơ đồ sử

Sưu tầm bởi: www.daihoc.com.vn

dụng hai hiển thị 7 thanh để hiển thị kết quả ở cửa ra bộ đếm. Việc nối hiển thị 7 thanh với IC.7446/7447 đã trình bày ở mục 7-5-2. Cũng ở trên sơ đồ, bên cạnh phần tử NAND ba đầu vào ghi $\frac{3}{4}$ 7400, ý nói rằng : Hãy sử dụng ba trong bốn phần tử NAND hai đầu vào của IC 7400 để tạo nên phần tử NAND ba đầu vào.

Trình tự thao tác :

• Nghiên cứu mạch hình 6.th và thuyết minh hoạt động của mạch :

• Lắp mạch theo sơ đồ hình 6.th.

• Đóng K sang vị trí 3 để nạp số đặt trước 28 vào bộ đếm. Sau đó K sang vị trí 4. Bộ đếm bắt đầu làm việc khi có xung đếm đi tới.

• Quan sát hiển thị 7 thanh để kiểm tra chu trình làm việc của bộ đếm.

3. Thành lập bộ đếm với số xung đếm có thể thay đổi theo lập trình

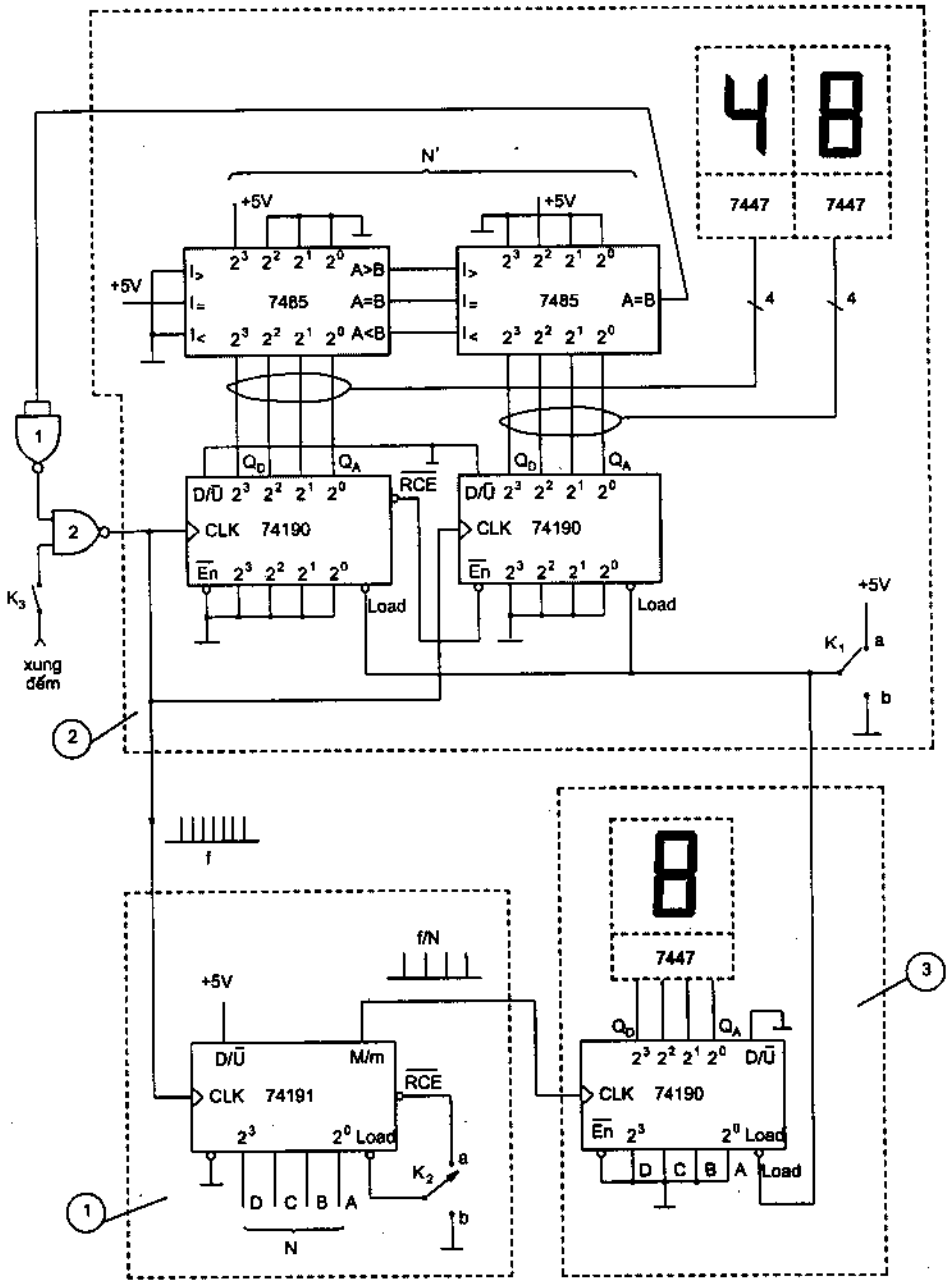
Dùng hai IC.74190 và hai IC.7485 nối với nhau theo sơ đồ của khối ② ở hình 7.th.

Bằng cách đặt trên một cửa vào của bộ so sánh 7485 số N' khác nhau, ta sẽ tạo được bộ đếm với số xung đếm có thể thay đổi theo lập trình (nghĩa là theo việc đặt số N' vào mạch). Ví dụ ở trên hình vẽ thì N' = 48. Hoạt động của bộ đếm như sau : Đóng K_1 sang vị trí b, bộ đếm bị xoá, đầu ra A = B của bộ so sánh sẽ có giá trị 0 logic và cổng NAND số 2 sẽ mở để xung đến có thể tới bộ đếm. Chuyển K_1 sang vị trí a, bộ đếm sẽ bắt đầu đếm từ số 0. Khi đếm được 48 xung thì đầu ra A = B của bộ so sánh sẽ chuyển sang 1 logic, cổng NAND số 2 đóng, chặn xung đếm, và bộ đếm ngưng làm việc. Muốn đếm lần khác, ta lại đóng K_1 sang b, sau đó chuyển sang a.

Hãy mắc mạch như khối ② và thao tác theo trình tự ở trên. Quan sát hiển thị để kiểm chứng kết quả đếm có đúng N' = 48 hay không. Thay đổi N' bằng cách đặt lại các mức logic trên một cửa vào bộ so sánh và lại kiểm chứng sự làm việc của bộ đếm trên hiển thị.

Sau khi thực hành xong phần này, giữ nguyên mạch của khối ② và chuyển sang thực hành theo mục 4 ở dưới đây.

Sưu tầm bởi: www.daihoc.com.vn



Hình 7.th. Bài thực hành số 4

Sưu tầm bởi: www.daihoc.com.vn

4. Sử dụng bộ đếm làm mạch chia tần số

Mục 5-6-2 đã trình bày việc sử dụng bộ đếm làm mạch chia tần số của một dãy xung vuông góc. Ở đây ta hãy kiểm chứng sự hoạt động của mạch chia tần có thể lập trình, dùng các IC đếm 74191 hoặc 74190. Mắc mạch chia tần như khối ①, hình 7.th. Hoạt động của mạch như sau : Số chia N xác định tuỳ ý được đặt trên các đầu vào A, B, C, D. Dãy xung có tần số f cần chia được đưa vào đầu C của bộ đếm. Khởi động đóng K_2 sang b, số N được nạp vào bộ đếm. Sau đó chuyển K_2 sang a, bộ đếm sẽ đếm ngược dãy xung vào có tần số f cần chia, bắt đầu từ N. Khi nội dung bộ đếm bằng 0 thì ở đầu ra M/m xuất hiện một xung và đầu $\overline{RCE}$ tự động tụt xuống 0 logic. Số N lại được nạp vào bộ đếm và một chu trình đếm ngược mới lại được thực hiện. Vậy cứ N xung vào sẽ cho ở đầu ra M/m 1 xung. Kết quả là ở đầu ra M/m sẽ có dãy xung tần số f/N.

Để kiểm chứng sự làm việc của mạch chia tần ①, ta sử dụng thêm hai mạch đếm. Mạch đếm ② cùng đếm dãy xung tần số f vào mạch chia tần. Mạch đếm ③ đến dãy xung tần số f/N ở đầu ra mạch chia tần. Nếu mạch chia tần hoạt động đúng thì hiển thị của hai khối đếm ② và ③ phải chênh nhau N lần. Ví dụ ở trên hình 7.th, chu trình đếm của khối ② là 48 xung, nếu N = 6 thì hiển thị của khối ③ phải là 8. Thay đổi giá trị N đặt vào mạch chia tần (N = 6, 8, 12) và quan sát các hiển thị để kiểm chứng tính đúng đắn của mạch chia tần.

Trình tự thao tác như sau : Mắc mạch như hình 7.th. Mở khoá K_3. Đóng K_1 sang b rồi chuyển sang a. Đóng K_2 sang b rồi chuyển sang a. Cuối cùng đóng K_3 để đưa xung đếm vào và quan sát các hiển thị để kiểm chứng.

Chú ý : Trong bài thực hành này, dãy xung đếm lấy từ mạch đa hài phiếm định, tạo lập từ IC.555. Tần số dãy xung đếm lấy từ 5 ÷ 10Hz.

Sưu tầm bởi: www.daihoc.com.vn

Bài số 5

MẠCH LOGIC ĐIỀU KHIỂN THEO TRÌNH TỰ VÀ CHU TRÌNH

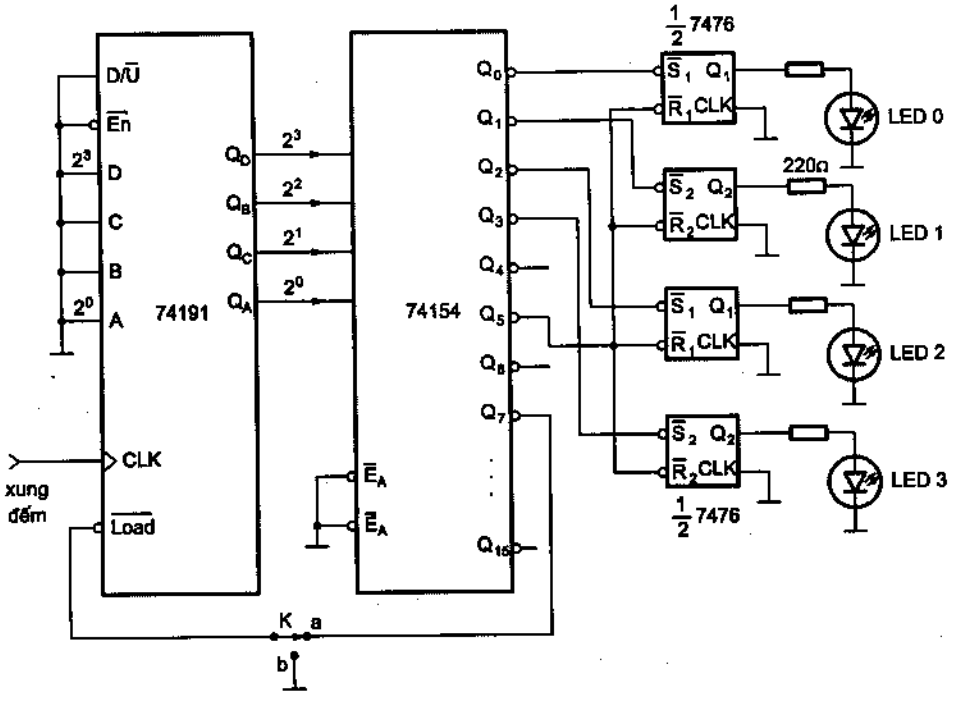
1. Mục đích

Mục đích của bài này là giới thiệu với bạn đọc một ứng dụng của mạch logic để điều khiển những hoạt động có tính trình tự và chu trình.

2. Sơ đồ thực hành

Phần lí thuyết đã giới thiệu ứng dụng của mạch giải mã 1/N, của thanh ghi dịch, và của bộ đếm chạy vòng để điều khiển những hoạt động có tính trình tự và chu trình.

Hình 8.th ở đây là mạch dùng giải mã 1/N (IC.74154) để điều khiển sự thắp sáng tuần tự và chu trình của 4 đèn LED. Trên sơ đồ xung đếm lấy từ mạch đa hài phiếm định dùng IC.555, tần số 5Hz. Nó dùng để cầm chịch cho sự thắp sáng tuần tự của các LED.



Hình 8.th. Bài thực hành số 5

Sưu tầm bởi: www.daihoc.com.vn

3. Trình tự thao tác

• Lắp mạch theo hình 8.th.

• Giải thích hoạt động của mạch.

• Khởi động đóng K sang b, sau chuyển sang a. Quan sát trình tự thắp sáng của các LED để kiểm chứng hoạt động của mạch.

Bài số 6

HIỂN THỊ 7 THANH KIỂU TUẦN TỰ

1. Mục đích

Mục đích bài này nhằm giới thiệu cách mắc mạch hiển thị 7 thanh k decad theo kiểu hiển thị tuần tự.

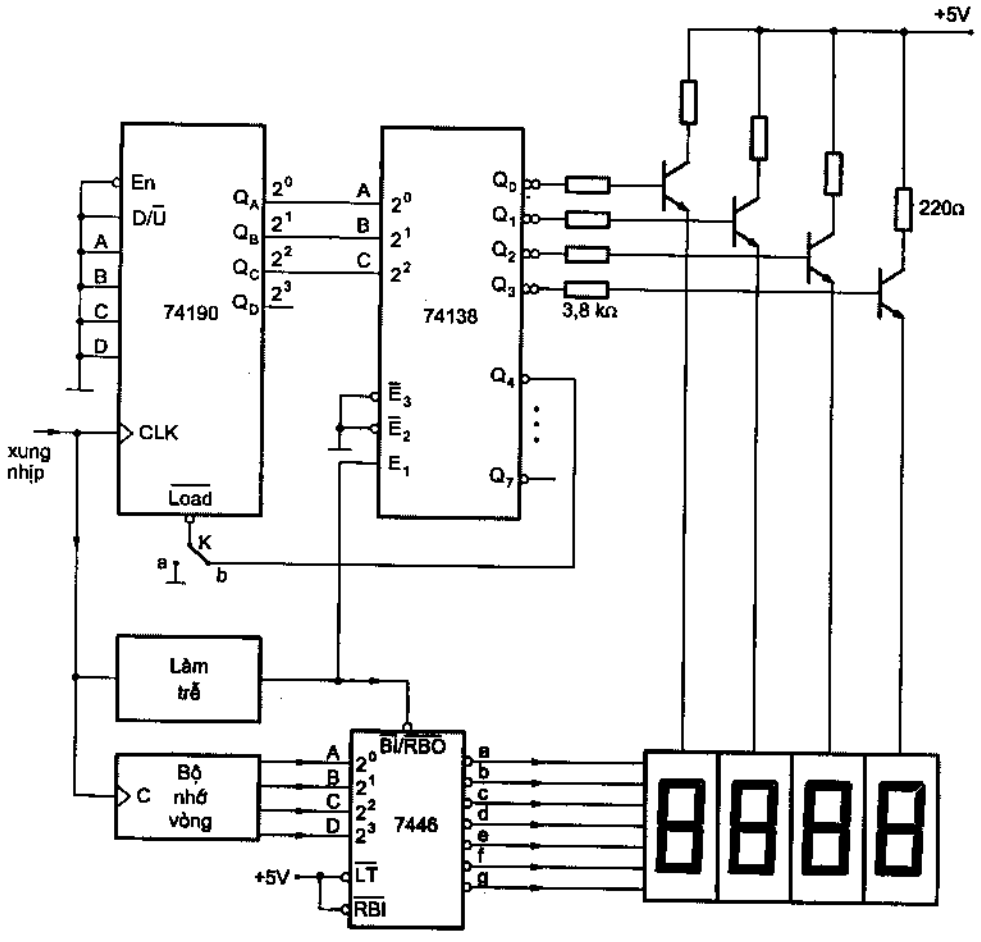
2. Sơ đồ thực hành

Để xây dựng mạch hiển thị 7 thanh k decad (còn gọi là hiển thị k digit), một cách tự nhiên nhất là dùng k hiển thị 7 thanh nối riêng rẽ với k mạch giải mã BCD/7 thanh (ví dụ IC.7446), và cho chúng hiển thị đồng thời (song song). Tuy nhiên, nếu k lớn (ví dụ k = 8 chẳng hạn) thì hệ thống hiển thị sẽ phức tạp, số mạch giải mã BCD/7 thanh cần nhiều, hệ thống dây nối cũng rất phức tạp.

Dựa trên tính chất là mắt con người có thể lưu giữ hình ảnh trong vòng 1/25s (giây). Do đó thay vì hiển thị đồng thời k decad, ta điều khiển cho hiển thị tuần tự từng decad, miễn sao bảo đảm chu trình hiển thị của k decad là nhỏ hơn 1/25s (thường chọn là 1/100s)). Lúc đó ta có cảm giác như k decad cùng song song hiển thị.

Hình 9.th là mạch điều khiển hiển thị tuần tự 4 decad hiển thị 7 thanh. Các đầu vào cùng kí hiệu (a, b, c, ..., g) của cả 4 hiển thị 7 thanh đều nối chung với nhau, và nối với các đầu a, b, ..., g của chỉ một mạch giải mã BCD/7 thanh duy nhất (IC.7446). Như vậy, các tín hiệu ở cửa ra IC.7446 đều cùng đặt lên cả 4 hiển thị. Tuy nhiên, chỉ hiển thị 7 thanh nào được nối với nguồn +5V, thông qua khoá transistor ở trạng thái dẫn, mới được thắp sáng để hiển thị số thập phân, tương ứng với số BCD đặt ở cửa vào của IC. 7446. Điều khiển sự đóng tuần tự của bốn khoá transistor theo các xung nhịp là mạch điều khiển trình tự, gồm IC.74190 và IC.74138 (tựa như đã khảo sát ở bài số 5, hình 8.th).

Sưu tầm bởi: www.daihoc.com.vn



Hình 9.th. Bài thực hành số 6

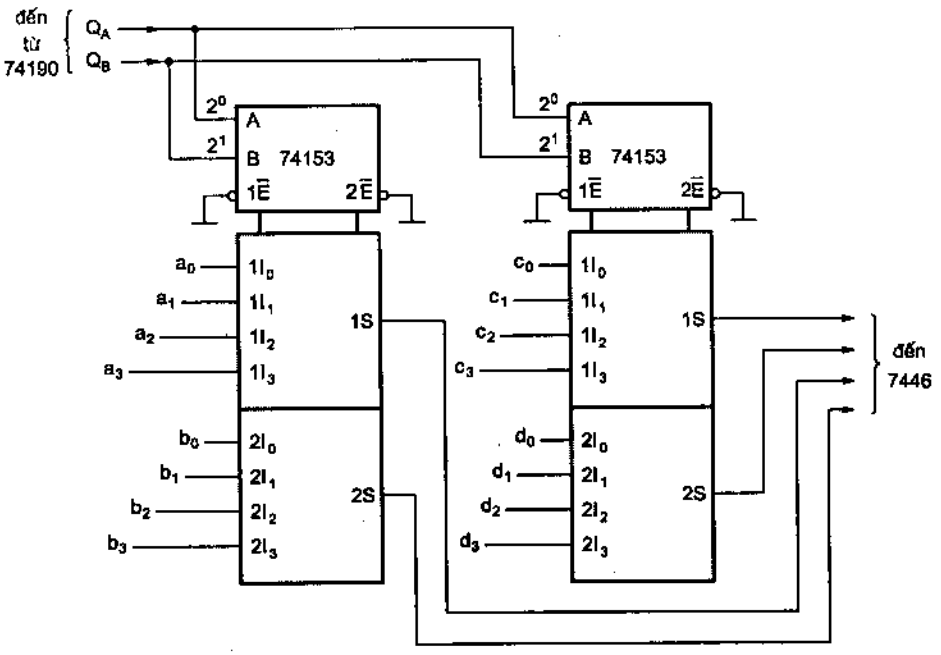
Bộ nhớ vòng (xem mục 9-2-2) dùng để lưu giữ 4 số BCD 4 bit và chúng được tuần tự gọi ra theo các xung nhịp. Chính các xung nhịp, thông qua mạch làm trễ sẽ điều khiển cho phép các IC. 74138 và 7446 làm việc. Mạch làm trễ có thể chỉ gồm 2 phần tử ĐẢO nối tầng. Trong quá trình thử nghiệm, nếu thấy cần tăng thời gian trễ thì nối tầng 4 phần tử ĐẢO hoặc hơn.

Trên hình 9.th, các đầu ra $Q_0 \div Q_7$ của IC giải mã 74138 là tích cực thấp. Để điều khiển đóng khoá transistor lại, yêu cầu tín hiệu đặt ở cực gốc phải ở

Sưu tầm bởi: www.daihoc.com.vn

mức logic cao. Do đó, ở các đầu ra $Q_0 \div Q_3$ phải nối thêm một phần tử ĐẢO, kí hiệu bằng cách thêm một khuyên tròn (ta có thể dùng IC.7414 gồm 6 phần tử ĐẢO).

Xung nhịp tần số 100Hz lấy từ mạch đa hài phiếm định, tạo lập từ IC.555.



***Hình 10.th.** Bài thực hành số 6*

Việc tìm mua được bộ nhớ vòng ở trên thị trường là khó. Nếu không có, ta có thể thay thế bộ nhớ vòng ở hình 9.th bằng các IC dồn kênh 74153 (hình 10.th). Nhiệm vụ của mạch dồn kênh hình 10.th là biến đổi tuần tự bốn số BCD 4 bit $a_ib_ic_id_i$ ($i = 0 \div 3$) từ vào song song thành ra nối tiếp để dẫn tới IC.7446.

Mạch hiển thị 7 thanh k decad kiểu hiển thị tuần tự dùng đặc biệt thích hợp, khi nó được coi là thiết bị ngoại vi để ghép nối với bộ vi xử lí. Lúc đó kết quả dưới dạng mã BCD và các tín hiệu điều khiển hiển thị tuần tự đều được gửi ra từ bộ vi xử lí.

3. Trình tự thao tác

• Mắc mạch như hình 9.th ; trong đó bộ nhớ vòng có thể thay bằng các vi mạch dồn kênh, nối theo hình 10.th.

Sưu tầm bởi: www.daihoc.com.vn

• Thuyết minh hoạt động của sơ đồ.

• Đặt trước 4 số BCD $a_ib_ic_id_i$ (i = 0 ÷ 3) theo ý muốn (chú ý là các số này phải nhỏ hơn hay bằng 9) vào các đầu vào thông tin của mạch dồn kênh.

• Đóng khoá K ở hình 9.th sang a, rồi chuyển sang b. Sau đó dẫn xung nhịp vào IC.74190. Quan sát hiển thị 4 decad xem có hiển thị đúng bốn số BCD đã đặt trước không.

Kết luận. Trên đây là sáu bài thực hành tương đối chọn lọc. Bài số 6 mắc mạch khá phức tạp. Tác giả đưa ra trước hết nhằm giới thiệu thêm cho đầy đủ về mạch hiển thị 7 thanh k decad. Nếu bạn đọc thực hành được bài này thì càng tốt. Nếu không thì bạn đọc cũng nên tìm hiểu kĩ để nắm vững các cách mắc hiển thị 7 thanh k decad.

Tiếp theo, dưới đây sẽ thống kê các linh kiện cần thiết để phục vụ cho sáu bài thực hành trên. Sơ đồ chân các IC cần dùng xin xem ở phụ lục 7.

THỐNG KÊ CÁC LINH KIỆN CẦN DÙNG

1. Các vi mạch

• 1 vi mạch khuếch thuật toán μA741 hoặc LM 324.

• Hai IC.555

• 1 vi mạch NAND hai đầu vào, IC.7400

• 1 vi mạch NAND bốn đầu vào, IC.7420

• 1 vi mạch ĐẢO, IC.7414

• Hai vi mạch dồn kênh 8 đầu vào thông tin, IC.74151

• Hai vimạch dồn kênh kép, 4 đầu vào thông tin, IC.74153

• 1 vi mạch giải mã1/16, IC.74154

• 1 vi mạch giải mã 1/8, IC.74138

• 3 vi mạch đếm thập phân, IC.74190

• Một vi mạch đếm nhị phân 4 bit, IC.74191

• 2 vi mạch so sánh 4 bit, IC.7485

• Hai vi mạch J-K và S-R Flip-Flop, IC.7476

Sưu tầm bởi: www.daihoc.com.vn

• 3 vi mạch giải mã BCD/7 thanh, IC.7446/7447

• 4 hiển thị 7 thanh LED, loại anod chung.

2. Các linh kiện phụ

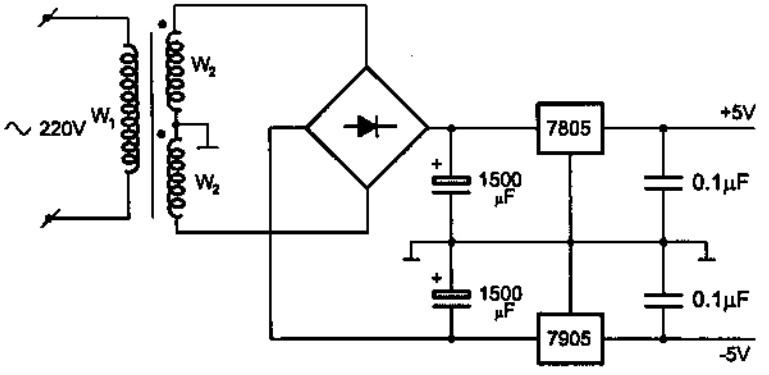
• 10 đèn LED.

• Các điện trở, tụ. Bạn đọc tự thống kê dựa theo các sơ đồ thực hành.

• Dây dẫn lõi cứng, $\phi \approx 1$mm.

3. Ba bảng lỗ cắm dùng để cắm các IC và thực hiện việc ghép nối.

4. Nguồn cung cấp ±5V, 1A. Có thể tự lắp ghép nguồn cung cấp theo sơ đồ hình 11.th.



Hình 11.th. Mạch nguồn cung cấp ±5V

Trên sơ đồ, biến áp BA với cuộn dây thứ cấp có điểm giữa. Tỉ số biến áp :

$$K_{ba} = \frac{W_1}{W_2} = \frac{220\sqrt{2}}{16} \approx 20$$

Mạch chỉnh lưu cầu 1A và các ổn áp 7805, 7905 đều là các vi mạch dễ kiếm trên thị trường.

Sưu tầm bởi: www.daihoc.com.vn

MỤC LỤC

	Trang
Lời giới thiệu	3
Mở đầu	4
Chương 1. KHÁI NIỆM CƠ BẢN VỀ KĨ THUẬT XUNG SỐ	5
1-1. Các thông số đặc trưng của tín hiệu xung	5
1-2. Dãy xung	7
1-3. Các phần tử tuyến tính R-C trong mạch tạo xung	8
1-4. Khoá transistor	11
1-5. Khuếch thuật toán làm việc ở chế độ khoá	14
1-6. Mạch logic - Mức logic	17
1-7. Các phần tử logic thông dụng	19
1-8. Ứng dụng của các phần tử logic thông dụng	23
1-9. Tổng quan về các vi mạch logic	26
1-10. Mạch logic họ TTL và CMOS	27
1-11. Những chú ý khi sử dụng các IC logic	35
1-12. Giao diện giữa các phần tử họ TTL và CMOS	37
Câu hỏi và bài tập chương I	38
Chương 2 - CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẢY DÙNG TRANSISTOR HAY KHUẾCH THUẬT TOÁN	44
2-1. Mạch so sánh tương tự và ứng dụng	44
2-2. Ứng dụng của mạch so sánh tương tự	49
2-3. Mạch tạo xung đơn dùng transistor	50
2-4. Mạch tạo dãy xung vuông góc dùng transistor	53
2-5. Mạch tạo dãy xung vuông góc dùng khuếch thuật toán	55
2-6. Một số ứng dụng của mạch đa hài phiếm định dùng khuếch thuật toán	58

Sưu tầm bởi: www.daihoc.com.vn

2-7. Mạch tạo dãy răng cưa và tam giác 60
2-8. Một số ứng dụng của dãy xung răng cưa 63
Câu hỏi và bài tập chương 2 64

Chương 3 - CÁC MẠCH TẠO XUNG HOẶC BƯỚC NHẢY DÙNG CÁC VI MẠCH SỐ VÀ MẠCH ĐỊNH THỜI 555 67
3-1. Các loại FLIP - FLOP 67
3-2. Ứng dụng của FLIP - FLOP 74
3-3. Mạch phát xung đơn (Mạch đa hài đơn ổn) dùng NAND/NOR 77
3-4. Mạch đa hài phiếm định dùng các IC số 78
3-5. Bộ đa hài 4047 và 74121 82
3-6. Vi mạch thời 555 (timer 555) 85
3-7. Một số ứng dụng thực tế của IC.555 88
3-8. Mạch tạo dãy xung vuông góc dùng tinh thể thạch anh. 92
Câu hỏi và bài tập chương 3 92

Chương 4 - MẠCH SO SÁNH SỐ - BỘ SỐ HỌC VÀ LOGIC 95
4-1. Mạch so sánh số (digital comparator) 95
4-2. Vi mạch so sánh 74xx85 96
4-3. Bộ số học và logic 98
4-4. Ứng dụng của các phép tính logic trên hai toán hạng nhị phân n bit 101
Câu hỏi và bài tập chương 4 104

Chương 5 - CÁC BỘ ĐẾM VÀ ỨNG DỤNG 105
5-1. Khái niệm chung về bộ đếm 105
5-2. Một số vi mạch đếm không đồng bộ 108
5-3. Một số vi mạch đồng bộ thông dụng 109
5-4. Vi mạch đếm chạy vòng 4017B 112
5-5. Sử dụng các vi mạch đếm 113
5-6. Một số ứng dụng của bộ đếm 118
Câu hỏi và bài tập chương 5 120

Sưu tầm bởi: www.daihoc.com.vn

Chương 6 - THANH GHI VÀ THANH GHI DỊCH 122

6-1. Khái niệm về thanh ghi (Register) 122

6-2. Thanh ghi dịch (Shift register) 124

6-3. Sử dụng thanh ghi dịch 126

Câu hỏi và bài tập chương 6 129

Chương 7 - CÁC MẠCH BIẾN ĐỔI MÃ - HỆ THỐNG HIỂN THỊ 131

7-1. Bộ mã hoá thập phân 131

7-2. Mạch giải mã 1 từ N 134

7-3. Những ứng dụng chính của giải mã 1/N 136

7-4. Các phần tử hiển thị 140

7-5. Mạch điều khiển các hệ thống hiển thị 144

Câu hỏi và bài tập chương 7 151

Chương 8 - MẠCH CHỌN KÊNH VÀ MẠCH PHÂN KÊNH SỐ

8-1. Khái niệm chung về mạch chọn kênh 153

8-2. Một số vi mạch chọn kênh số 156

8-3. Mở rộng mạch chọn kênh số 157

8-4. Những ứng dụng chính của mạch chọn kênh số 158

8-5. Mạch phân kênh số 161

Câu hỏi và bài tập chương 8 162

Chương 9 - CÁC BỘ NHỚ BÁN DẪN

9-1. Những đặc trưng chính của bộ nhớ 165

9-2. Khái quát về các bộ nhớ bán dẫn ghi/đọc 167

9-3. Khái quát về các bộ nhớ chỉ đọc 169

9-4. Cấu trúc chung của các bộ nhớ truy cập trực tiếp 171

9-5. Một số chip vi mạch nhớ 173

9-6. Mở rộng dung lượng bộ nhớ 176

9-7. Một số ứng dụng của các bộ nhớ bán dẫn 179

Sưu tầm bởi: www.daihoc.com.vn

Câu hỏi và bài tập chương 9 182

Chương 10 - ỨNG DỤNG KĨ THUẬT SỐ TRONG ĐO LƯỜNG - ĐIỀU KHIỂN 183

10-1. Hệ điều khiển logic trình tự 183

10-2. Phương pháp số đo trực tiếp tần số 186

10-3. Phương pháp số đo khoảng thời gian 189

10-4. Phương pháp số đo điện áp không đổi 189

10-5. Khái niệm về hệ vi xử lí 193

10-6. Bộ vi điều khiển 196

Câu hỏi và bài tập chương 10 197

Phụ lục 1. Các phép tính logic - Những tính chất và định lí liên quan đến các phép tính 198

Phụ lục 2. Khái niệm về mã - Mã ASCII 199

Phụ lục 3. Các phương pháp thông dụng biểu diễn số 201

Phụ lục 4. Tổng hợp mạch logic tổ hợp từ các phần tử logic cơ bản 205

Phụ lục 5. Một số IC mức độ tích hợp nhỏ, họ TTL 208

Phụ lục 6. Một số IC họ CMOS, SSI 208

Phụ lục 7. Sơ đồ chân một số IC sử dụng ở phần thực hành 204

Phần thực hành 211

Sưu tầm bởi: www.daihoc.com.vn

Chịu trách nhiệm xuất bản :

Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập VŨ DƯƠNG THỤY

Biên tập lần đầu :

NGÔ THANH BÌNH
TRẦN NGỌC KHÁNH

Biên tập tái bản :

TRẦN NGỌC KHÁNH

Trình bày bìa :

TÀO HUYỀN

Thiết kế sách :

VŨ TUẤN HIỆP

Sửa bản in :

BÌNH MINH

Chế bản :

PHÒNG CHẾ BẢN (NXB GIÁO DỤC)

GIÁO TRÌNH **KĨ THUẬT XUNG - SỐ**

Mã số : 6H147T5 - DAI

In 2.000 bản, khổ 16 x 24cm, tại Xí nghiệp In ACS Hải Phòng.
Số xuất bản : 21/236-05. In xong và nộp lưu chiểu tháng 2 năm 2005.

Sưu tầm bởi: www.daihoc.com.vn

CÔNG TY CỔ PHẦN SÁCH ĐẠI HỌC - DẠY NGHỀ
HEVOBCO
Địa chỉ : 25 Hàn Thuyên, Hà Nội

INTERNATIONAL QUALITY AWARD
PLATINUM
2004
NGÔI SAO BẠCH KIM
CHẤT LƯỢNG
QUỐC TẾ

TÌM ĐỌC GIÁO TRÌNH DÙNG CHO CÁC TRƯỜNG ĐÀO TẠO HỆ TRUNG HỌC CHUYÊN NGHIỆP - DẠY NGHỀ CỦA NHÀ XUẤT BẢN GIÁO DỤC

(NGÀNH ĐIỆN - ĐIỆN TỬ)

1. **An toàn điện** — *TS. Nguyễn Đình Thắng*
2. **Kĩ thuật điện** — *GS. TS. Đặng Văn Đào*
3. **Máy điện** — *TS. Nguyễn Hồng Thanh*
4. **Kĩ thuật lắp đặt điện** — *TS. Phan Đăng Khải*
5. **Điện dân dụng và công nghiệp** — *Vũ Văn Tẩm*
6. **Cung cấp điện** — *TS. Ngô Hồng Quang*
7. **Đo lường các đại lượng điện và không điện** — *GVC. Nguyễn Văn Hòa*
8. **Lý thuyết mạch điện** — *PGS. TS. Lê Văn Bảng*
9. **Vật liệu điện** — *TS. Nguyễn Đình Thắng*
10. **Truyền động điện** — *PGS. TS. Bùi Đình Tiếu*
11. **Trang bị điện** — *GVC. Nguyễn Văn Chất*
12. **Sửa chữa điện dân dụng và công nghiệp** — *KS. Bùi Văn Yên - KS. Trần Nhật Tân*
13. **Linh kiện điện tử và ứng dụng** — *TS. Nguyễn Viết Nguyên*
14. **Điện tử dân dụng** — *ThS. Nguyễn Thanh Trà*
15. **Điện tử công suất** — *Trần Trọng Minh*
16. **Mạch điện tử** — *TS. Đặng Văn Chuyết*
17. **Kĩ thuật số** — *TS. Nguyễn Viết Nguyên*
18. **Kĩ thuật điều khiển động cơ điện** — *Vũ Quang Hồi*
19. **Kỹ thuật xung - số** — *TS. Lương Ngọc Hải*
20. **Điện tử công nghiệp** — *Vũ Quang Hồi*
21. **Kinh tế và quản trị doanh nghiệp (kinh tế và TCQLSX)** — *TS. Ngô Xuân Bình - TS. Hoàng Văn Hải*

Bạn đọc có thể tìm mua tại các Công ti Sách - Thiết bị trường học ở các địa phương hoặc các Cửa hàng sách của Nhà xuất bản Giáo dục:

Tại Hà Nội : ***25 Hàn Thuyên, 81 Trần Hưng Đạo, 187 Giảng Võ, 23 Tràng Tiền.***
Tại Đà Nẵng : ***15 Nguyễn Chí Thanh.***
Tại Thành phố Hồ Chí Minh : ***104 Mai Thị Lựu, Quận 1.***

Sưu tầm bởi: www.daihoc.com.vn

Giá: 20.000đ