

CHƯƠNG 5

MẠCH FLIP - FLOP

5.1. MỘT SỐ CẤU TRÚC MẠCH THƯỜNG GẶP CỦA FLIP - FLOP

Tín hiệu số nhị phân là tín hiệu cơ bản trong mạch số FF là phân tử cơ bản lưu trữ (nhớ) tín hiệu nhị phân. Vì một bit tín hiệu nhị phân có thể nhận một trong hai giá trị 0, 1 nên FF tối thiểu cần có chức năng sau :

1. Có hai trạng thái ổn định, trạng thái 0 và trạng thái 1.
2. Có thể tiếp thu, lưu trữ và đưa ra tín hiệu vào.

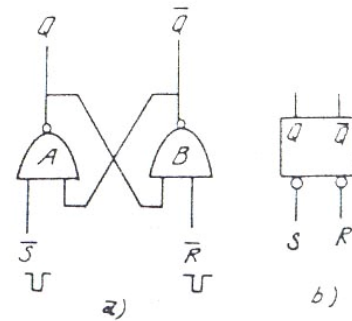
Đương nhiên, thực tiễn còn đề ra các yêu cầu khác. Tiết này trình bày vấn đề: Mạch điện như thế nào đảm bảo các chức năng nói trên.

5.1.1 . Flip Flop RS cơ bản

1. Cấu trúc mạch và ký hiệu

Hình 5-1-1 trình bày sơ đồ logic và ký hiệu logic của Flip Flop RS cơ bản. Mạch điện gồm hai cổng NAND nối ghép chéo. \bar{R}, \bar{S} là các tín hiệu đầu vào, đầu

gạch ngang trên ký tự biểu thị tín hiệu hoạt động ở mức thấp (một khuyên tròn trong ký hiệu logic biểu thị điều đó). Nói cách khác, đầu vào ở mức thấp biểu thị có tín hiệu, đầu vào ở mức cao biểu thị không có tín hiệu. Q và \bar{Q} biểu thị trạng thái của FF, đồng thời biểu thị đầu ra.



2. Nguyên lý làm việc

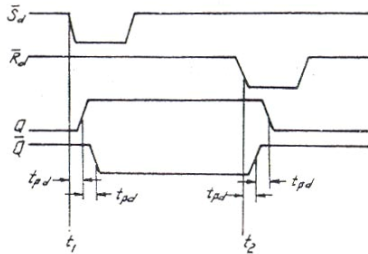
a) Hai trạng thái ổn định

Khi không có tín hiệu, tức là $\bar{R} = \bar{S} = 1$, mạch có hai trạng thái ổn định - Trạng thái 0 và trạng thái 1. Ở đây, chúng ta gọi $Q = 0$ và $\bar{Q} = 1$ là trạng thái 0, gọi $Q = 1$ và $\bar{Q} = 0$ là trạng thái 1. Ở trạng thái 0, vì $Q = 0$ hồi tiếp đến đầu vào cổng B làm B ngắt, duy trì $\bar{Q} = 1$. Mà $\bar{Q} = 1$ lại hồi tiếp đến đầu vào cổng A, cùng với $\bar{S} = 1$ làm cho cổng A thông, duy trì $Q = 0$. Do đó, mạch hoàn toàn tự động duy trì trạng thái 0. Tương tự, ở trạng thái 1, $Q = 1$ và $\bar{R} = 1$ làm cho cổng B thông, duy trì $\bar{Q} = 0$. Mà $\bar{Q} = 0$ lại làm cho cổng A ngắt, duy trì $Q = 1$. Vậy trạng thái 1 cũng được tự giữ.

b) Quá trình tiếp thu tín hiệu

Hình 5-1-1 Flip Flop RS cơ bản.
a) Sơ đồ logic b) Ký hiệu logic

Giả sử FF ở trạng thái 0, chúng ta đưa một xung âm vào đầu \bar{S} . Mạch điện sẽ chuyển biến nhanh sang trạng thái 1. Vì xung âm ở đầu vào \bar{S} , sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} thì cổng A từ thông sang ngắt, đầu ra Q từ 0 sang 1. Lại sau thời gian trễ truyền đạt 1 cấp cổng t_{pd} nữa, thì cổng B từ ngắt sang thông, đầu ra \bar{Q} từ 1



Hình 5-1-2.
Dạng sóng của Flip Flop RS cơ bản

sang 0. Vậy sau thời gian $2t_{pd}$ FF đã hoàn thành chuyển biến trạng thái từ 0 sang 1. Lúc này dù cho mất tín hiệu đầu vào, vì $\bar{Q} = 0$ đã hồi tiếp dẫn đến đầu vào cổng A, FF có thể tự động duy trì trạng thái 1, mà không trở lại trạng thái 0. Vì thế, xung âm đầu vào được gọi là xung kích.

Giả sử FF ở trạng thái 1, đưa xung âm vào đầu \bar{R} . Quá trình tương tự sẽ xảy ra, sau thời gian $2t_{pd}$, FF chuyển từ trạng thái 1 sang trạng thái 0. (Xem dạng sóng hình 5-1-2).

Vì tín hiệu ở đầu vào \bar{S} có thể và chỉ có thể thiết lập FF ở trạng thái 1, tín hiệu đầu vào \bar{R} có thể và chỉ có thể xóa FF ở trạng thái 0, nên thường gọi \bar{S} là đầu vào đặt (set) và \bar{R} là đầu vào xóa (Reset).

Nếu xem xét quá trình chuyển biến trạng thái tỉ mỉ hơn, chúng ta sẽ thấy rằng : vì hai mạch NAND nối ghép chéo nên không những FF có thể tự giữ khi không có tín hiệu, mà còn xuất hiện quá trình phản hồi dương trong mạch FF mỗi khi có xung kích tạo điều kiện để FF nhanh chóng hoàn thành chuyển trạng thái. Ví dụ, trong quá trình thiết lập 1, hệ \bar{S} giảm đến mức mở cổng, mức đầu Q sẽ tăng lên, hồi tiếp đến đầu vào cổng B, làm cho cổng B chuyển từ ngắt sang thông, \bar{Q} giảm mức, hồi tiếp đến đầu vào cổng A, lại càng làm cho cổng A ngắt sâu hơn, Q tăng mức hơn nữa, kết quả càng làm cho \bar{Q} giảm mức thêm ... Cứ vậy, sóng dồn gió đập như bão áp, như thác lũ, làm cho cổng A ngắt rất nhanh, cổng B thông rất nhanh, FF chuyển trạng thái từ 0 sang 1 trong thời gian cực ngắn. Thông qua đầu Reset \bar{R} , cũng có quá trình phản hồi dương tương tự. Chính vì thế, dù cho sườn trước xung kích (xung âm) không dốc lắm, thì ở đầu ra của FF ta vẫn nhận được các xung có sườn rất dốc.

c) Không cho phép đồng thời đưa tín hiệu vào cả \bar{R} và \bar{S}

Khi dùng loại FF này làm phần tử nhớ, không được phép đồng thời đưa tín hiệu kích vào cả hai đầu vào \bar{R} và \bar{S} , tức là trạng thái $\bar{R} = \bar{S} = 0$ bị cấm. Do đặc tính mạch cổng NAND, khi $\bar{R} = \bar{S} = 0$ thì Q, \bar{Q} đồng thời bằng 1, phần tử nhớ mà không phải là trạng thái 0, cũng không phải là trạng thái 1 như thế thì đâu còn là phần tử nhớ nữa ! mặt khác, khi \bar{R} và \bar{S} đồng thời từ 0 về 1 (bỏ tín hiệu) thì trạng thái của FF là bất

định, có thể là 0, cũng có thể là 1. Vì rằng những nhân tố quyết định trạng thái FF lúc này là không có cách nào biết trước chính xác được, chẳng hạn sự khác nhau rất nhỏ đặc tính động của hai cổng NAND hay tình huống nhiễu ở thời điểm xét. Đương nhiên, sau hai đầu vào \bar{R} và \bar{S} là không đồng thời, trạng thái FF có thể xác định sau khi bỏ tín hiệu.

d) Bảng chức năng và phương trình đặc trưng

Ta dùng ký hiệu Q^n biểu thị trạng thái FF trước khi tiếp thu tín hiệu, gọi là trạng thái hiện tại, dùng ký hiệu Q^{n+1} biểu thị trạng thái FF sau khi tiếp thu tín hiệu, gọi là trạng thái tiếp theo. Quan hệ logic giữa Q^{n+1} và Q^n , R, S biểu thị bằng bảng chức năng (bảng chân lý) mô tả sự chuyển đổi trạng thái xảy ra như bảng 5-1-1 dưới đây.

Bảng 5-1-1 : BẢNG CHỨC NĂNG CỦA FLIP FLOP RS CƠ BẢN

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	x
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	x

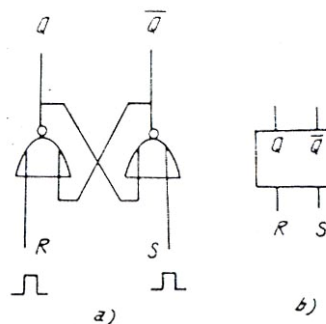
		$\bar{R}\bar{S}$			
		00	01	11	10
Q^n	0	0	1	x	0
	1	1	1	x	0

Hình 5-1-3 : Bảng Karnaugh của Q^{n+1}

Trong bảng hai trạng thái $Q^nRS = 011, 111$ là bị cấm, tương ứng đánh dấu chéo (x) ở cột Q^{n+1} , trong khi tối thiểu hóa có thể sử dụng.

Chúng ta có thể xem Q^n, R, S là các biến logic Q^{n+1} là hàm logic của các biến trên. Từ bảng 5-1-1 ta vẽ bảng Karnaugh của Q^{n+1} như hình 5-1-3.

Căn cứ vào bảng Karnaugh ta được phương trình đặc trưng sau của FF :



Hình 5-1-4 : FLip flop RS cơ bản dùng cổng NOR.
a) Sơ đồ logic b) Kí hiệu logic

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ (ràng buộc từ trạng thái cấm)} \end{cases} \quad (5-1-1)$$

Bảng chức năng và phương trình đặc trưng

là phương pháp biểu diễn số học quan hệ logic giữa trạng thái hiện tại Q^n , các tín hiệu đầu vào r, S với trạng thái tiếp theo của Flip Flop RS cơ bản. Chúng miêu tả đầy đủ chức năng logic của nó.

3. Flip Flop RS cơ bản dùng cổng NOR

Xem hình 5-1-4, so sánh với hình 5-1-1 ta thấy có hai điểm khác biệt : vị trí R, S đảo và mức tích cực của tín hiệu cũng đảo (không có dấu gạch ngang). Các đầu vào R, S ở mức cao biểu thị có tín hiệu, ở mức thấp biểu thị không có tín hiệu. Căn cứ vào tính chất cổng NOR, chúng ta có thể tìm hiểu nguyên lý công tác và viết ra bảng chức năng, phương trình đặc trưng của mạch này.

Khi $R = S = 0$ thì Q, \bar{Q} đồng thời bằng 0, đó là trạng thái cấm.

4. Đặc điểm cơ bản

Ưu điểm : mạch đơn giản, có thể nhớ 1 bit là cơ sở để cấu trúc các FF hoàn hảo hơn.

Nhược điểm : tín hiệu trực tiếp điều khiển trạng thái đầu ra, ứng dụng bị hạn chế, tín hiệu vào ràng buộc lẫn nhau (không ở trạng thái cấm).

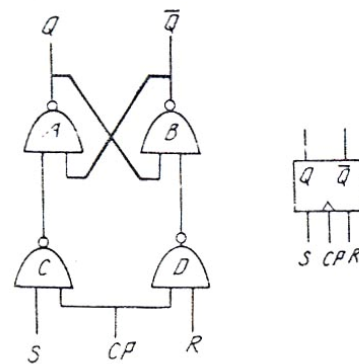
5.1.2. Flip Flop RS đồng bộ

1. Cấu trúc mạch và ký hiệu

Để khắc phục nhược điểm của loại Flip Flop RS cơ bản là trực tiếp điều khiển, người ta thêm vào hai cổng điều khiển và một tín hiệu điều khiển, nên tín hiệu đầu vào được truyền qua cổng điều khiển, xem hình 5-1-5. Các cổng A, B làm thành Flip Flop RS cơ bản, các cổng C, D là cổng điều khiển, CP là tín hiệu điều khiển, thường là xung đồng hồ hoặc xung mở chọn mạch. Trong ký hiệu logic, đầu CP có dấu Δ , tín hiệu này tích cực với sườn dương của xung.

2. Nguyên lý làm việc

Khi $CP = 0$, các cổng C, D bị ngắt, FF bị cấm, duy trì trạng thái cũ. Khi $CP = 1$, các cổng C, D thông thì FF sẵn sàng (tiếp thu tín hiệu), nó tiếp thu tín hiệu đầu vào R, S . Để dàng thấy rằng tình huống công tác của mạch lúc này giống như Flip Flop



Hình 5-1-5 Flip flop RS đồng bộ
a) Sơ đồ logic b) Ký hiệu logic

RS cơ bản. Nếu $R = 0$; $S = 1$ đầu ra cổng C ở mức thấp, FF lập ở trạng thái 1. Ngược lại, nếu $R = 1$, $S = 0$ đầu ra cổng D ở mức thấp, FF bị xóa về trạng thái 0. Nếu $R = S = 1$ thì các cổng C, D đều đưa ra mức thấp, dẫn đến Q và \bar{Q} đều là mức cao, đó là trạng thái cấm. Có thể thấy rằng bảng chức năng và phương trình đặc trưng biểu thị quan hệ logic giữa Q^{n+1} với Q^n , R, S không khác gì của Flip Flop RS cơ bản, chẳng qua chúng chỉ đúng trong điều kiện $CP = 1$. Tức là các quan hệ logic ở bảng 5-1-1 đối với Flip Flop RS đồng bộ chỉ đúng khi nào xuất hiện xung đồng hồ ($CP = 1$).

3. Mạch chốt D

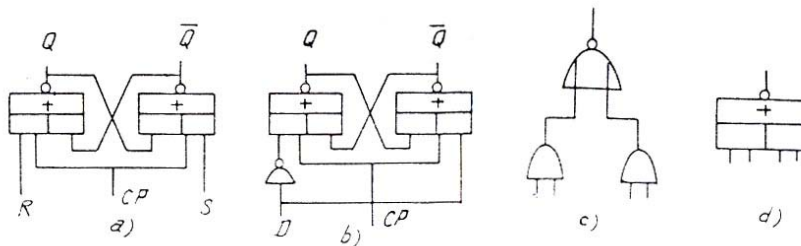
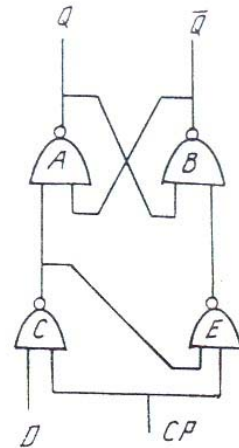
Hình 5-1-6 là sơ đồ logic mạch chốt D, nó được cấu tạo trên cơ sở mạch Flip Flop RS đồng bộ nhằm giải quyết vấn đề ràng buộc lẫn nhau của các tín hiệu đầu vào R, S. Đầu ra cổng C nối đến các đầu vào cổng A, E. Khi $CP = 0$, cổng C, E ngắt nên Flip Flop duy trì trạng thái cũ. Khi $CP = 1$ nếu $D = 0$ thì đầu ra C ở mức cao, đầu ra E ở mức thấp, Flip Flop ở trạng thái 0, nếu $D = 1$ thì đầu ra C ở mức thấp, đầu ra E ở mức cao, Flip Flop ở trạng thái 1. Vậy tức là D ở mức nào thì Q ở đúng mức ấy. Phương trình đặc trưng của mạch chốt Flip Flop D là :

$$Q^{n+1} = D \text{ với điều kiện } CP = 1 \quad (5-1-2)$$

4. Dùng cổng NORAND để cấu trúc Flip Flop RS đồng bộ và mạch chốt D. (Cổng NORAND xem mục 3-3-4-3)

Với điều kiện tiên quyết $CP = 1$, mạch trên hình 5-1-7a có bảng chức năng trùng hợp với bảng 5-1-1 và phương trình đặc trưng trùng hợp với phương trình 5-1-1, mạch trên hình 5-1-7b có phương trình đặc trưng trùng hợp với phương trình 5-1-2.

Hình 5-1-6 : Mạch chốt D



Hình 5-1-7 : Flip Flop cấu trúc từ NORAND

a) Flip Flop RS đồng bộ b) Mạch chốt D c) Cổng NORAND d) Kí hiệu rút gọn của

5. Đặc điểm cơ bản của Flip Flop RS đồng bộ

Ưu điểm : Điều khiển chọn mở mạch.
 Khi có xung đồng hồ CP = 1 thì Flip Flop tiếp thu tín hiệu vào, còn nếu CP = 0 thì Flip Flop bị cấm.

Nhược điểm : Trong thời gian CP = 1 tín hiệu vào vẫn trực tiếp điều khiển trạng thái đầu ra của FF, có mối ràng buộc R và S để tránh trạng thái cấm, tuy nhiên cấu trúc nối mạch của mạch chốt D giải quyết điều này.

5.1.3. Flip Flop RS master slave

Mạch này giải quyết triệt để vấn đề trực tiếp điều khiển, đó là nhược điểm của các loại FF trên.

1. Cấu trúc mạch và ký hiệu

Trên hình 5-1-8 có hai Flip Flop RS đồng bộ nối ghép dây chuyển với nhau, một là FF master, một là FF slave, xung đồng hồ cung cấp cho chúng là đảo nhau (qua mạch đảo I).

2. Nguyên lý làm việc

a) Khi CP = 0, Cổng G, H ngắt nên FF master ngắt. CP = 1, cổng C, D thông nên FF slave sẵn sàng, nó tiếp thu tín hiệu đầu ra master, do đó $Q = Q_m$, $\bar{Q} = \bar{Q}_m$

b) Sau đột biến sườn dương CP

CP = 1 master thông qua các cổng G, H tiếp nhận tín hiệu đầu vào. Vậy :

$$\begin{cases} Q_m^{n+1} = S + \bar{R}Q_m^n \\ RS = 0 \end{cases} \text{ với điều kiện CP=1}$$

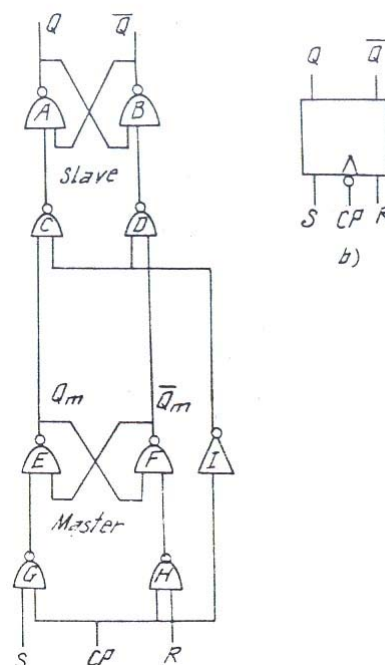
$\bar{CP} = 0$ Slave bị ngắt, đầu ra Q, \bar{Q} duy trì trạng thái cũ.

c) Khi sườn âm xung đồng hồ CP

CP đột biến xuống 0, master bị ngắt. CP đột biến lên 1, slave tiếp nhận tín hiệu đã được master ghi nhớ từ thời gian CP = 1. Nghĩa là slave chuyển đổi trạng thái . Vậy :

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (5-1-3)$$

với điều kiện đã xuất hiện sườn âm xung đồng hồ CP.



Hình 5-1-8 : Flip Flop RS master slave.

- a) Sơ đồ logic
- b) Ký hiệu logic

Flip Flop RS master slave tuy rằng để master tiếp nhận tín hiệu đầu vào trong khoảng thời gian $CP = 1$, nhưng đầu ra lúc đó vẫn không chuyển đổi trạng thái, chỉ khi đã xuất hiện sườn âm xung đồng hồ CP thì đầu ra mới chuyển trạng thái. Người ta gọi sự kiện này là kích bằng sườn âm. FF có trạng thái đầu ra không chịu ảnh hưởng trực tiếp của các tín hiệu đầu vào R, S bất kỳ lúc nào. Vậy vấn đề trực tiếp điều khiển đã được giải quyết. Trên hình 5-1-8b đầu vào CP có dấu ô biểu thị rằng tính tích cực của tín hiệu CP là sườn âm của nó.

3. Đặc điểm cơ bản

Ưu điểm : Cấu trúc điều khiển master slave đã giải quyết vấn đề trực tiếp điều khiển, trong khi $CP = 1$ tiếp thu tín hiệu, sườn âm của CP kích chuyển trạng thái đầu ra.

Nhược điểm : Vẫn còn ràng buộc giữa R và S khi $CP = 1$.

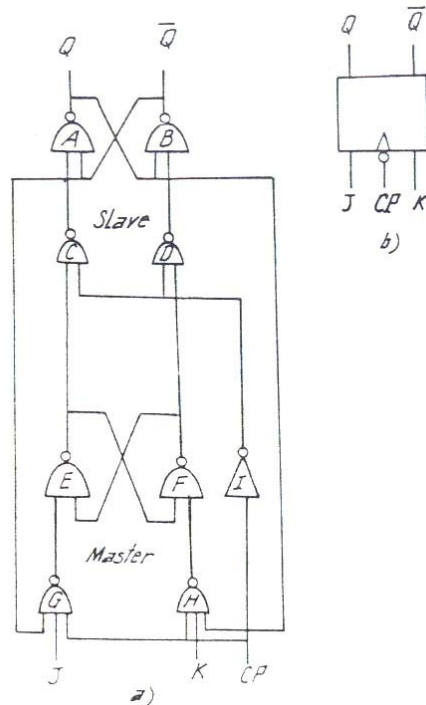
5.1.4. Flip Flop JK master slave

1. Cấu trúc mạch và ký hiệu

Loại Flip Flop RS master slave nói ở trên vẫn còn ràng buộc R và S, nguyên nhân chính là khi $R = S = 1$ đầu ra các cổng G, H đều ở mức thấp, dẫn đến tình huống không mong muốn là $Q_m = 1$ và $\bar{Q}_m = 1$. Cần chú ý một điều sau :

Xét mạch Flip Flop RS master slave khi $CP = 1$, Q và \bar{Q} không đổi trạng thái và là đảo

Hình 5-1-9 : Flip Flop JK master slave.
a) Sơ đồ logic
b) Ký hiệu logic



của nhau. Chỉ cần đem mức các đầu ra Q và \bar{Q} đưa đến đầu vào của G, H thì có thể khắc phục tình trạng cả Q và \bar{Q}_m đều bằng 1, giải quyết vấn đề ràng buộc giữa tín hiệu đầu vào.

Để phân biệt với Flip Flop RS master slave, mạch cải tiến không dùng tên R, S nữa, mà lấy tên mới là J, K cho các đầu vào, và tên của mạch cải tiến là Flip Flop JK master slave, gọi tắt là Flip Flop JK (hình 5-1-9).

2. Nguyên lý làm việc

Theo sự trình bày trên đây về sự cải tiến của Flip Flop JK, ta thấy nguyên lý công tác của nó giống như của Flip Flop RS master slave, chỉ khác bởi sự tương đương sau của các tín hiệu đầu vào :

$$S = J\bar{Q}^n \quad (5-1-4)$$

$$R = KQ^n \quad (5-1-5)$$

Áp dụng công thức (5-1-3) ta có :

$$Q^{n+1} = S + \bar{R}Q^n = J\bar{Q}^n + \bar{K}Q^n = J\bar{Q}^n + \bar{K}Q^n \quad (5-1-6)$$

Với điều kiện đã xuất hiện sườn âm CP.

Công thức (5-1-6) là phương trình đặc trưng của Flip Flop JK nó phản ánh quan hệ logic giữa Q^{n+1} với Q^n , J, K. Nhờ \bar{Q}^n và Q^n phản hồi về cổng điều khiển G, H mà J và K không còn ràng buộc lẫn nhau.

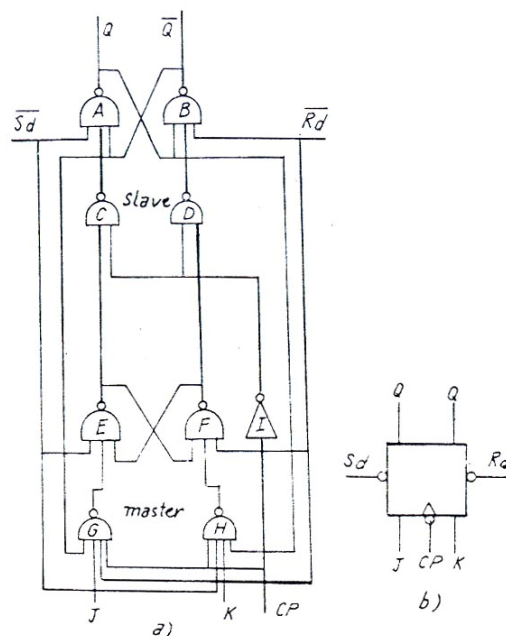
3. Tác dụng các đầu vào đi bộ \bar{R}_d, \bar{S}_d (đi bộ : Asynchronous)

a) Các đầu vào đồng bộ

Bất kỳ lúc nào thì các đầu vào J, K chỉ tác động khi có sự điều khiển đồng bộ của xung đồng hồ CP ; vì vậy J, K là đầu vào đồng bộ . (Các đầu vào R, S của Flip Flop RS master slave đồng bộ cũng là các đầu vào đồng bộ).

b) Các đầu vào đi bộ

Để phân trình bày trên đơn giản, chưa vẽ các đầu vào đi bộ \bar{R}_d, \bar{S}_d trên hình 5-1-9a. Có thể biết vị trí các đầu



Hình 5-1-10 : Flip Flop JK master slave.

a) Sơ đồ logic

b) Kí hiệu logic

vào dị bộ này trên hình 5-1-10. Tác dụng của các đầu vào $\overline{R_d}, \overline{S_d}$ không chịu điều khiển đồng bộ của xung đồng hồ CP, vì vậy $\overline{R_d}, \overline{S_d}$ là các đầu vào dị bộ. Như trên hình 5-1-10a chỉ rõ, $\overline{R_d}$ nối đến đầu vào B, F, G. Do đó xung âm đầu $\overline{R_d}$ không những xóa cả master và slave mà còn ngắt cổng G, trong thời gian CP = 1 không cho phép J = 1 thiết lập master ở trạng thái 1, điều đó bảo đảm trạng thái 0. Tương tự $\overline{S_d}$ nối đến đầu vào A, E, H. Xung âm đầu vào $\overline{S_d}$ bảo đảm trạng thái 1. Trên ký hiệu logic (hình 5-1-10b), khuyên tròn ở đầu vào S_d, R_d biểu thị tính tích cực của chúng là mức thấp.

4. Vấn đề một lần chuyển

Trong thời gian CP = 1 thì master chỉ chuyển đổi trạng thái một lần, hiện tượng này gọi là một lần chuyển. Như ta đã biết, các trạng thái đảo nhau của Q và \overline{Q} phản hồi về H, G tương ứng làm cho một trong hai cổng (H hoặc G) bị ngắt, nếu một đầu vào có tín hiệu thì có thể vì chỉ chuyển đổi trạng thái một lần. Ví dụ khi $\overline{Q} = 0, Q = 1$, cổng G bị khóa, J không tác dụng, tín hiệu chỉ có thể từ đầu vào K, qua cổng H, xóa master về 0. Và một khi đã ở trạng thái 0 rồi, dù tín hiệu K biến đổi thế nào, master vẫn duy trì trạng thái 0. Ngược lại khi $\overline{Q} = 1, Q = 0$ thì H bị khóa, chỉ có tín hiệu J mới tác dụng, thông qua cổng G, đặt master lên 1, một khi đã ở trạng thái 1 rồi, master sẽ duy trì.

Vấn đề một lần chuyển không những hạn chế tác dụng của Flip Flop JK master slave mà còn làm giảm năng lực chống nhiễu của nó. Chẳng hạn, khi CP = 1 mà J, K đổi trạng thái nhiều lần thì cũng chỉ có một lần chuyển mà thôi. Mặt khác, thời điểm một lần chuyển trạng thái đó có thể rơi vào sườn dương, giữa xung, hay sườn âm của xung đồng hồ CP. Nếu như không biết chính xác quy luật tín hiệu J, K thì không có thể xác định trạng thái tiếp theo của Flip Flop. Vậy khi sử dụng Flip Flop JK master slave, thường đều yêu cầu trạng thái J, K duy trì không đổi trong thời gian CP = 1. Đã thế thì quá trình làm việc của Flip Flop nói gọn lại là : sườn dương tiếp thu, sườn âm chuyển. Nếu nhiều xấp chồng với J, K sao cho gây ra một lần chuyển sai trong khi CP = 1 thì tín hiệu nhiễu đó tiếp tục tác động đến hệ thống. Vậy vấn đề một lần chuyển là nguyên nhân làm giảm năng lực chống nhiễu của mạch này.

5. Flip Flop JK master slave trong một vỏ IC

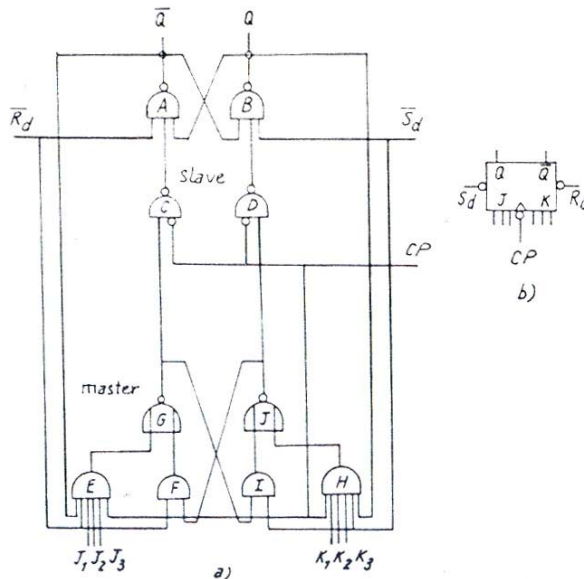
Hình 5-1-11a trình bày sơ đồ logic tương đương của Flip Flop JK master slave trong một vỏ IC. Master bao gồm hai NORAND, slave khá đơn giản, CP mức cao cấm, mức thấp cho phép. Nguyên lý công tác không khác mạch hình 5-1-10 nói trên.

6. Đặc điểm cơ bản của Flip Flop JK master slave

Ưu điểm : J và K không bị ràng buộc lẫn nhau, các IC của chúng được sản xuất nhiều, sử dụng rộng rãi, tính năng ưu việt.

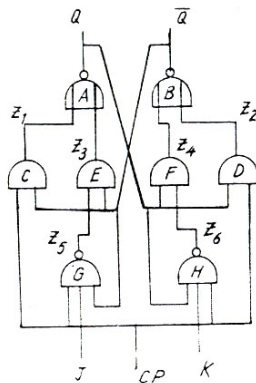
Nhược điểm : Vấn đề một lần chuyển, thường yêu cầu J, K duy trì không đổi trong thời gian CP = 1.

Hình 5-1-11 Flip Flop JK master slave trong vỏ IC
a) Sơ đồ logic tương đương
b) Kí hiệu logic



5.1.5. Flip Flop JK kích bằng sườn xung (Edge triggered FF)

1. Cấu trúc mạch



Hình 5-1-12 : Flip Flop JK kích bằng sườn xung.

Mạch trên hình 5-1-12 là Flip Flop JK kích bằng sườn xung, nó giải quyết vấn đề một lần chuyển của Flip Flop JK master slave. Khi CP = 0, CP = 1, hay khi sườn dương của CP các tín hiệu J, K đều không tác dụng. Chỉ trong thời gian sườn âm của CP thì Flip Flop mới chuyển trạng thái theo phương trình đặc trưng dưới đây :

$$Q^{n+1} = JQ^n + \bar{K}Q^n$$

2. Nguyên lý làm việc

a) Khi CP = 0, các cổng G, H bị khóa J, K không tác dụng, Flip Flop duy trì trạng thái cũ.

b) Khi CP = 1 các cổng C, D, G, H thông nhưng :

$$Z_1 = \bar{Q}^n Z_2 = Q^n$$

$$Z_3 = Z_5 \bar{Q}^n = \overline{JQ^n} \cdot \bar{Q}^n = \bar{J} \cdot \bar{Q}^n$$

$$Z_4 = Z_6 Q^n = \overline{KQ^n} Q^n = \bar{K} Q^n$$

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{Q^n + \bar{J} \cdot \bar{Q}^n} = Q^n$$

$$\bar{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \bar{K} \cdot Q^n} = \bar{Q}^n$$

Vậy FF duy trì nguyên trạng, JK đều không tác dụng.

c) Khoảng thời gian sườn dương của CP, do tác dụng trễ của các cổng NAND G và H mà cổng C, D thông trước :

$$Z_1 = \overline{Q}^n \quad Z_2 = Q^n$$

$$\text{Tiếp sau mới có: } Z_3 = \overline{J} \cdot \overline{Q}^n \quad ; \quad Z_4 = \overline{K} \cdot Q^n$$

Vì vậy :

$$Q^{n+1} = \overline{Z_1 + Z_3} = \overline{\overline{Q}^n + \overline{J} \cdot \overline{Q}^n} = Q^n$$

$$\overline{Q}^{n+1} = \overline{Z_2 + Z_4} = \overline{Q^n + \overline{K} \cdot Q^n} = \overline{Q}^n$$

J và K cũng không tác dụng.

d) Tình huống mạch trong khoảng sườn âm của CD khác hẳn. Do tác dụng trễ của các cổng NAND G và H mà C, D ngắt trước :

$$Z_1 = Z_2 = 0$$

mà đầu ra các cổng NAND duy trì $Z_5 = \overline{JQ}^n, Z_6 = \overline{KQ}^n$ trong khoảng thời gian t_{pd} nữa. Dễ dàng thấy rằng trong t_{pd} đó, các cổng NOR A và B, các cổng AND E và F cấu trúc như một Flip Flop RS cơ bản, với :

$$\overline{S} = Z_5 = \overline{JQ}^n \quad \overline{R} = Z_6 = \overline{KQ}^n$$

Căn cứ vào phương trình đặc trưng của Flip Flop RS cơ bản, ta có :

$$Q^{n+1} = S + \overline{R}Q^n = \overline{JQ}^n + \overline{KQ}^n Q^n = \overline{JQ}^n + \overline{KQ}^n$$

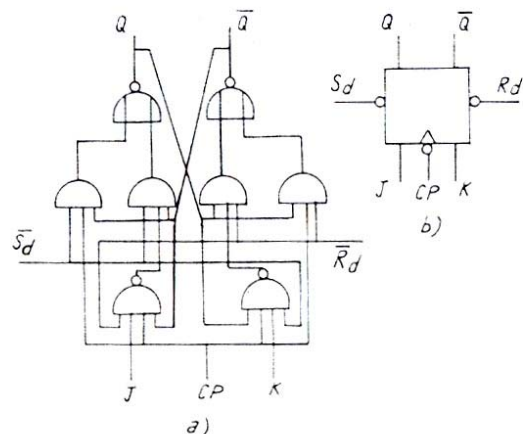
Do Q^n, \overline{Q}^n phân biệt hồi tiếp đầu vào H và G nên J và K không bị ràng buộc lẫn nhau.

Vậy loại mạch điện này không những có tính năng tốt như Flip Flop JK master slave và có đặc điểm kích bằng sườn âm xung đồng hồ CP mà còn không có vấn đề một lần chuyển.

3. Đặc điểm cơ bản

Ưu điểm : Kích bằng sườn âm xung đồng hồ CP ; đây là loại FF tính năng ưu việt, chống nhiễu tốt và sử dụng linh hoạt.

Nhược điểm : Mạch điện dùng tác dụng trễ của các cổng NAND giải quyết vấn đề một lần chuyển, do đó yêu cầu công nghệ chế tạo phải tinh xảo để bảo đảm mạch điện công tác tin cậy.



Hình 5-1-13 Flip Flop JK kích bằng sườn xung.
a) Sơ đồ logic b) Kí hiệu logic

Hình 5-1-13 giới thiệu thêm các đầu vào dị bộ $\overline{R_d}, \overline{S_d}$. Các đầu vào này tạo thuận lợi trong sử dụng. Xung âm đầu vào $\overline{S_d}$ xóa. Trong sơ đồ và ký hiệu logic của nó, dấu ngang và khuyên tròn biểu thị rằng tín hiệu tích cực ở mức thấp.

5.1.6. Flip Flop D (mạch chốt D cải tiến để giải quyết vấn đề điều khiển trực tiếp).

1. Cấu trúc mạch điện

Xem hình 5-1-14 thêm vào mạch chốt D hai cổng E và F.

2. Nguyên lý làm việc

a) Khi CP = 0

Các cổng C, D bị khóa, $Z_1 = Z_2 = 1$, Flip Flop cơ bản bao gồm các cổng A, B duy trì trạng thái cũ.

- Nếu D = 1 thì :

$$Z_4 = D.Z_2 = 1.1 = 0$$

$$Z_3 = \overline{Z_1.Z_4} = \overline{1.0} = 1$$

CP trong vai trò tín hiệu đầu vào đối với cổng C thông, cổng D ngắt.

- Nếu D = 0 thì : $Z_4 = 1$ $Z_3 = 0$

CP trong vai trò tín hiệu đầu vào đối với cổng C ngắt, cổng D thông.

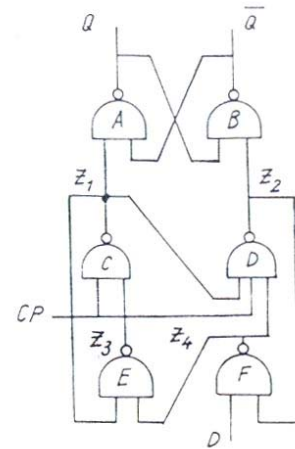
b) Thời gian sườn dương của CP.

- Nếu D = 1 thì D bị ngắt, CP chỉ có thể thông qua cổng C mở, vậy $Z_1 = \overline{Z_3.CP} = \overline{1.1} = 0$.

$Z_1 = 0$ dẫn đến ba tác động sau : một là kích Flip Flop thiết lập 1, $Q = 1, \overline{Q} = 0$; hai là ngắt cổng D, ngăn trở Z_2 chuyển sang mức thấp, nghĩa là ngăn trở sự tạo ra tín hiệu kích chuyển Flip Flop về trạng thái 0 ; ba là Z_1 đưa đến đầu vào cổng E bảo đảm

$Z_3 = 1$, do đó duy trì $Z_1 = 0$ suốt thời gian CP = 1, tức là duy trì tín hiệu đặt Flip Flop ở trạng thái 1.

Đường nối từ đầu ra cổng C đến đầu vào cổng E gọi là đường duy trì trạng thái 1 của FF. Đường nối từ đầu ra cổng C đến đầu vào cổng D gọi là đường ngăn trở trạng thái 0 của FF. Một khi $Z_1 = 0$ đưa đến đầu vào các cổng D, E và sinh ra các tác động nói trên rồi thì dù tín hiệu D có thay đổi cũng không thể ảnh hưởng đến trạng thái 1 của FF.



Hình 5-1-14. Flip Flop D

Hình 5-1-14 Flip Flop D

- Nếu $D = 0$ thì cổng C bị ngắt. CP chỉ có thể thông qua cổng D mở, vậy $Z_2 = \overline{Z_1 Z_4 CP} = \overline{1.1.1} = 0$

$Z_2 = 0$ dẫn đến hai tác động sau : một là xóa FF về 0, $Q = 0, \overline{Q} = 1$; hai là làm cho cổng F bị ngắt, bảo đảm $Z_4 = 1$, do đó duy trì $Z_2 = 0$, tức là duy trì trạng thái 0 của FF. $Z_4 = 1$ còn duy trì Z_3 ở mức thấp, ngăn trở sự tạo ra tín hiệu $Z_1 = 0$ kích chuyển FF về trạng thái 1.

Có thể thấy rằng đường nối từ đầu ra cổng D đến đầu vào cổng F vừa duy trì FF ở trạng thái 0, vừa ngăn trở FF chuyển về trạng thái 1. Chỉ cần $Z_2 = 0$ đã đến đầu vào cổng F thì dù biến hóa thế nào, tín hiệu D cũng không làm thay đổi trạng thái của FF được nữa.

Tóm lại :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương của CP} \quad (5-1-7)$$

Hơn nữa, khi đã có tác dụng duy trì nguyên trạng và ngăn trở chuyển đổi sang trạng thái khác trong suốt quá trình $CP = 1$ thì tín hiệu D không còn tác động đến mạch nữa. Vì vậy, đây là mạch điều khiển sườn trước và kích bằng sườn dương CP.

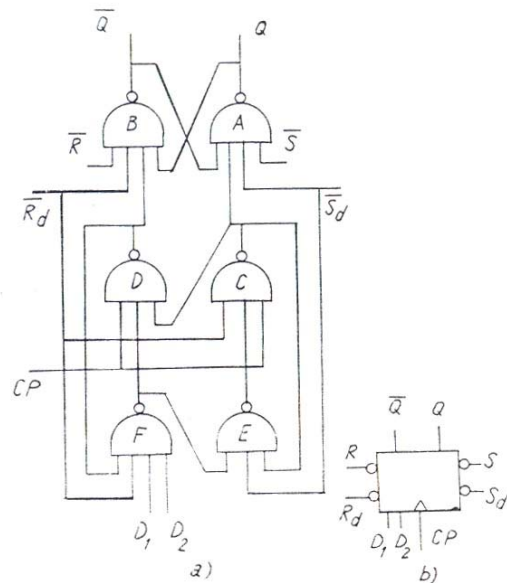
3. Tác dụng của các đầu vào dị bộ

$$\overline{R}, \overline{R}_d, \overline{S}, \overline{S}_d$$

Để sử dụng thêm thuận tiện, Flip Flop D còn có thêm các tín hiệu tích cực mức thấp ở các đầu vào Set ($\overline{S}, \overline{S}_d$) và Reset ($\overline{R}, \overline{R}_d$)

Hình 5-1-15 biểu thị sơ đồ logic tương đương và ký hiệu logic Flip Flop D trong vỏ IC.

$\overline{R}, \overline{S}$ chỉ dùng trong thời gian $CP = 0$, nếu không có thể phản tác dụng duy trì ngăn trở nói trên. Chẳng hạn khi $CP = 1$ và FF đang duy trì trạng thái 1. Nếu có xung âm đầu vào \overline{R} thì có thể xuất hiện trạng thái cấm : Q và \overline{Q} đồng thời mức cao. Hơn nữa, xung âm \overline{R} kết thúc trước CP, do tác dụng duy trì trạng thái 1, FF vẫn ở trạng thái 1, còn nếu CP kết thúc trước \overline{R} thì FF có thể xóa về 0. Sử dụng \overline{S} để đặt FF vào trạng



Hình 5-1-15 Flip Flop D trong vỏ IC

a) Sơ đồ logic tương đương

b) Ký hiệu logic

thái 1 cũng gặp vấn đề tương tự, chỉ khác là nó phản tác dụng với việc duy trì trạng thái 0.

$\overline{R_d}, \overline{S_d}$ không bị trạng thái CP hạn chế. Ví dụ, xung âm ở đầu $\overline{R_d}$ làm FF về 0, nếu $CP = 1$ và FF đang duy trì trạng thái 1 thì $\overline{R_d} = 0$ không chỉ xóa FF về 0 mà còn thông qua đường nối đến cổng C, F bắt buộc mạch đang duy trì 1 ngăn trở 0 phải trở thành duy trì 0 ngăn trở 1. Cũng với lý do tương tự, xung âm đầu $\overline{S_d}$ cũng có thể làm cho FF chuyển sang trạng thái 1 một cách tin cậy.

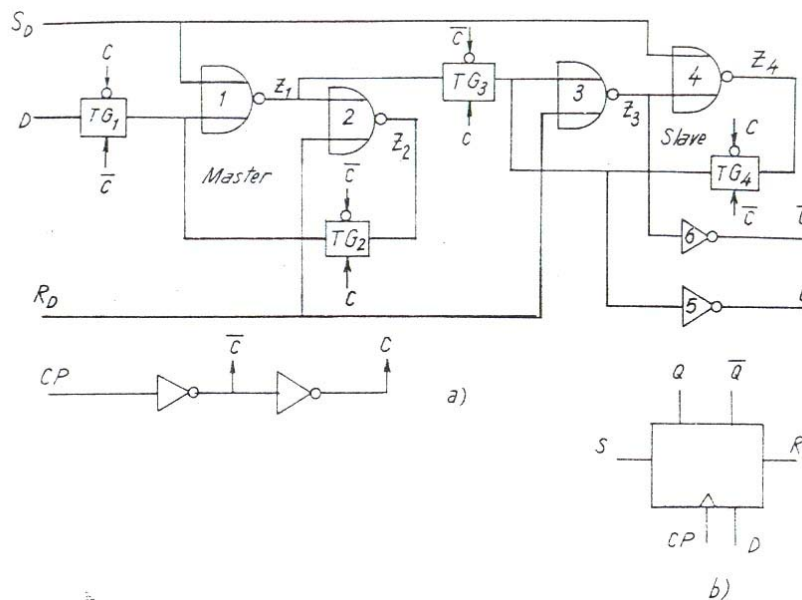
4. Đặc điểm cơ bản

Ưu điểm : Điều khiển sườn xung, kích với sườn dương CP, trong thời gian $CP = 1$ mạch tự giữ nguyên trạng.

Nhược điểm : Trong một số trường hợp sử dụng không tiện bằng Flip Flop JK.

5.1.7. Flip Flop CMOS

Các loại Flip Flop CMOS trong vỏ IS có đặc điểm tiêu hao năng lượng rất ít, năng lực chống nhiễu rất mạnh, phù hợp với nhiều điện thế nguồn khác nhau. Nhờ sử dụng các cổng chuyển mạch (xem mục 2-3-3) nên kết cấu mạch điện đơn giản.



Hình 5-1-16 Flip Flop D master slave CMOS.

a) Sơ đồ logic b) Kí hiệu logic

1. Flip Flop D họ CMOS

a) Cấu trúc mạch và ký hiệu

Xem hình 5-1-16 FF master bao gồm các cổng NOR 1,2 và cổng chuyển mạch TG₂, FF slave bao gồm các cổng NOR 3, 4 và cổng chuyển mạch TG₄. TG₁ là cổng điều khiển ở đầu vào. TG₃ là cổng điều khiển giữa master và slave. C và \bar{C} là các tín hiệu đồng hồ đảo nhau. R_D, S_D là các đầu vào dị bộ Reset và Set tích cực ở mức cao. D là tín hiệu vào. Q và \bar{Q} là các đầu ra.

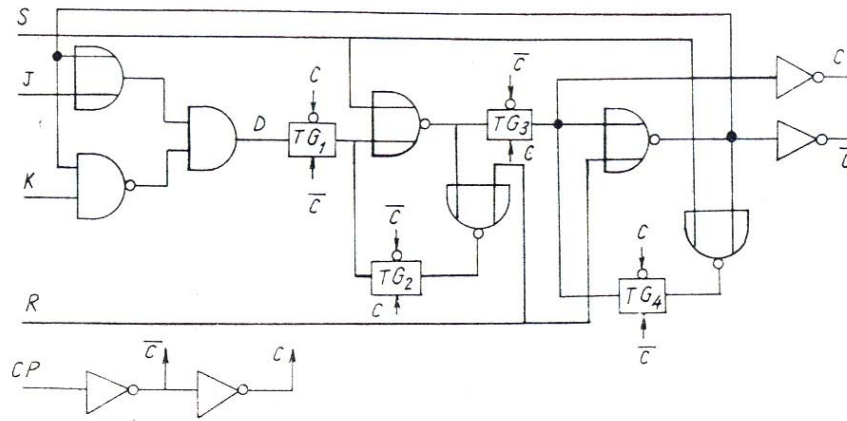
b) Nguyên lý làm việc

- Khi CP = 0, $\bar{C} = 1$, C = 0, TG₁ và TG₄ thông, TG₂ và TG₃ ngắt. Tín hiệu vào D thông qua TG₁ đến NOR 1, Z₁ = \bar{D} , Z₂ = D. Nhờ TG₄ thông, slave tự giữ.

- Khi CP = 1, $\bar{C} = 0$, C = 1, TG₁ và TG₄ ngắt, TG₂ và TG₃ thông. Đường tín hiệu vào bị ngắt. Master tự giữ nhờ đường hồi tiếp qua TG₂ Slave chuyển đổi trạng thái theo mức tín hiệu Z₁, tức là đưa tín hiệu đầu vào D đã nhớ ra đầu ra, vậy FF D này được kích bằng sườn dương CP. Phương trình đặc trưng là :

$$Q^{n+1} = D \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-8).}$$

2. FF JK CMOS



Hình 5-1-17 FF JK master slave CMOS

Hình 5-1-17 . sơ đồ này là cải tiến của mạch FFD trên đây.

Căn cứ sơ đồ logic, ta có :

$$D = (J + Q^n)KQ^n = JKQ^n + KQ^nQ^n$$

$$D = J\bar{K} + JQ^n + \bar{K}Q^n = J\bar{Q}^n + \bar{K}Q^n$$

Thay vào (5-1-8), ta được :

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \text{ với điều kiện đã xuất hiện sườn dương CP (5-1-9)}$$

Đây là phương trình đặc trưng của FF JK master slave CMOS.

Tác dụng tín hiệu đầu vào dị bộ R_D , S_D của hai mạch hình 5-1-16 và 5-1-17 là giống nhau.

5.2. PHÂN LOẠI FLIP FLOP THEO CHỨC NĂNG, SỰ CHUYỂN ĐỔI LẦN NHAU.

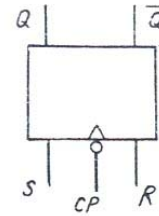
Các loại FF trình bày trong mục 5-1 trên đây : RS master slave, JK master slave, JK sườn xung, D đều có tín hiệu đồng hồ điều khiển ; vậy chúng được gọi là FF định thời theo xung đồng hồ CP. Căn cứ vào sự khác biệt tính năng logic dưới tác dụng điều khiển của CP, ta phân FF thành 5 loại : RS, D, T, T', JK. Các loại đó có thể chuyển đổi lẫn nhau theo phương pháp xác định.

5.2.1. Phân loại Flip Flop theo chức năng

1. Flip Flop RS

a) Định nghĩa

Flip Flop RS là mạch điện có chức năng thiết lập trạng thái 1 (Set) , trạng thái 0 (Reset) và duy trì (nhớ) các trạng thái đó căn cứ vào các tín hiệu đầu vào R, S và tín hiệu đồng hồ CP. Những điều đã trình bày trong tiết trên về RS là phù hợp với định nghĩa này. Ký hiệu logic của mạch trên hình 5-2-1, phương trình đặc trưng biểu thị chức năng logic của nó là :



Hình 5-2-1 Ký hiệu logic của Flip Flop RS.

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \\ \text{Với điều kiện đã xuất hiện sườn âm CP} \end{cases}$$

(5-2-1)

$R = 0, S = 1$	CP (sườn âm)	thì $Q^{n+1} = 1$
$R = 1, S = 0$	CP	thì $Q^{n+1} = 0$
$R = 0, S = 0$	CP	thì $Q^{n+1} = Q^n$ (duy trì)
$R = 1, S = 1$	trạng thái cấp	

b) Phương pháp biểu thị chức năng logic

Bảng chức năng là bảng tín hiệu đầu vào kích.

Bảng chức năng của Flip Flop RS 5-2-1 dùng hình thức bảng liệt kê các trạng thái logic để biểu thị chức năng logic của nó.

Bảng tín hiệu đầu vào kích của Flip Flop RS 5-2-2 có phần bên trái kê ra các yêu cầu chuyển đổi trạng thái của FF, và có phần bên phải kê ra các điều kiện tín hiệu đầu vào kích cần bảo đảm để đạt đến các yêu cầu tương ứng. Nếu các điều kiện được bảo đảm thì FF sẽ chuyển đổi trạng thái theo yêu cầu một khi xung đồng hồ cho phép. Ví dụ : Yêu cầu $Q^n \rightarrow Q^{n+1}$ kiểu duy trì $0 \rightarrow 0$ thì điều kiện cần là $S = 0$ (không phụ thuộc vào R, $R = x$). Nếu yêu cầu chuyển $0 \rightarrow 1$ thì điều kiện lại là $R = 0, S = 1$.

Bảng 5-2-1

Q^n	R	S	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	x
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	x

Bảng 5-2-2

$Q^n \rightarrow$	Q^{n+1}	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

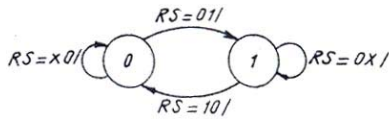
Như trên đã nói, các quan hệ logic của bảng 5-2-1 và 5-2-2 đều có chung một điều kiện : đã xuất hiện sườn âm CP, nếu điều kiện này không thỏa mãn, FF duy trì nguyên trạng.

Phương trình đặc trưng và phương trình kích.

Phương trình đặc trưng dùng hàm logic miêu tả quan hệ giữa Q^{n+1} với Q^n và các tín hiệu đầu vào, do đó nó rất tiện dùng công cụ toán logic (các công thức và định lý của đại số logic) (5-2-1) là phương trình đặc trưng của FF RS.

Phương trình kích dùng hàm logic của tín hiệu đầu vào kích biểu thị, phần sau sẽ trình bày rõ hơn.

c) Đồ hình trạng thái :



Hình 5-2-2 Đồ hình trạng thái của Flip Flop RS.

trạng thái. Bên cạnh mũi tên, ở trên gạch chéo là giá trị tín hiệu đầu vào kích - tức là điều kiện chuyển đổi trạng thái.

Hình 5-2-2 cho biết rằng :

$$\begin{array}{l} \text{Khi } Q^n = 0 \quad \left\{ \begin{array}{l} \text{với } R = X, S = 0 \quad \text{CP thì } Q^{n+1} = Q^n = 0 \\ \text{với } R = 0, S = 1 \quad \text{CP thì } Q^{n+1} = 1 \end{array} \right. \\ \text{Khi } Q^n = 1 \quad \left\{ \begin{array}{l} \text{với } R = 0, S = X \quad \text{CP thì } Q^{n+1} = Q^n = 1 \\ \text{với } R = 1, S = 0 \quad \text{CP thì } Q^{n+1} = 0 \end{array} \right. \end{array}$$

d) Đồ thị thời gian dạng sóng

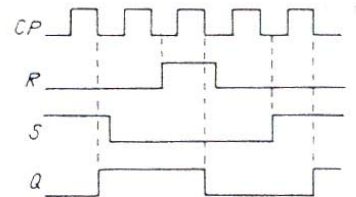
Đồ thị thời gian dạng sóng biểu thị trực quan quan hệ tương ứng nhau về mặt thời gian của các trạng thái FF, các tín hiệu đầu vào R, S và xung đồng hồ CP (hình 5-2-3).

Trên hình dạng sóng CP, R, S là đã biết. Để vẽ ra dạng sóng Q, ta cần chú ý :

- Nếu không cho trước thì có thể tùy ý giả định trạng thái ban đầu của Q.

- Căn cứ vào bảng chức năng, phương trình đặc trưng hoặc đồ hình trạng thái để xác định trạng thái Q tiếp theo.

- Sau khi xuất hiện sườn âm CP thì Q chuyển đổi trạng thái. Mọi lúc khác Q duy trì trạng thái cũ.



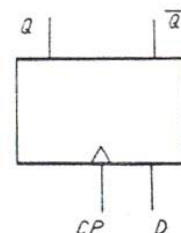
Hình 5-2-3 Đồ thị thời gian dạng sóng FFRS

Trên đây, 4 phương pháp biểu thị chức năng logic với Flip Flop (a, b, c, d) là liên quan mật thiết với nhau, có thể chuyển hóa lẫn nhau.

2. Flip Flop D

a) Định nghĩa

Flip Flop D là mạch điện có chức năng thiết lập trạng thái 0 theo tín hiệu đầu vào D = 0 và thiết lập trạng thái 1 theo tín hiệu đầu vào D = 1 trong điều kiện định thời của CP.



Hình 5-2-4 Kí hiệu logic FFD

Flip Flop D được giới thiệu ở tiết trên thỏa mãn định nghĩa này. Phương trình đặc trưng của FFD hình 5-2-4 là :

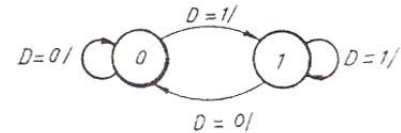
$$\begin{cases} Q^{n+1} = D \\ \text{với điều kiện đã xuất hiện sườn dương CP} \end{cases} \quad (5-2-2)$$

$$D = 0 \quad \text{CP thì } Q^{n+1} = 0$$

$$D = 1 \quad \text{CP thì } Q^{n+1} = 1$$

b) Bảng chức năng, bảng tín hiệu đầu vào kích, đồ hình trạng thái và đồ thị thời gian dạng sóng (bảng 5-2-3, 5-2-4 hình 5-2-5, 5-2-6).

Trạng thái đầu $Q = 0$, kích bằng sườn dương của CP. Dạng sóng CP và D là đã biết. Để vẽ dạng sóng Q, chú ý mức D khi CP.



Hình 5-2-5 Đồ hình trạng thái của FF D

Bảng 5-2-3 : BẢNG CHỨC NĂNG CỦA FF D

Q^n	D	Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Bảng 5-2-4 : BẢNG ĐẦU VÀO KÍCH CỦA FF D

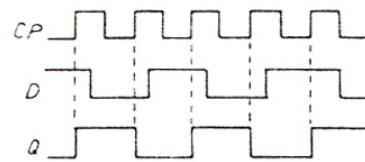
Q^n	\rightarrow	Q^{n+1}	Q^{n+1}
0		0	0
0		1	1
1		0	0
1		1	1

3. Flip Flop T

a) Định nghĩa :

Flip Flop T là mạch điện có chức năng duy trì và chuyển đổi trạng thái tùy thuộc tín hiệu đầu vào T trong điều kiện định thời của CP. Flip Flop JK giới thiệu ở tiết trên, nếu $J = K =$

T thì tạo thành FF. T ký hiệu như hình 5-2-7. Phương trình đặc trưng của FF T là :



Hình 5-2-6 Dạng sóng của FF D

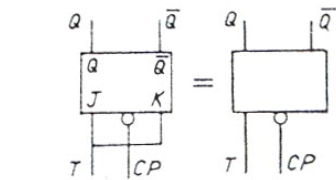
$$\begin{cases} Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n = T\bar{Q}^n + \bar{T}Q^n \\ = T \oplus Q^n \end{cases}$$

Vôùi ñiều kiện ñảo xuất hiện sồ ðộn âm CP

(5-2-3)

T = 0 CP thì $Q^{n+1} = Q^n$ duy trì nguyên trạng

T = 1 CP thì $Q^{n+1} = \bar{Q}^n$ chuyển đổi trạng thái.



Hình 5-2-7 Kí hiệu logic FF D

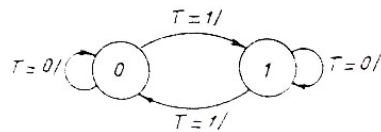
b) Bảng chức năng (bảng 5-2-5) bảng đầu vào kích (5-2-6), đồ hình trạng thái (hình 5-2-8), đồ thị thời gian dạng sóng (hình 5-29) của Flip Flop T.

Bảng 5-2-5

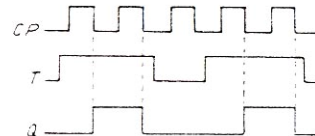
Q^n	T	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 5-2-6

$Q^n \rightarrow Q^{n+1}$	T
0 0	0
0 1	1
1 0	1
1 1	0



Hình 5-2-8



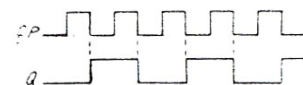
Hình 5-2-9

Trạng thái đầu của FF T là 0 và kích bằng sườn âm của CP.

4. Flip Flop T'

Flip Flop T' là mạch điện chỉ có chức năng chuyển đổi trạng thái trong điều kiện định thời của CP. FF T' là FF T mà T = 1 (T luôn luôn bằng 1)

Phương trình đặc trưng của Flip Flop T' là :



Hình 5-2-10 : Đồ thị thời gian dạng sóng của Flip Flop T'

$$\begin{cases} Q^{n+1} = T \oplus Q^n = 1 \oplus Q^n = \bar{Q}^n \\ \text{Vớì điều kiện ñã xuất hiện sườn âm CP} \end{cases}$$

5. Flip Flop JK